



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*



Andrej Trost

priprava na laboratorijske vaje 2012

Načrtovanje integriranih vezij in digitalnih elektronskih sistemov

Literatura: A. Trost: Načrtovanje digitalnih vezij v jeziku VHDL, FE 2011

Digitalna integrirana vezja

Mikroprocesor

- ▶ **univerzalno** vezje, zaporedje ukazov, enostaven razvoj aplikacij

SLABOSTI

- ▶ počasen odziv na dogodke
- ▶ zmogljivost odvisna od kompleksnosti algoritma

Application Specific Integrated Circuit

- ▶ vezje za **določen namen**, paralelno delovanje
- ▶ hiter odziv na dogodke

SLABOSTI

- ▶ zahtevno za načrtovanje
- ▶ s kompleksnostjo algoritma narašča velikost in cena vezja

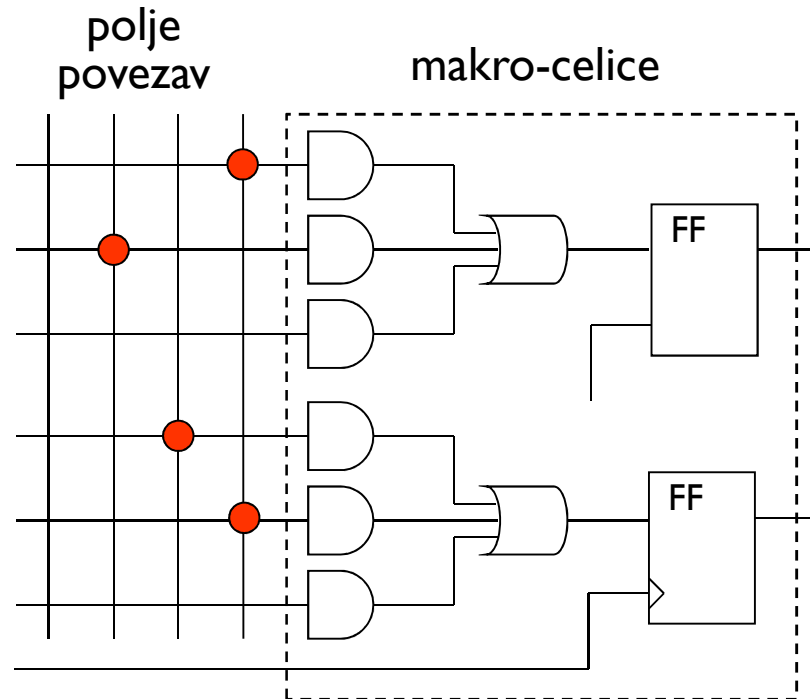
Programirljiva vezja so vnaprej izdelana

- ▶ krajši čas razvoja, ni stroškov priprave proizvodnje (milijoni \$)
- ▶ hiter odziv in paralelna obdelava, kot ASIC
- ▶ v primerjavi z ASIC so počasnejša, imajo večjo površino in večjo porabo

Programirljiva vezja: CPLD, FPGA

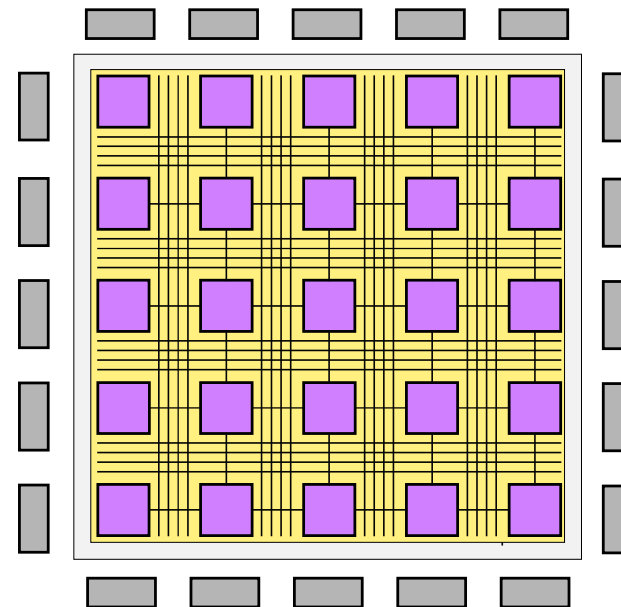
Complex Programmable Logic Device

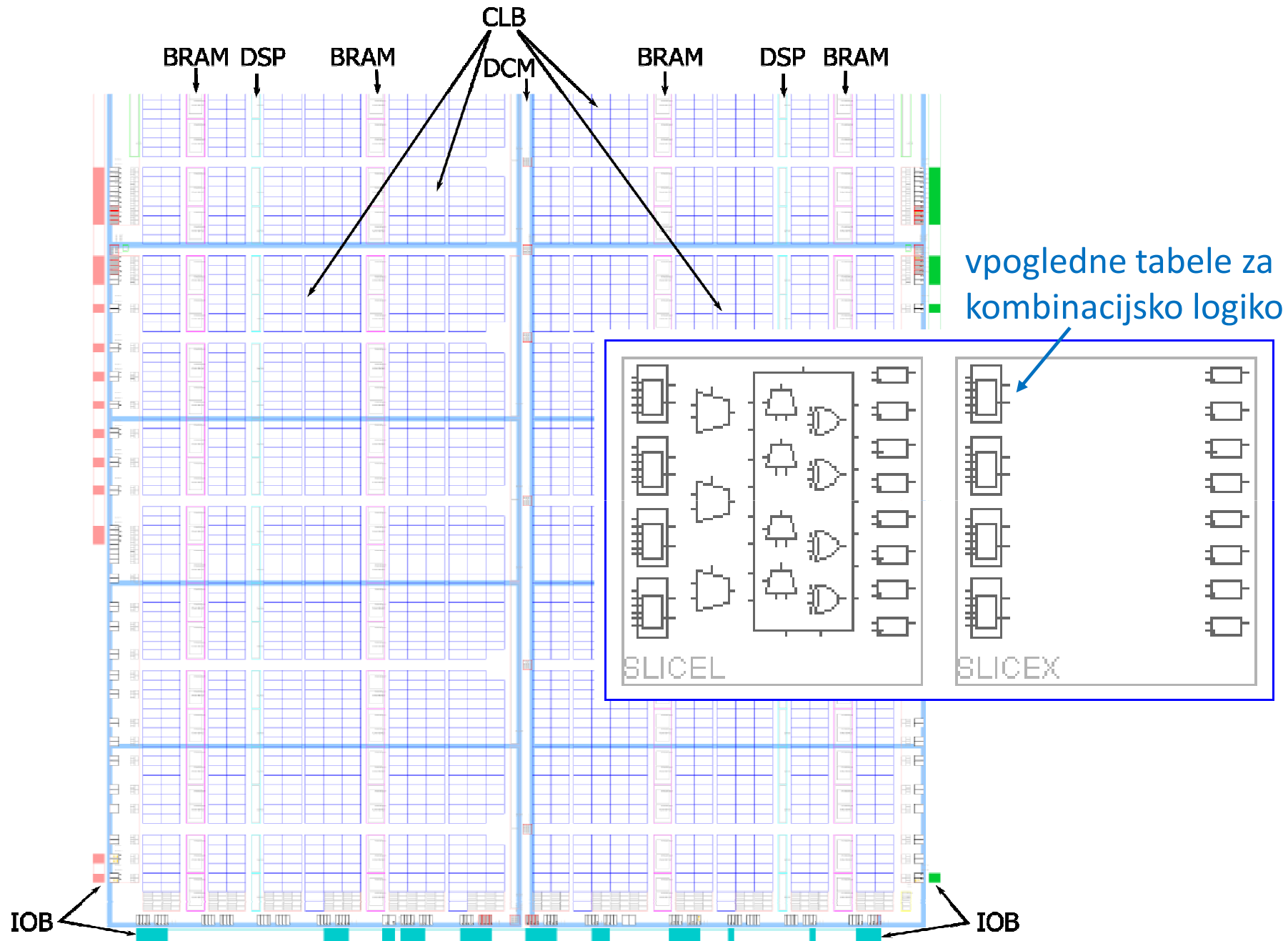
- ▶ Makro-celice s FF in povezovalno polje
- ▶ 1.000-20.000 log. vrat, 50-500 FF
- ▶ FLASH tehnologija, 1.8V



Field Programmable Gate Array

- ▶ Matrika log. celic in povezovalno polje
- ▶ 10.000-10.000.000 vrat, 100k RAM
- ▶ CMOS tehnologija, 1.2V





Razvoj vezij FPGA

- ▶ Družine vezij proizvajalca **Xilinx**

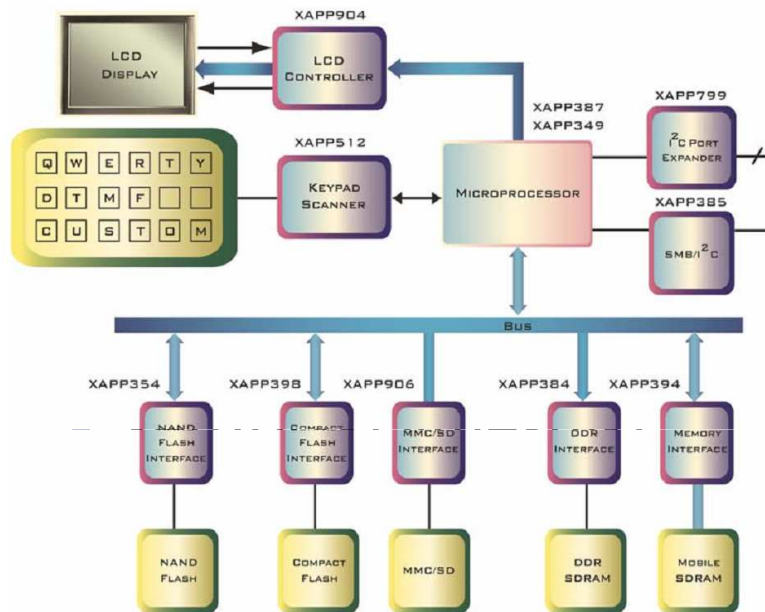
2001	2003	2004	2006	2009	2011
Virtex-II	Virtex-II pro	Virtex-4	Virtex-5	Virtex-6	Virtex-7
	Spartan-3			Spartan-6	Artix-7

Spartan-3	XC3S50	XC3S200	...	XC3S5000
matrika CLB	16 x 12	24 x 20		104 x 80
flip-flopov	1536	3840		66560
BRAM	4 (9kB)	12 (27kB)		104 (234kB)
vh-izh	124	173		633
cena	\$12	\$15		\$160

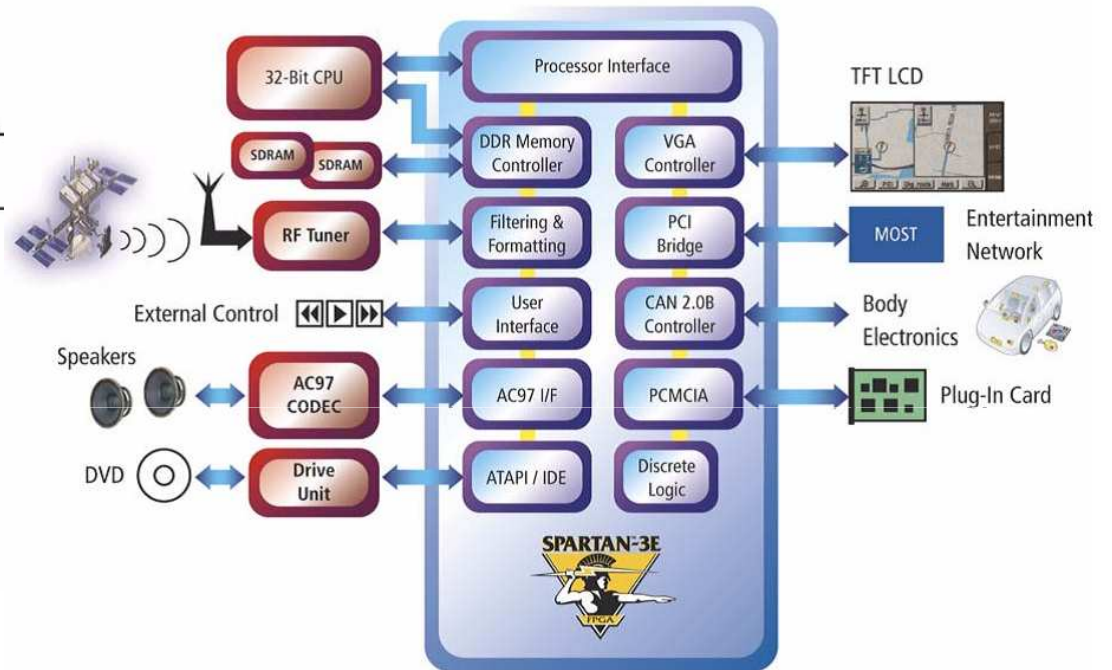
- ▶ Osnovni paket razvojnih orodij je brezplačen
 - ▶ Xilinx ISE WebPACK 12.3 (www.xilinx.com, 10GB)

Uporaba programirljivih vezij

CPLD



FPGA



Tekmovanja na FE

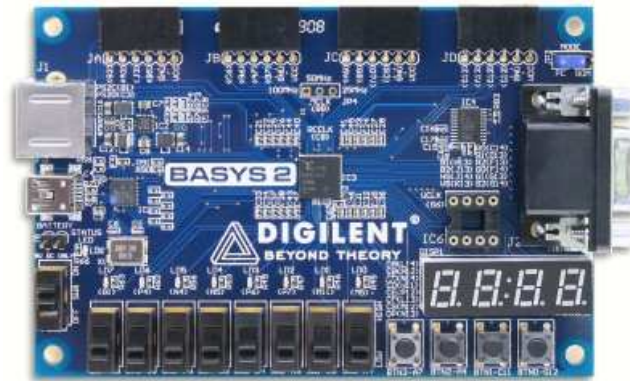
- ▶ digitalni osciloskop, DMX konzola, GPS, VGA video igrice, MIDI vmesniki, mikroprocesorji, audio spektralni analizator
- ▶ **Tekmovanje študentskih projektov 2012**

Razvojni sistemi



Digilent CPLD
CoolRunner II

- ▶ razvojni sistem za lab. vaje in projekte XC3S100E ali XC3S250E (Digilent)



Digilent Spartan-3E Board

- ▶ pri nas razviti FPGA razvojni moduli
 - ▶ <http://Iniv.fe.uni-lj.si/Spartan3Modul.html>
 - ▶ XC3S50E + SRAM + VGA

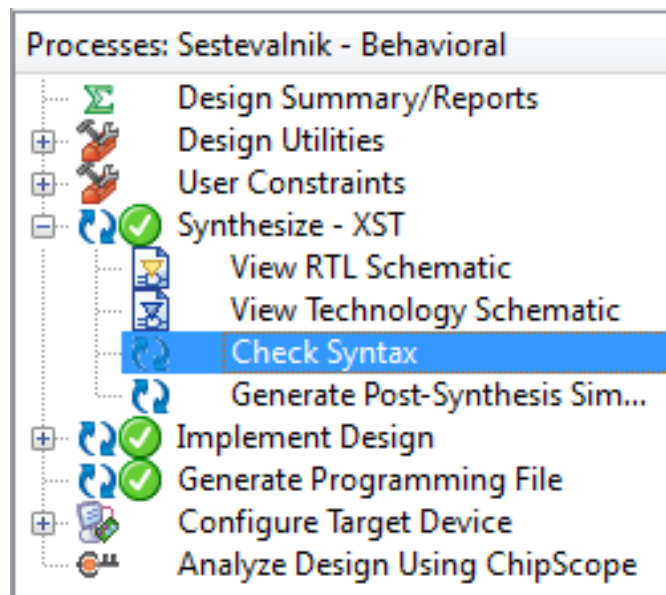
Spartan-3 XC3S200
razvojni modul (Lab)



Postopek razvoja vezja

Opis vezja v jeziku **VHDL / Verilog**

1. Sinteza logičnega vezja (Synthesize)
2. Tehnološka preslikava (Implement Design)
 - ▶ vključimo vse datoteke (opis vezja, jedra, knjižnice)
 - ▶ predhodno določimo še lokacije priključkov (User Constraints)
3. Izdelava konfiguracijskih datotek (Generate Programming File)



Preverjanje delovanja razvitega vezja

▶ Simulacija na osebnem računalniku

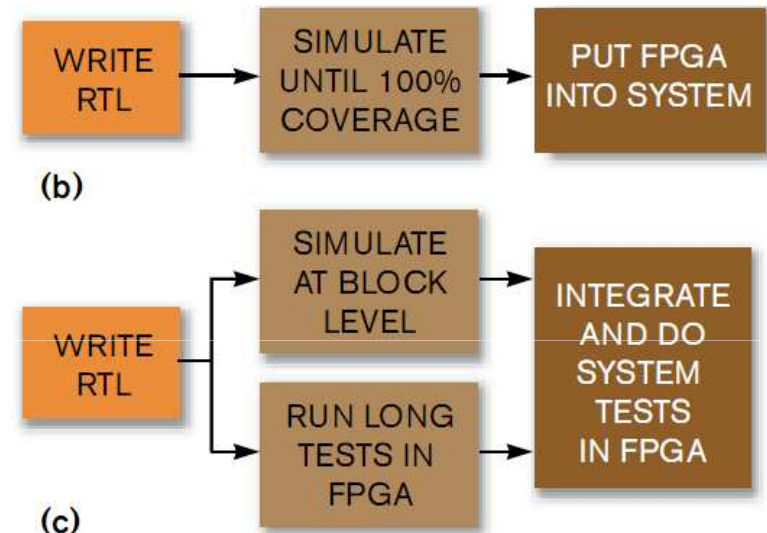
- ▶ funkcionalna in časovna simulacija
- ▶ ASIC100% simulacijo > cena napake!

▶ Programirljiva vezja

- ▶ vsaj funkcionalna simulacija blokov
 - ▶ problem je simulacijski čas
- ▶ emulacija vezja
 - ▶ problem je vidnost signalov, čas priprave in možnost priprave kompleksnih testov

▶ Mikroprocesorji

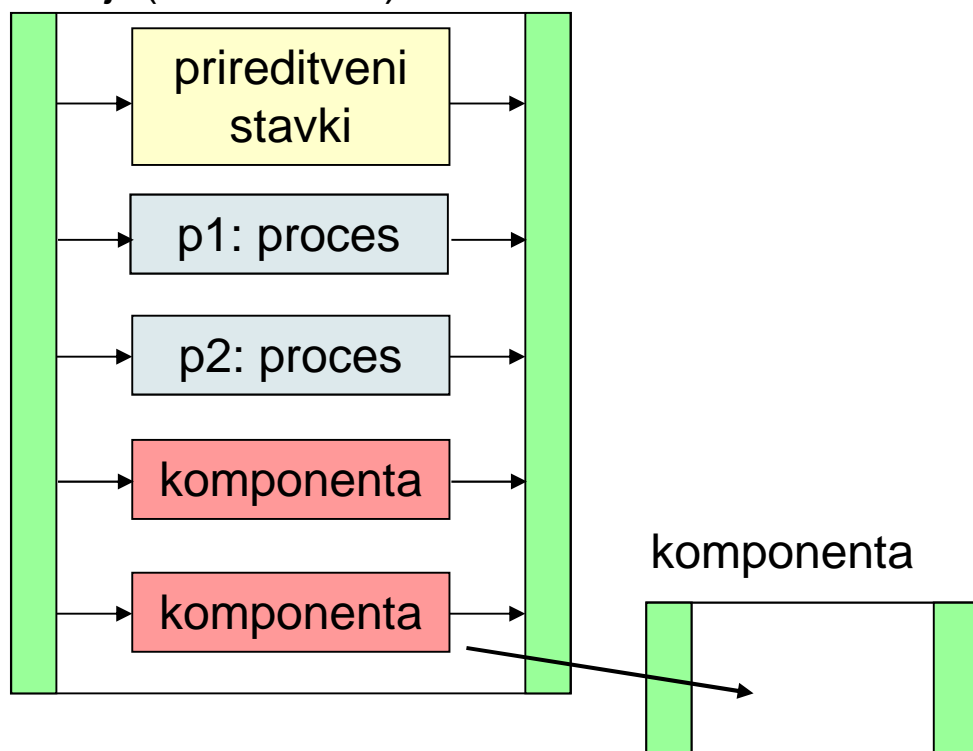
- ▶ debugiranje v sistemu ali emulatorju



R. Wilson, Verifying FPGA designs, EDN, feb 2009

- ▶ VHDL je standardni jezik za opis vezja
 - ▶ VHDL ni programski jezik !
 - ▶ stavki za opis vezja se izvajajo paralelno
- ▶ Opis zgradbe vezja

vezje(arhitektura)



VHDL

Very high-speed IC

Hardware

Description

Language

- ▶ opis postopkov, obnašanje vezja

```

p1: process(pretok)
begin
  ventil <= '0';
  if pretok > 10 then
    ventil <= '1';
  end if;
end process;

```

1. Vaja: seštevalnik v jeziku VHDL

- ▶ prireditveni stavki opisujejo gradnike vezja
 - ▶ vrstni red stavkov ni pomemben (sočasni stavki)
- ▶ poimenujemo zunanje in notranje signale

```
entity adder is  
  port ( a, b : in std_logic;  
        cin : in std_logic;  
        sum : out std_logic);  
end adder;
```

```
architecture logic of adder is  
  signal c : std_logic;  
begin  
  sum <= c xor cin;  
  c <= a xor b;  
end one;
```

