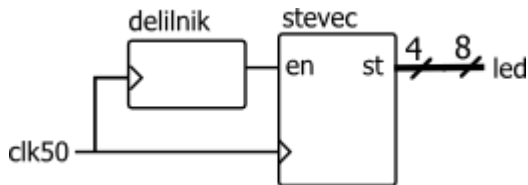


4. Vaja: leteča luč

Opis sekvenčnih vezij s sinhronim procesom v jeziku VHDL: [vhdl_obn](#)

Števec z delilnikom frekvence



Na razvojnem sistemu je frekvenca ure visoka (50 MHz), zato uporabimo delilnik frekvence kadar želimo opazovati posamezna stanja števca.

Naloga

- Poveži delilnik frekvence s 4-bitnim števcem, ki ima signal za omogočanje. Opazuj delovanje sistema na simulaciji.
- Povečaj modul delilnika na vrednost 20 000 000 in preizkusi delovanje na razvojnem sistemu.

Vežje bomo prevajali z orodjem [Quartus II Web Edition](#) in naložili na razvojni sistem [Altera DE0-Nano](#). Koraki načrtovanja v programu Quartus:

- Naredi nov projekt ali odpri obstoječ projekt: [letluc.zip](#), ki vsebuje:
 - Letluc.QPF, glavna datoteka z opisom projekta,
 - Letluc.QSF, nastavitve: vrsta FPGA, definicije priključkov...
 - Letluc.SDC, uporabniške nastavitve: parametri ure
 - Letluc.VHD, datoteka z VHDL opisom vezja.
- V oknu Project Navigator dvoklikni na ime vezja (Letluc) in v urejevalniku dokočaj VHDL opis vezja.
- Preveri sintakso (**Analyze Current File**) in če ni napak prevedi vezje (**Start Compilation**, ctrl+L).
- Odpri okno za programiranje (**Tools > Programmer**) in s klikom na **Start** naloži vezje na razvojni sistem.

