4. Vaja: leteča luč

Opis sekvenčnih vezij s sinhronim procesom v jeziku VHDL: vhdl_obn

Števec z delilnikom frekvence



Na razvojnem sistemu je frekvenca ure visoka (50 MHz), zato uporabimo delilnik frekvence kadar želimo opazovati posamezna stanja števca.

Naloga

- a. Poveži delilnik frekvence s 4-bitnim števcem, ki ima signal za omogočanje. Opazuj delovanje sistema na simulaciji.
- b. Povečaj modul delilnika na vrednost 20 000 000 in preizkusi delovanje na razvojnem sistemu.

Vezje bomo prevajali z orodjem <u>Quartus II Web Edition</u> in naložili na razvojni sistem <u>Altera</u> <u>DE0-Nano</u>. Koraki načrtovanja v programu Quartus:

- Naredi nov projekt ali odpri obstoječ projekt: <u>letluc.zip</u>, ki vsebuje:
 - o Letluc.QPF, glavna datoteka z opisom projekta,
 - o Letluc.QSF, nastavitve: vrsta FPGA, definicije priključkov...
 - Letluc.SDC, uporabniške nastavitve: parametri ure
 - Letluc.VHD, datoteka z VHDL opisom vezja.
- V oknu Project Navigator dvoklikni na ime vezja (Letluc) in v urejevalniku dokočnaj VHDL opis vezja.
- Preveri sintakso (Analyze Current File) in če ni napak prevedi vezje (Start Compilation, ctrl+L).
- Odpri okno za programiranje (**Tools > Programmer**) in s klikom na **Start** naloži vezje na razvojni sistem.

Programmer - D:/designs2014/letluc/letluc - letluc - [letluc.cdf]			
<u>File E</u> dit <u>V</u> iew P <u>r</u> o	ocessing <u>T</u> ools <u>W</u> indow	Help 🛡	
Hardware Setup USB-Blaster [USB-0] Mode: JTAG Enable real-time ISP to allow background programming (for MAX II and MAX V devices)			
Start	File	Device	Checksum
Stop	letluc.sof	EP4CE22F17	0013DF26