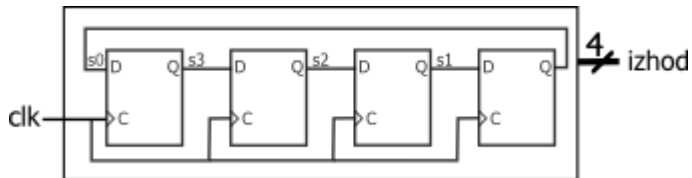


### 3. Vaja: sekvenčna vezja

Opis sekvenčnih vezij s sinhronim procesom v jeziku VHDL: [vhdl\\_obn](#)

#### Pomikalni register



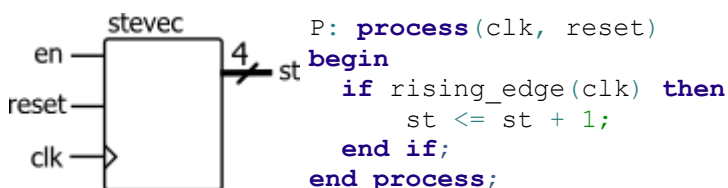
#### Naloga

Naredi vezje, ki je sestavljeno iz štirih D flip-flopov, kot prikazuje shema. Deklariraj notranje signale s0, s1, s2 in s3 in jim določi začetne vrednosti, tako da bo s0 na '1', vsi ostali pa na '0'. Preizkusi delovanje vezja na simulatorju !

- Ali je vrstni red zapisa prireditvenih stavkov pomemben ?
- Združi vsa stanja v 4-bitni vektor, ki naj bo izhod vezja. Na katerem mestu je najbolje zapisati ta prireditveni stavek ?
- Dodaj v opis vezja vhodni signal reset, ki naj postavi signale v začetno stanje. Signal reset naj deluje sinhrono z uro

---

#### Binarni števec



Sinhroni binarni števec je sekvenčno vezje s povratno zanko, v katerem je izhodno stanje vezano nazaj na vhod. Vrednost izhoda binarnega števca je enaka vhodni vrednosti, povečani za 1. Če je stanje števca zunanji signal, ga deklariramo kot **buffer**, ker se pojavlja na obeh straneh prireditvenega stavka.

#### Naloga

- a. Naredi opis štiribitnega binarnega števec s signalom reset in signalom za omogočanje štetja. Kadar je signal za omogočanje (en) enak '1', naj števec ob naraščajoči fronti ure povečuje izhodno vrednost.
  - b. Kaj se zgodi, ko pride števec do največje vrednosti ?
  - c. Kako bi definiral začetno stanje števec brez uporabe reset signala?
- 

## Delilnik frekvence

Delilnik frekvence naredimo v sinhronih vezjih v obliki digitalnega števec. Binarni števec ima število ciklov odvisno le od števila bitov (4-bitni ima 16 ciklov, 5-bitni ima 32 ciklov...), z dodatnim pogojem v procesu pa lahko naredimo števec po poljubnem modulu M. Takšen števec šteje od 0 do vrednosti M-1, nato pa spet začne od 0.

```
if rising_edge(clk) then
  if deli = M-1 then
    deli <= "000000...";
  else
    deli <= deli + 1;
  end if;
end if;
```

V popolnoma sinhronih digitalnih sistemih morajo biti vsi pomnilni elementi vezani na sistem uro, ki ima običajno visoko frekvenco. Če potrebujemo v vezju spreminjanje stanj z nižjo frekvenco, uporabimo signal za omogočanje. Kadar se delilnik frekvence obrne nazaj na 0, omogočimo delovanje nekega sekvenčnega gradnika (števec, pomikalnega registra ipd.).

### Naloga

- a. Naredi delilnik frekvence v obliki števec po modulu 10. Ko se števec postavi na 0, naj bo izhodni signal en enak '1', v vseh ostalih stanjih pa naj bo enak '0'. Preizkusi delovanje na simulaciji.