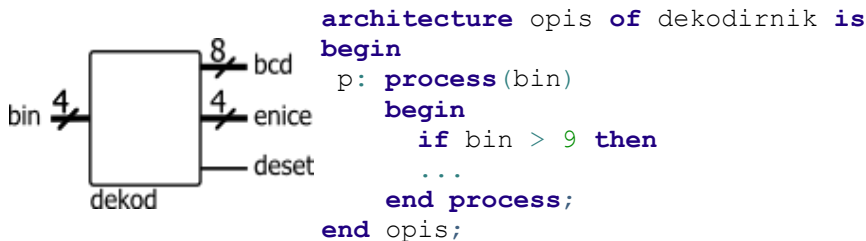


## 2. Vaja: proces

Opis kombinacijskih vezij na nivoju obnašanja (behavioral) v jeziku VHDL: [vhdl\\_obn](#)

### BCD dekodirnik



#### Naloga

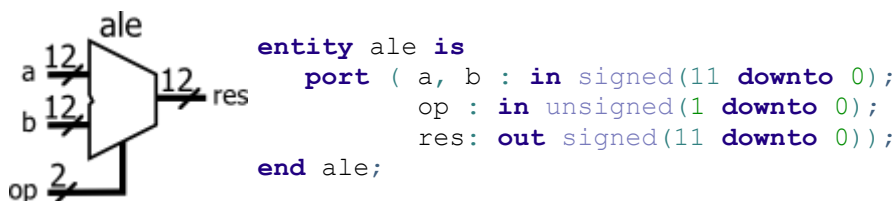
Načrtaj dekodirnik iz 4-bitne binarne kode (vhodne vrednosti med 0 in 15) v dvomestno (8-bitno) BCD kodo in napravi simulacijo.

Dvomestna BCD koda je sestavljena iz enic in desetic. Enice so enak vhodni vrednosti, kadar je med 0 in 9, kadar je večja kot 9 pa moramo odšteti 10 in postaviti desetice na 1. Iz enic in desetic sestavimo 8-bitni izhodni signal bcd.

- Opiši dekodiranje s procesom, ki določa vrednosti izhodov enice in deset glede na vrednost vhoda bin in naredi simulacijo. Ugotovi katere knjižnice morajo biti vključene in kateri podatkovni tip je primeren za opis dekodirnika.
- Sestavi izhodni signal bcd iz signalov enice in deset. Kako je potrebno signale deklarirati?
- Uporabi namesto procesa pogojni prireditveni stavek (**when...else**). Kateri opis vezja je bolj pregleden?

---

### Aritmetično logična enota



#### Naloga

- a. Opiši vezje 12-bitne aritmetično logične enote, ki izvaja štiri operacije nad predznačenima vhodnima signaloma a in b. Operacije določa 2-bitni signal op: "00" določa seštevanje, "01" odštevanje, "10" logično in operacijo (**and**) in "11" logično ali operacijo (**or**). Preizkusi delovanje na simulatorju.

Za bolj pregleden opis vezja definiraj konstante, ki določajo operacijo:

- b. `constant add : unsigned(1 downto 0) := "00";`  
c. `constant sub : unsigned(1 downto 0) := "01";`  
d. `constant anda : unsigned(1 downto 0) := "10";`  
e. `constant ora : unsigned(1 downto 0) := "11";`

S katerim stavkom bi najbolje opisal ALE?

```
case op is
  when add =>
    ...
  when sub =>
    ...
end case;
```

- f. Dodaj v opis ALE enobitni izhodni signal C, ki predstavlja izhodni prenos pri seštevanju in odštevanju.  
Dodaj še izhod Z, ki predstavlja ničelno zastavico. Signal naj dobi vrednot '1', kadar je rezultat operacije enak 0.