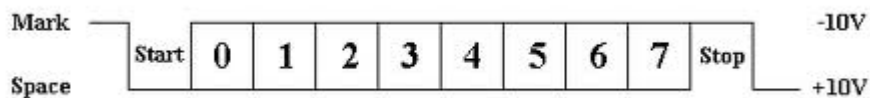


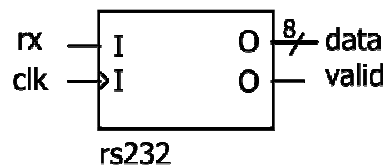
## 5. vaja: asinhroni serijski sprejemnik

Naredi asinhroni sprejemnik serijskih signalov po protokolu RS232. Prenašali bomo 8 podatkovnih bitov brez paritete (8N1) s hitrostjo 38400 bitov/s. Sprejemnik naj ima vходу uro frekvence 1 MHz, ki je 26x višja od frekvence serijskih signalov.

Kadar prenos podatkov ne poteka je serijski vhodni signal v stanju logične 1. Prenos se začne s startnim bitom (logična 0), ki mu sledi 8 podatkovnih bitov, od bita 0 do najvišjega bita z indeksom 7. Med dvema zaporednima paketoma mora biti vsaj en stop bit (logična 1).



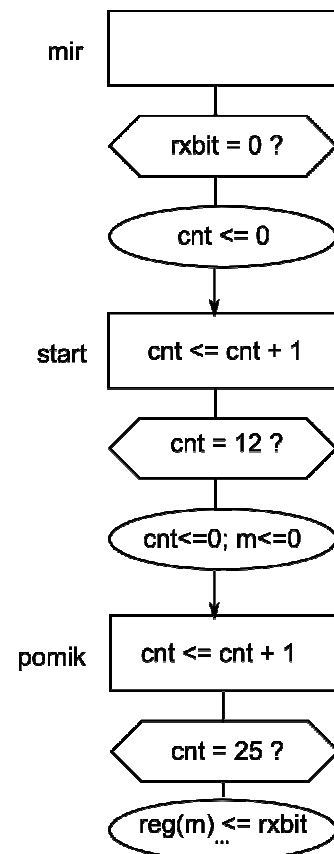
### 5.1 Diagram stanj asinhronnega sprejemnika



Asinhroni sprejemnik bomo naredili kot algoritmični avtomat stanj. V opisu vezja določimo nov podatkovni tip in signal za 4 stanja: *mir*, *start*, *pomik* in *stop*. Deklarirajmo še notranji signal (*rxbit*), 8-bitni serijski register (*reg*) in števec: 5-bitni števec periode (*cnt*) in 3-bitni števec mest (*m*).

Vhodni signal (*rx*) vzorčimo z uro, tako da bomo imeli sinhronne vhode v vezje. Vezje naj bo v mirovnem stanju, dokler na sinhroniziranem vhodu (*rxbit*) ne zaznamo logične 0. Nato gremo v stanje *start*, kjer počakamo pol bitne periode. V stanju *pomik* spremljamo števec bitne periode (*cnt*) in vsakokrat ko pride do 25 shranimo en bit ter povečamo mesto (*m*).

Ko sprejmemo 8 bitov ( $m=7$ ), gremo v stanje *stop*, kjer počakamo še stop bit in prenesemo podatek iz serijskega registra na izhod (*data*).



Dopolni diagram stanj opiši sprejemnik v jeziku VHDL. Naredi simulacijo vezja, kjer nastavi uro frekvence 1 MHz (1 us) in spreminjaj vhod s periodo 26 us.