



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*



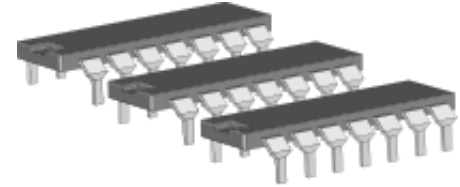
Digitalni Elektronski Sistemi

Programirljiva vezja

Razvoj, zgradba in uporaba

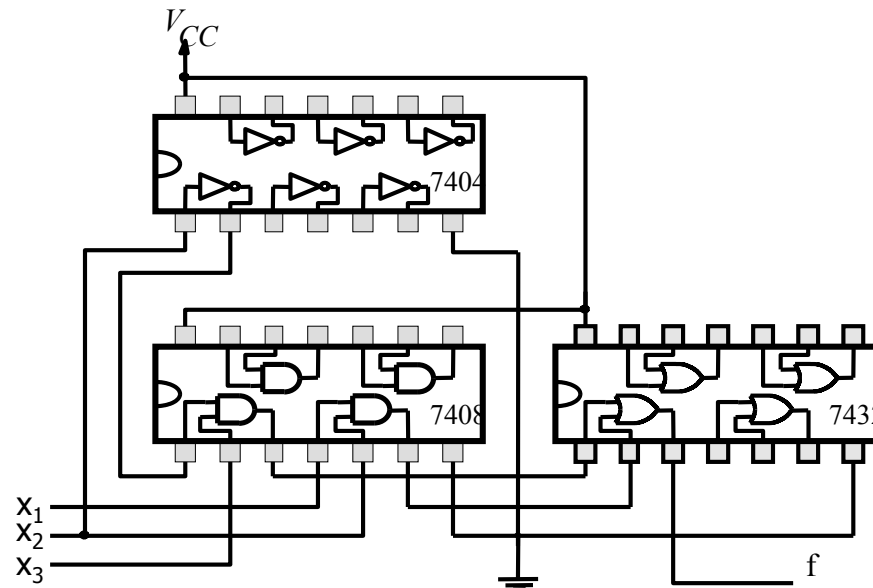
Integrirana vezja – univerzalni gradniki

- ▶ standardni čipi: TTL družina 7400...



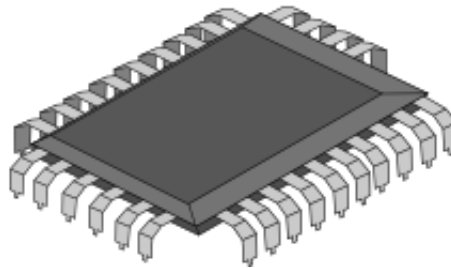
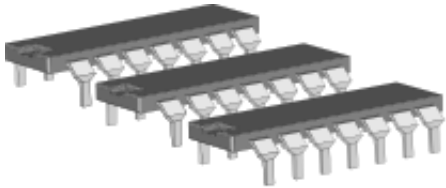
- ▶ gradniki z vnaprej določeno funkcijo

- ▶ vsebujejo <100 transistorjev
- ▶ dogovor med proizvajalci o oznaki čipa, ki določa funkcijo

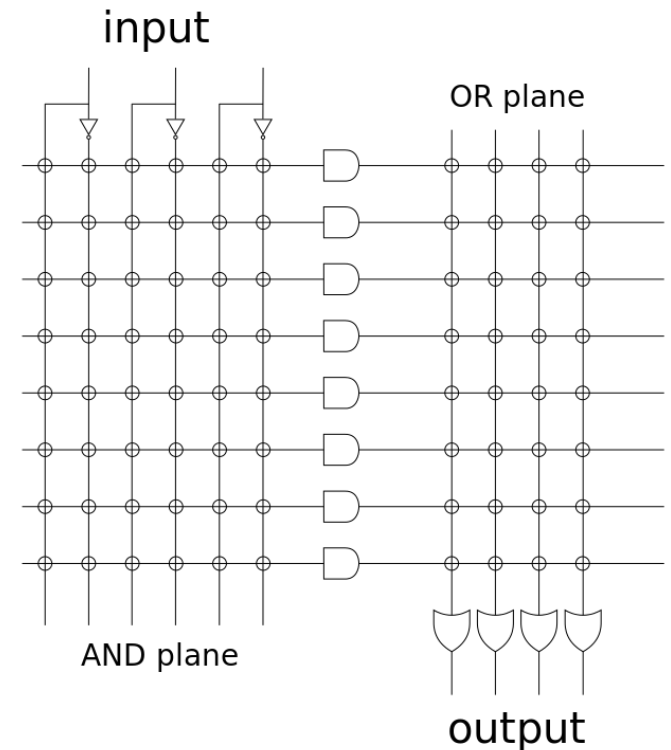


Izum programirljivih vezij

- ▶ Ali lahko nadomestimo čipe z vnaprej določeno funkcijo s programirljivimi?



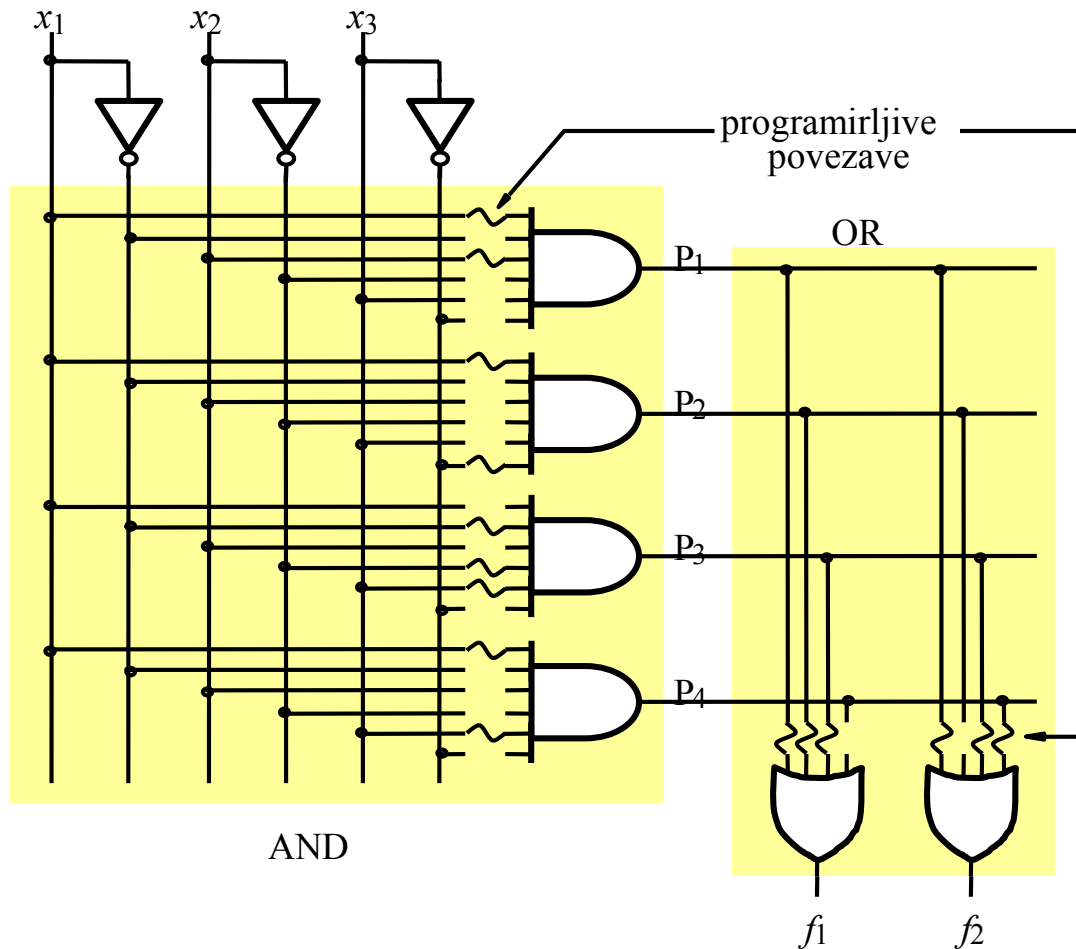
Programirljiva matrika



Texas Instruments
1970, PLA TMS2000

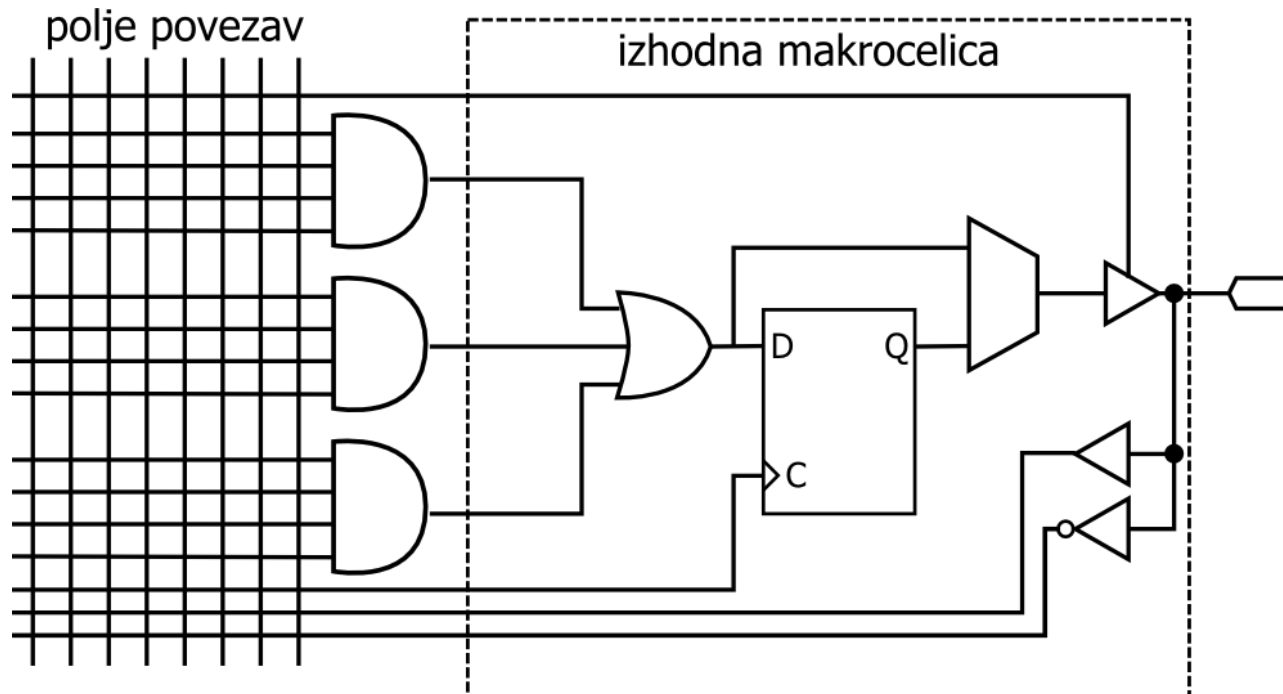
Matrika PLA (Programmable Logic Array)

- ▶ Boolova algebra: kombinacijsko funkcijo pretvorimo v obliko AND-OR
- ▶ med programiranjem vzpostavimo povezave na AND in OR
- ▶ tipična PLA ima 16 vhodov, 32 produktnih členov (AND) in 8 izhodov



Izhodne makrocelice za sekvenčna vezja

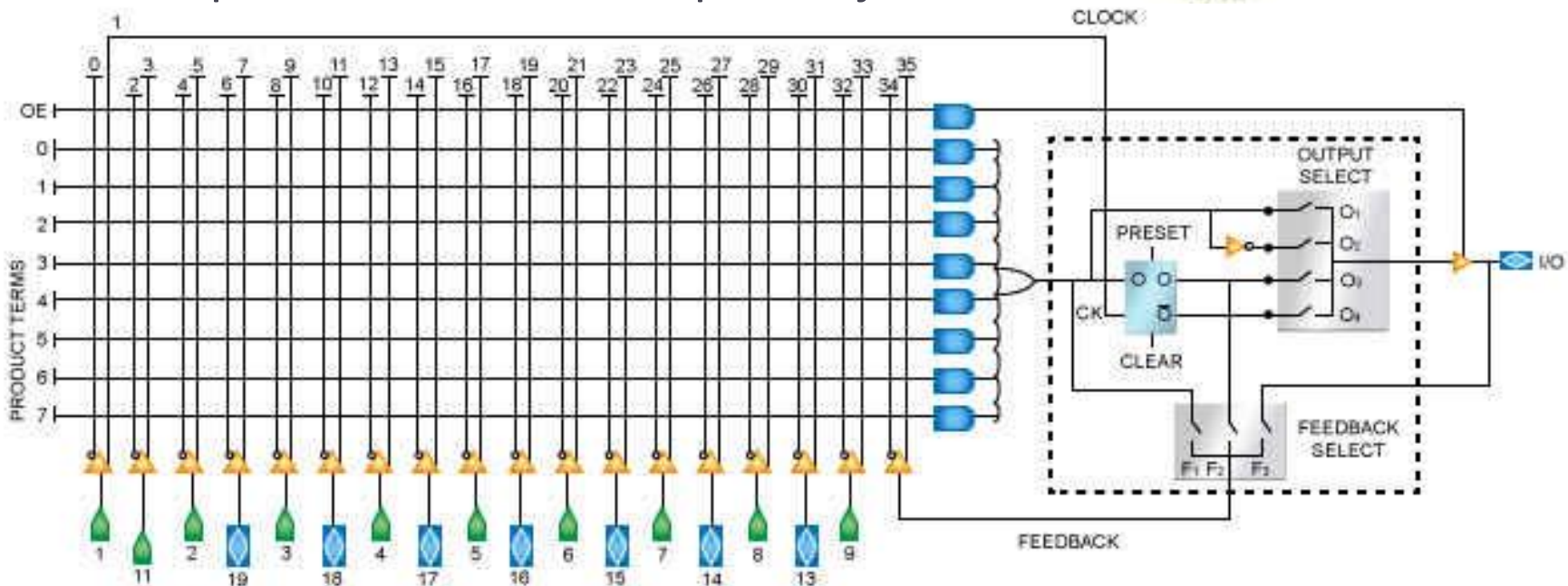
- ▶ Programirljiva matrika ima lahko na izhodu vrat OR dodatno vezje
- ▶ izhodna makrocelica vsebuje pomnilni element in povratne povezave nazaj na vhode




Večkratno programirljiva vezja - EPLD

▶ 1984 Altera, EP300

- ▶ minimizirani Boolovi izrazi
- ▶ UV EEPROM pomnilnik, brisanje s svetlobo
- ▶ 16-bitni ali 7-segmentni dekoder, kompleksen avtomat z 8 spr. stanj...



NOTE:  = I/O pin in which logic array input is from feedback path

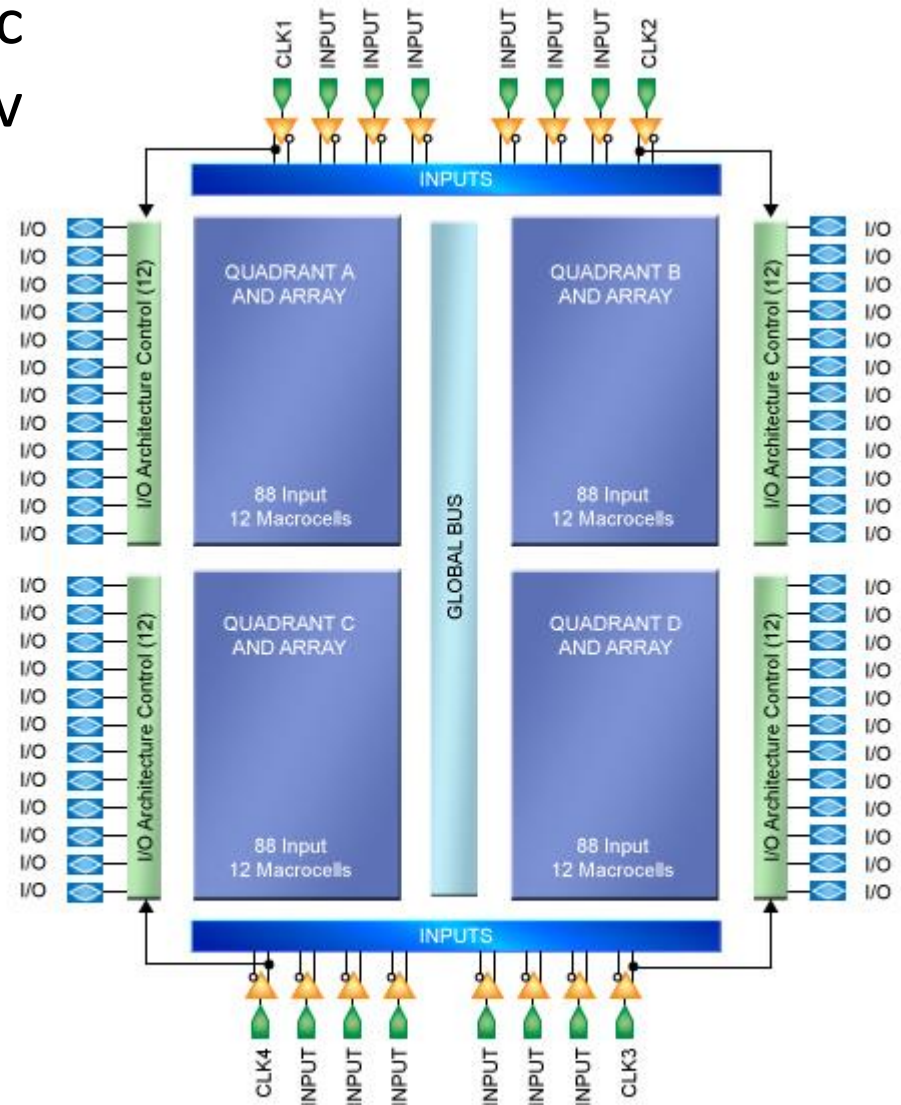
This diagram shows one of the eight macrocells within the EP300/EP310.

Delitev povezovalne stukture

- ▶ z naraščanjem št. makrocelic se zelo poveča polje povezav

EP900:

- ▶ razdeljeno polje, MC niso povezane z vsemi signali
- ▶ programska oprema skrbi za delitev



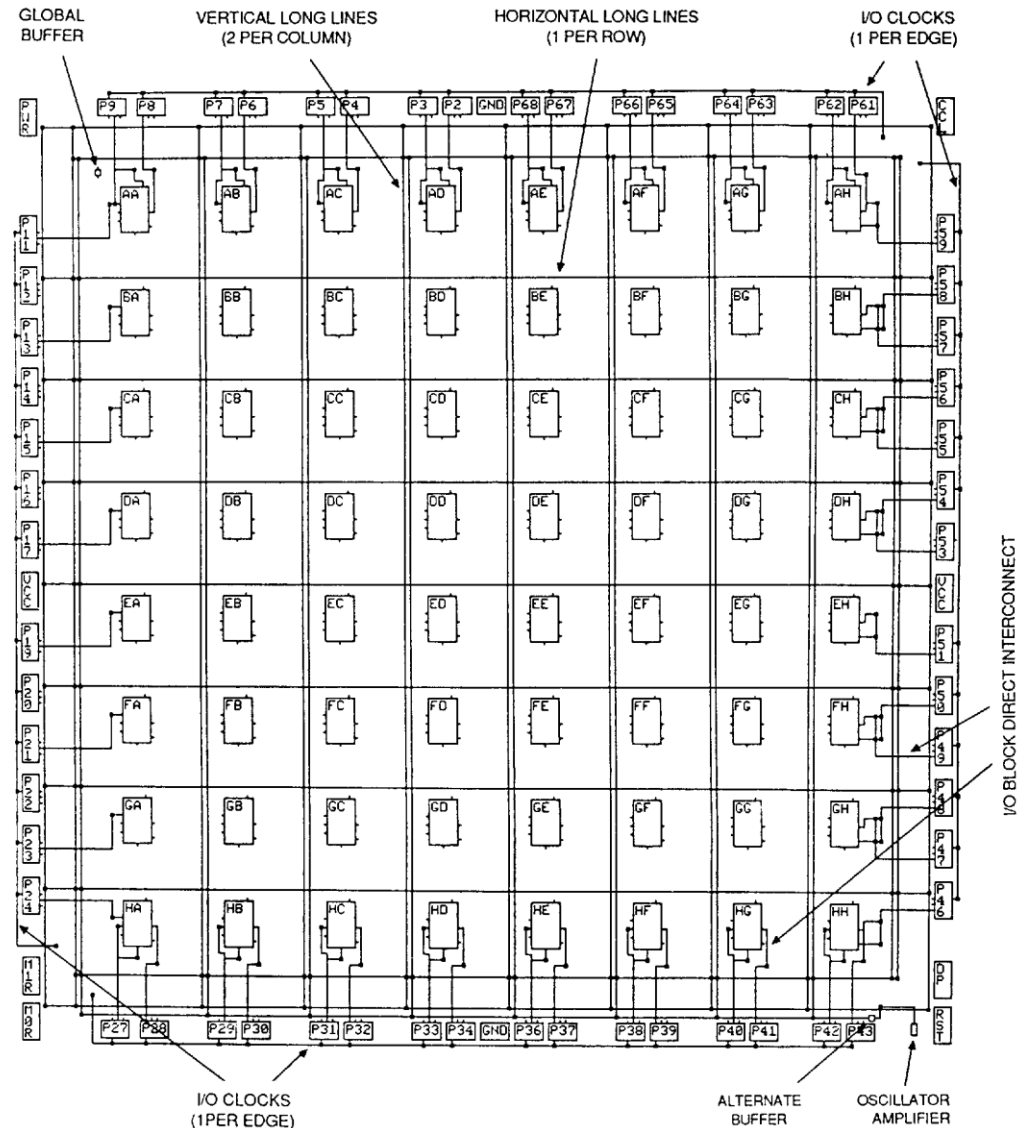
NOTE: See EP900 data sheet for macrocell and I/O configurations

Programirljiva matrika: FPGA (1986)

► Field Programmable Gate Array

- matrika logičnih celic
- programirljive povezave
- vhodno/izhodne celice

Xilinx
XC2064



Razvoj FPGA: Moorov zakon

(1986 –)

	št. logičnih celic	logičnih vrat	priključkov
XC2064	128	1024	58
XC3090	640	5120	144
XC4062	5472	43776	352

XILINX® **Virtex**

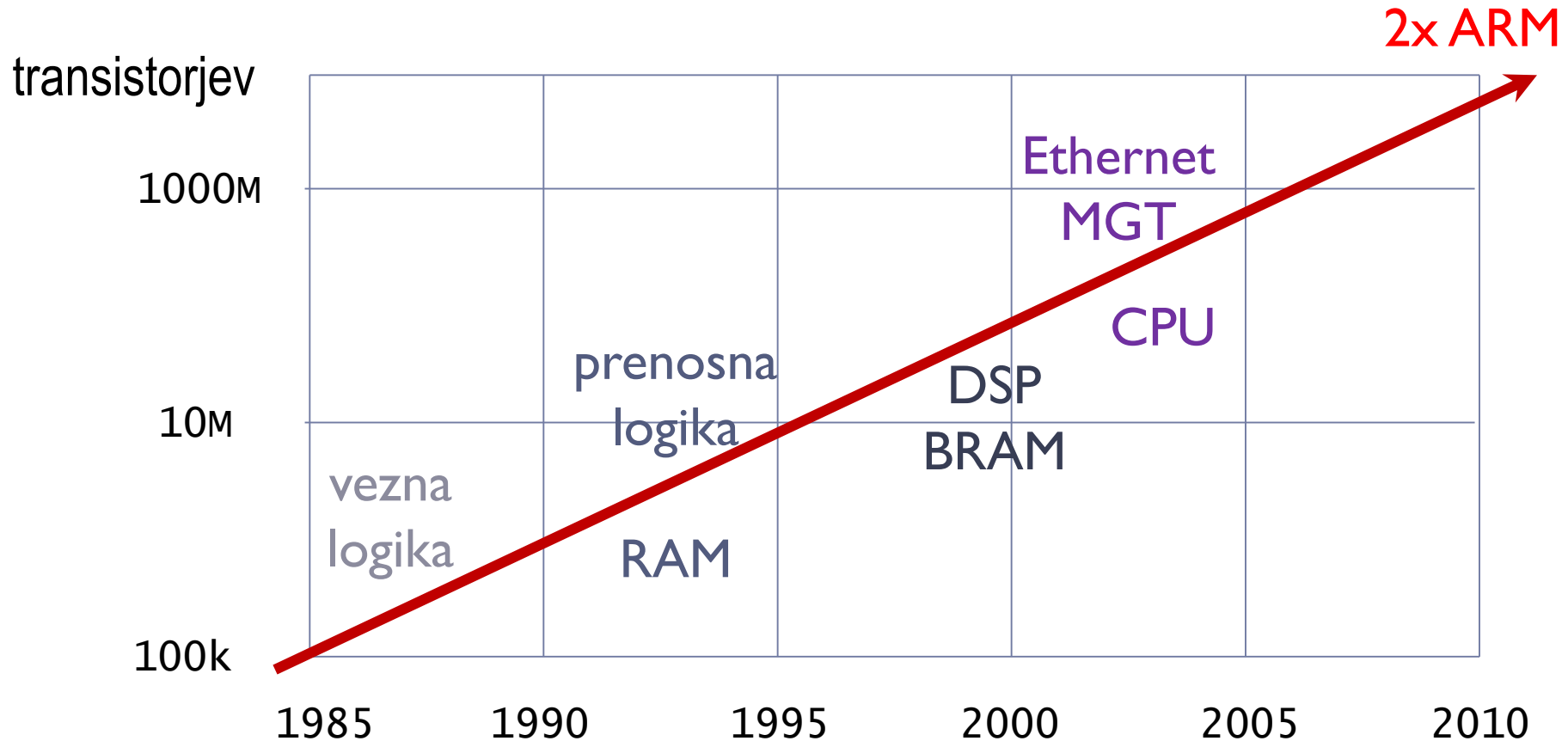
I.	XCV800	21168	169344	512
II.	XC2V6000	67584	540672	1104
IV.	XC4VLX160	200448	1603584	960
VI.	XC6VLX550	549888	4399104	1200
VII.	XC7V2000	1954560	15636480	1200

► Pomembni proizvajalci:



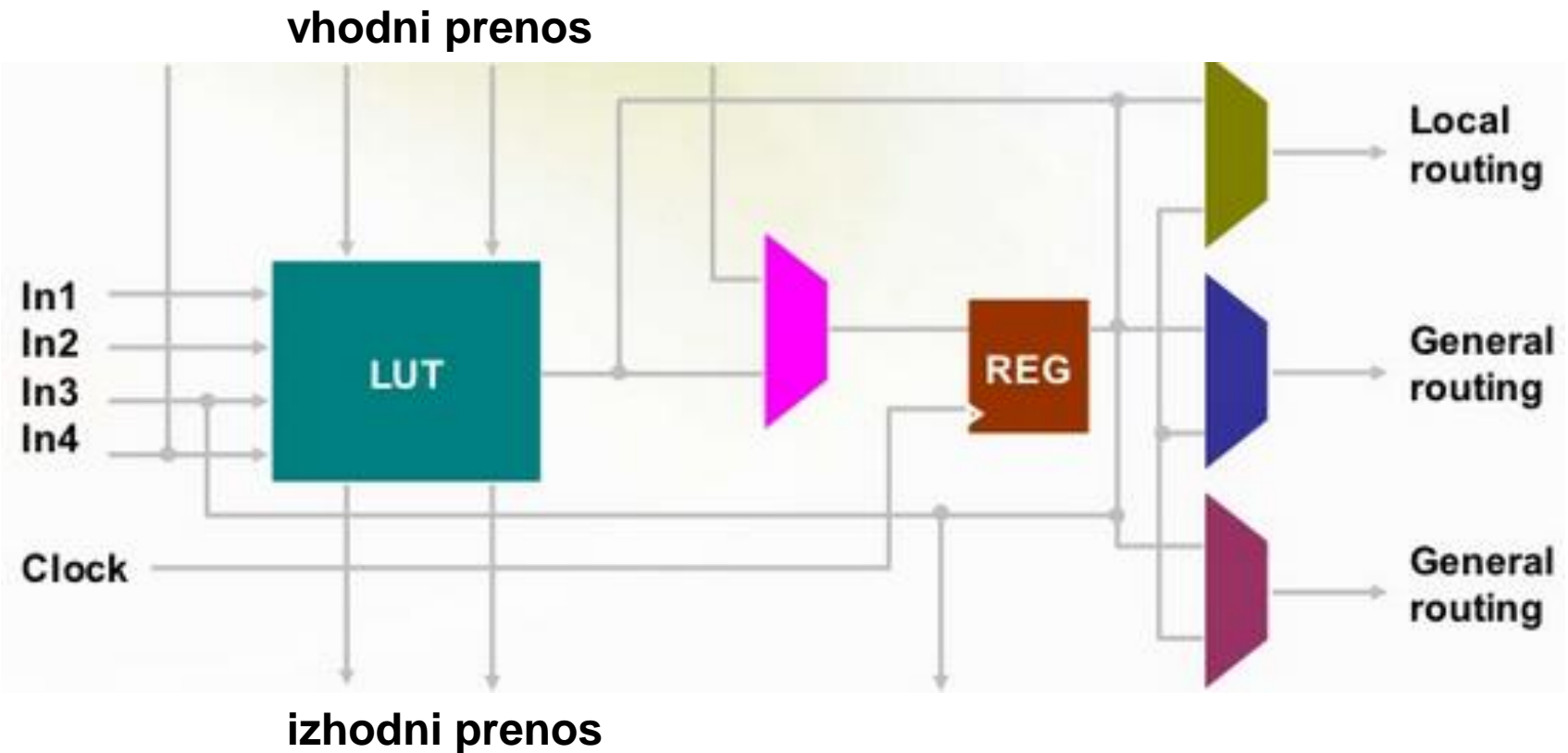
Razvoj zgradbe FPGA

- ▶ vezja FPGA imajo vedno večjo zmogljivost in dodatne enote (pomnilniki, vmesniki, procesorska jedra)



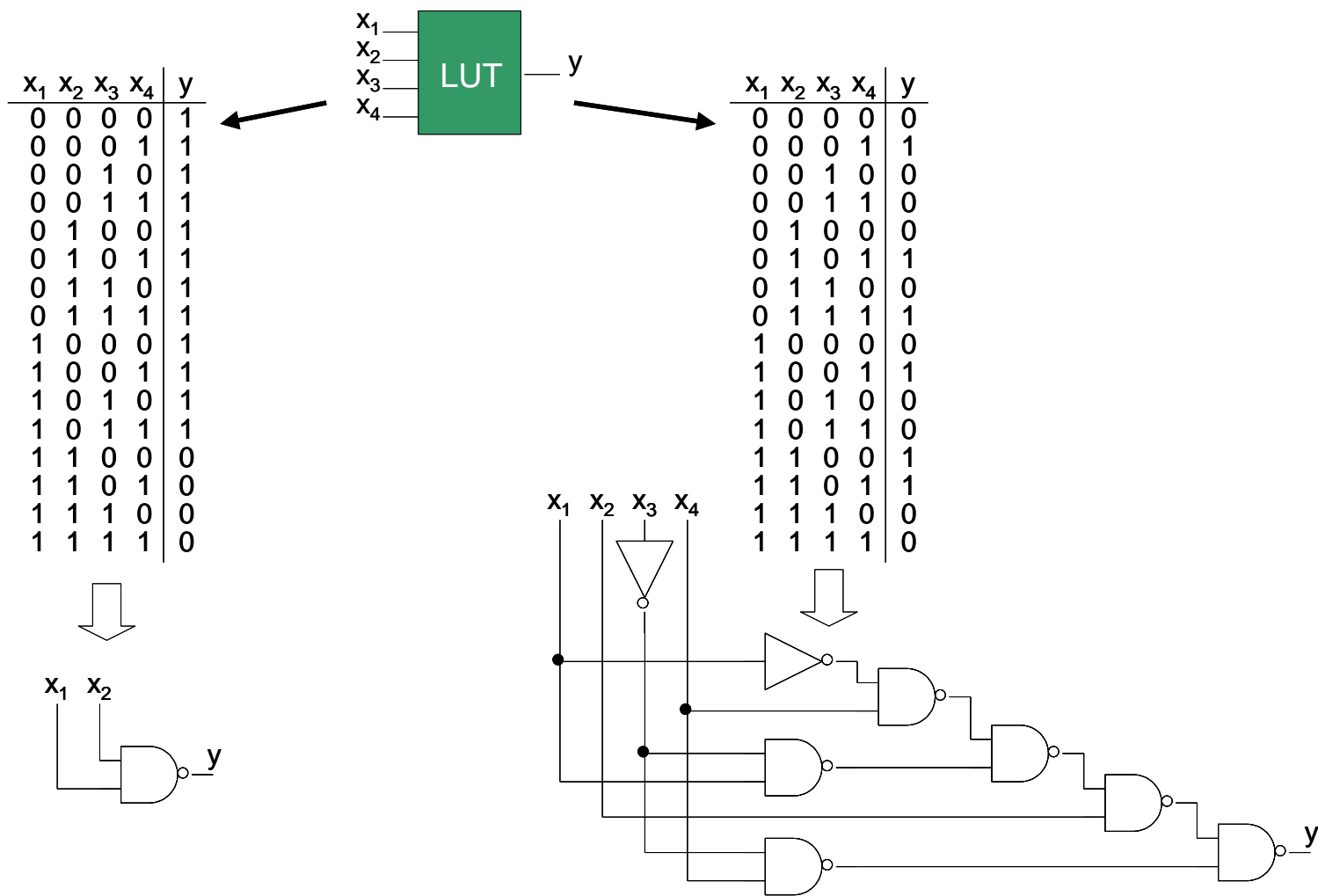
Logične celice v FPGA Altera Cyclone IV

- ▶ Logična celica vsebuje LUT in flip-flop (REG)
- ▶ povezana je na polje povezov



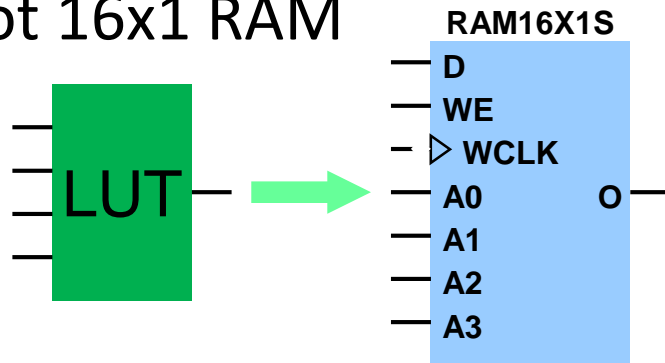
Izvedba logičnih funkcij s tabelami

- ▶ Vpogledna tabela (LUT) za kombinacijske funkcije

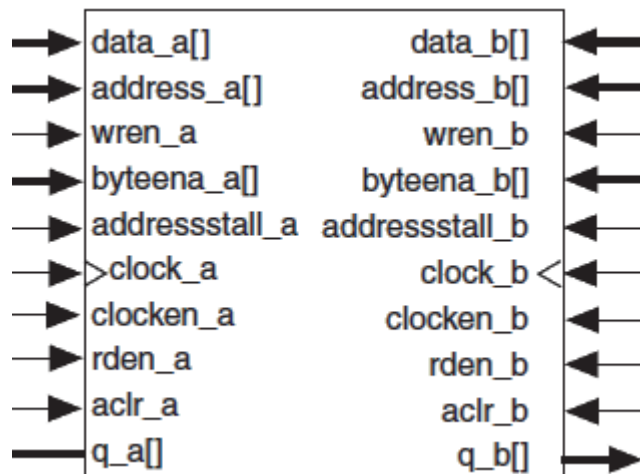


Pomnilnik v vezju FPGA

- ▶ LUT deluje kot majhen pomnilnik, npr. Xilinx LUT-4 deluje kot 16x1 RAM

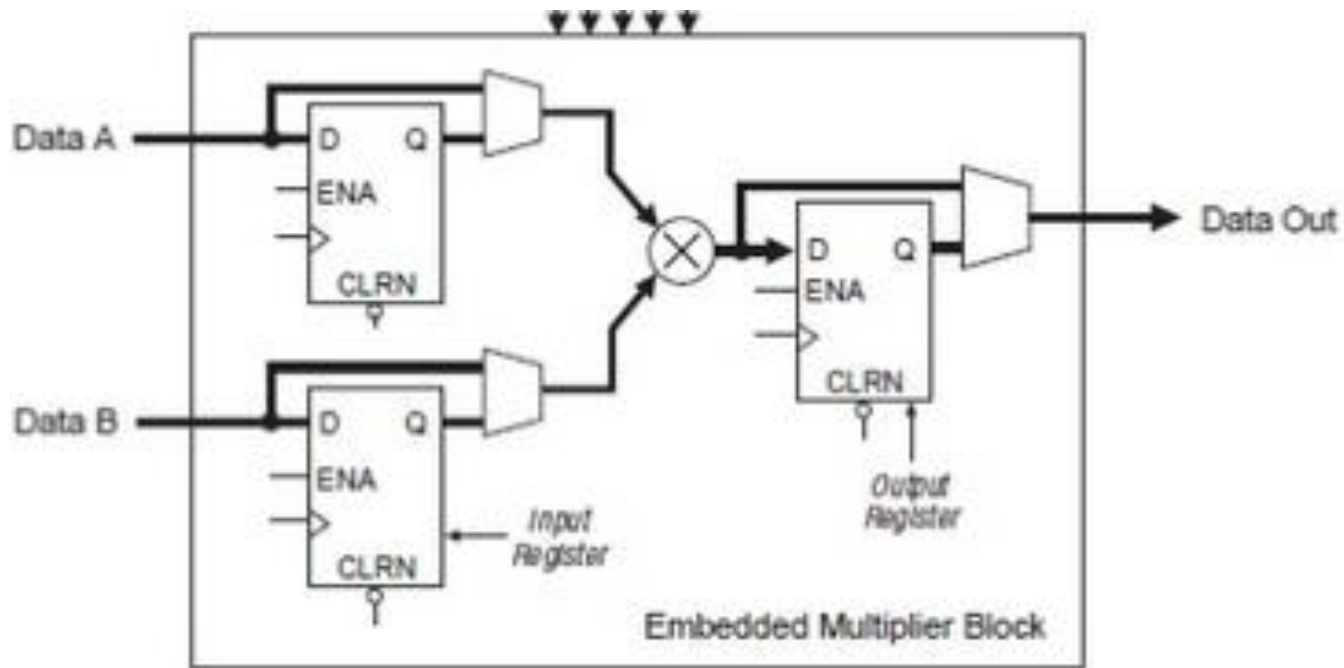


- ▶ pomnilni bloki M9K v Altera Cyclone IV
 - ▶ nastavljiva globina/širina 8192 x 1 bit, 4092 x 2 ... 256 x 36 bitov
 - ▶ sinhroni dvovhodni RAM, ločena vrata za branje in pisanje



Množilni bloki v Cyclone IV

- ▶ Uporabni za digitalno obdelavo signalov (DSP blok)
 - ▶ blok deluje kot en 18-bitni ali dva 8-bitna množilnika

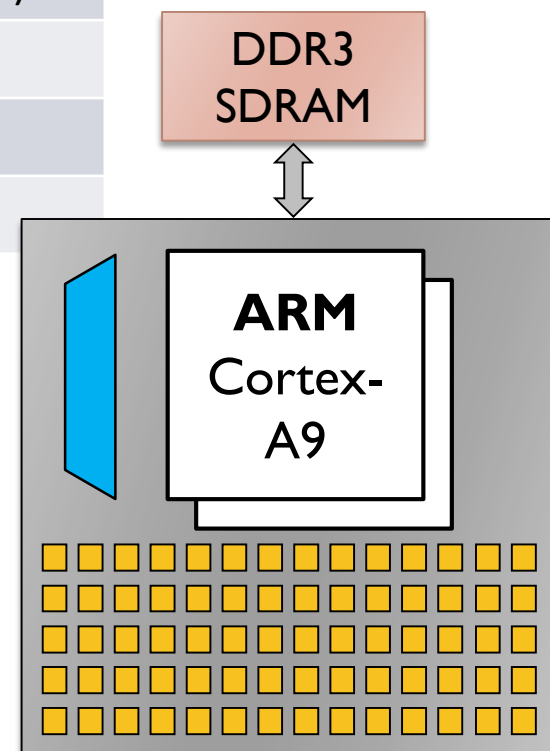


Programirljivi sistemi na čipu - SoC

▶ Xilinx Zynq

- ▶ vsebuje FPGA, dvojedrni ARM Cortex-A9 in periferne enote

	Z-7010	Z-7020	Z-7100
LUT (DFF)	17k (35k)	53k (106k)	277k (554k)
BRAM	240 KB	560 KB	3020 KB
DSP	80	220	2020
I/O	100	200	400



Primerjava FPGA z namenskimi čipi

- ▶ veliko krajši čas razvoja
- ▶ ni stroškov priprave proizvodnje
 - ▶ NRE stroški v milijonih EUR
- ▶ FPGA so počasnejša , imajo večjo površino in porabo energije
 - ▶ cena programirljivosti

Primerjava FPGA in ASIC	
površina	40 : 1
zakasnitev kritične poti	3 : 1
dinamična poraba	12 : 1
statična poraba	87 : 1

Kuon and Rose, *Measuring the Gap Between FPGAs and ASICs*, FPGA 2006

Digitalna integrirana vezja

Mikroprocesor

- ▶ **univerzalno** vezje, zaporedje ukazov, enostaven razvoj aplikacij

SLABOSTI

- ▶ počasen odziv na dogodke
- ▶ zmogljivost odvisna od kompleksnosti algoritma

Application Specific Integrated Circuit

- ▶ vezje za **določen namen**, paralelno delovanje
- ▶ hiter odziv na dogodke

SLABOSTI

- ▶ zahtevno za načrtovanje
- ▶ s kompleksnostjo algoritma narašča velikost in cena vezja

Programirljiva vezja so vnaprej izdelana

- ▶ krajši čas razvoja
- ▶ hiter odziv in paralelna obdelava signalov
- ▶ v primerjavi z ASIC so počasnejša, imajo večjo površino in večjo porabo

Načrtovanje s programirljivimi vezji

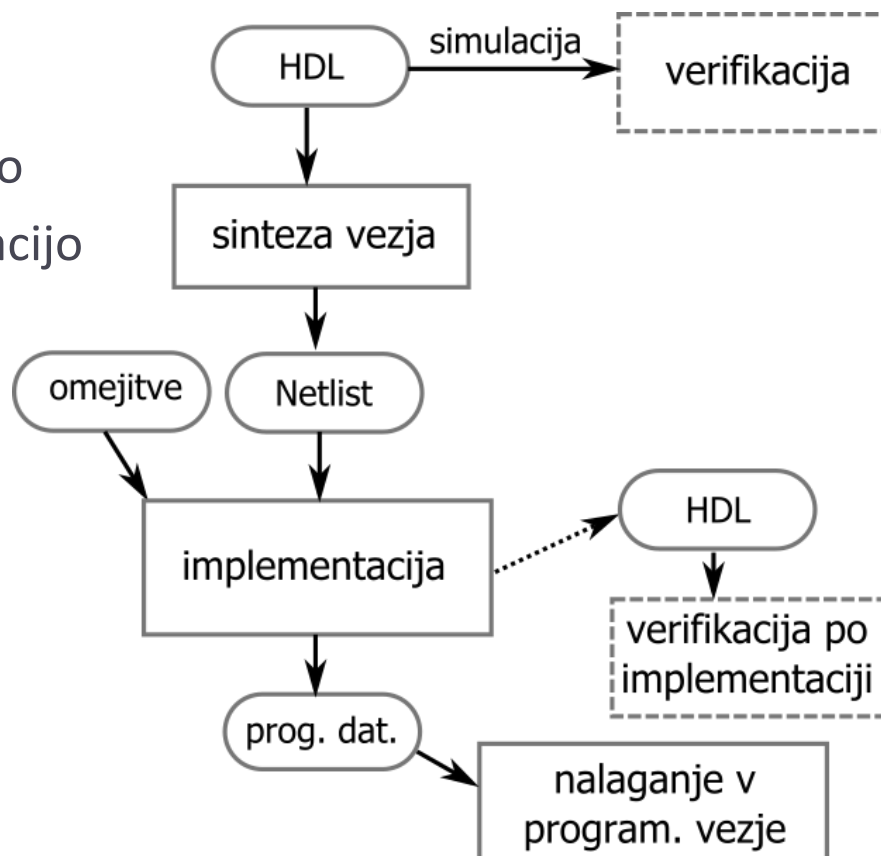
1. Opis vezja v jeziku HDL (Hardware Description Language)

- ▶ s simulacijo preverimo (verificiramo) model
- ▶ v postopku sinteze dobimo opis gradnikov digitalnega vezja (Netlist)

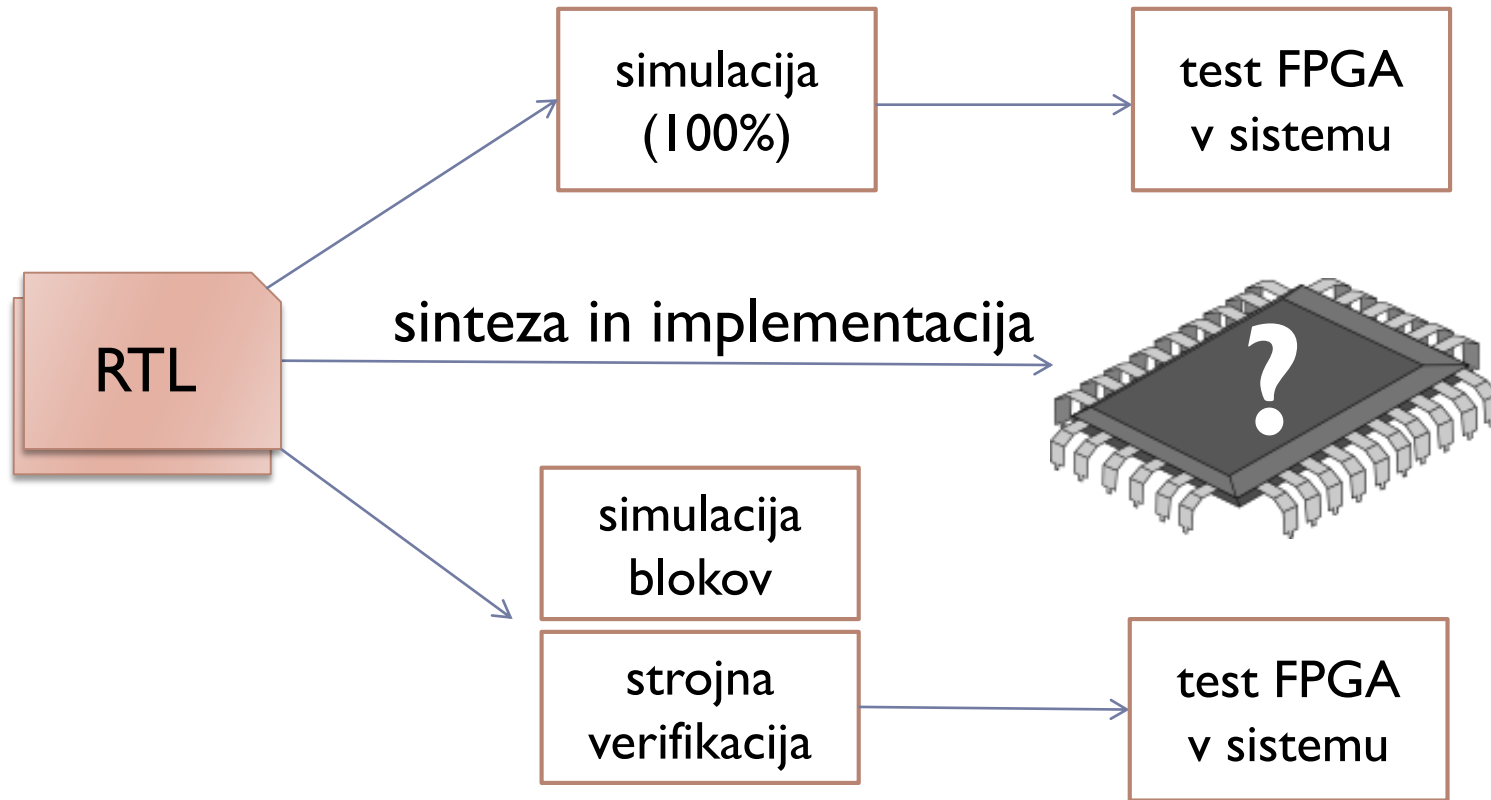
2. Implementacija

- ▶ zgradbo vezja z omejitvami preslika v izbrano tehnologijo
- ▶ nato lahko naredimo verifikacijo z zakasnitvami

3. Nalaganje programske datoteke v FPGA

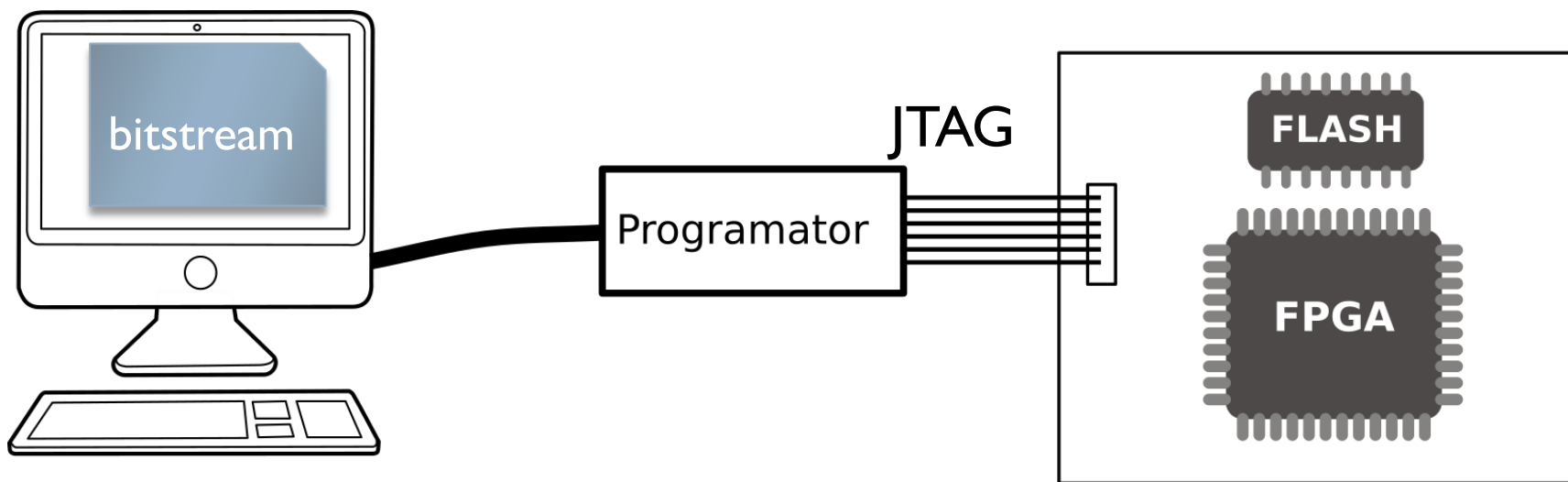


Verifikacija



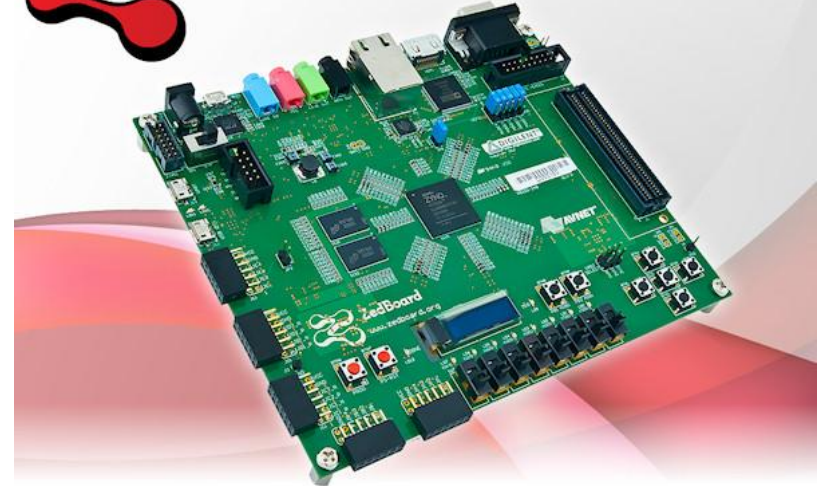
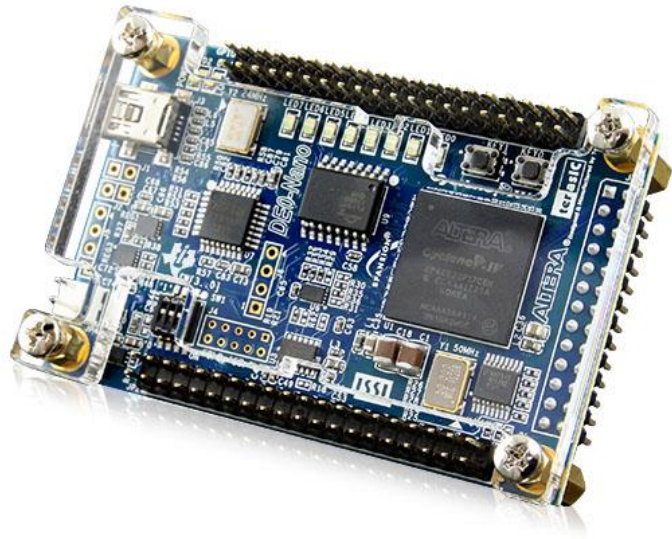
Programiranje (nalaganje FPGA)

- ▶ med razvojem poteka nalaganje FPGA prek vmesnika JTAG
- ▶ na končnem tiskanem vezju vsebuje FLASH iz katerega se naloži ob vklopu



FPGA razvojni sistemi

Altera DE0-Nano



Zynq = FPGA+ARM

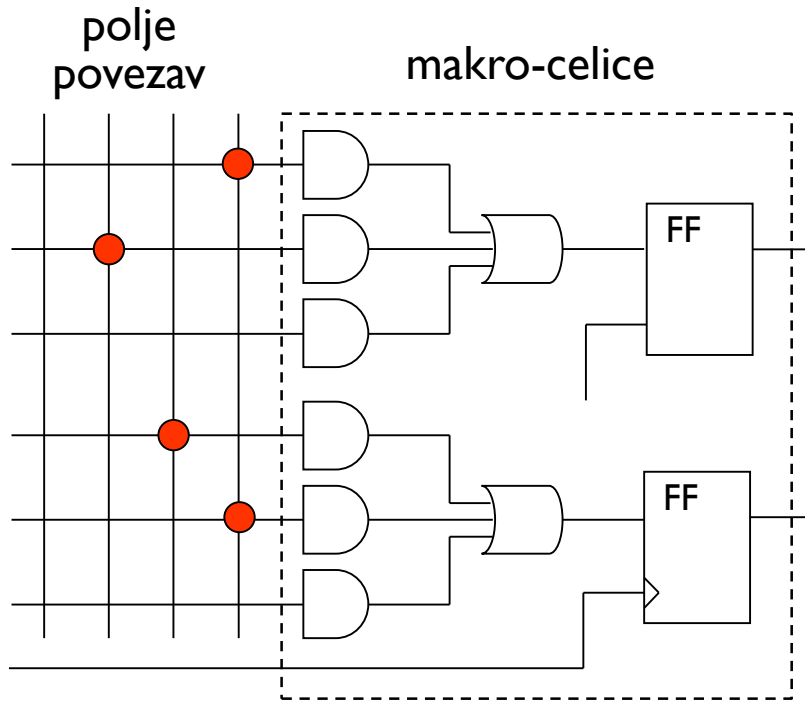


- ▶ <http://Iniv.fe.uni-lj.si/boards.html>

Programirljiva vezja: CPLD, FPGA

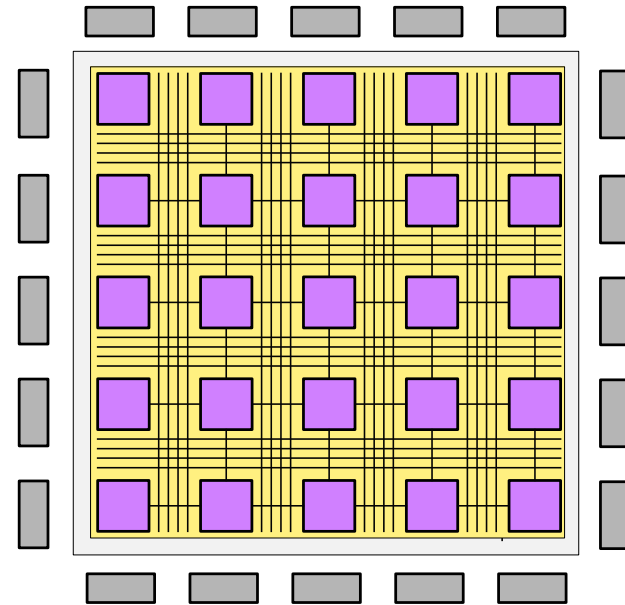
Complex Programmable Logic Device

- ▶ Makro-celice s FF in povezovalno polje
- ▶ 1.000-20.000 log. vrat, 50-500 FF
- ▶ FLASH tehnologija, 1.8V



Field Programmable Gate Array

- ▶ Matrika log. celic in povezovalno polje
- ▶ 10.000-10.000.000 vrat, 100k RAM
- ▶ CMOS tehnologija, 1.2V



Povzetek

- ▶ Razloži princip delovanja enostavnih programirljivih vezij.
 - ▶ kako deluje programirljiva matrika, zakaj potrebujemo izhodne makrocelice in povezovalno strukturo.
- ▶ Opiši zgradbo programirljivih vezij FPGA.
 - ▶ Kako so vezju FPGA narejene logične funkcije?
- ▶ Primerjaj vezja FPGA z mikroprocesorji in vezji ASIC.
- ▶ Opiši postopek načrtovanja z vezjem FPGA.
 - ▶ Razloži opis, prevajanje, verifikacijo in nalaganje vezja.