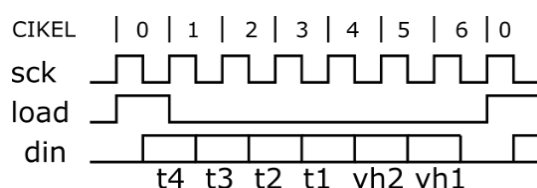


9. vaja: IP-komponenta vmesnik – 1. del

Naredi komponento IP z vmesnikom za komunikacijo z vhodno-izhodnim tiskanim vezjem na Red Pitayi. Vmesnik naj izvaja zaporedni prenos signalov tipk in rotacijskega kodirnika ter dekodiranje teh signalov s krmilnim avtomatom.

9.1 Zaporedna (serijska) komunikacija

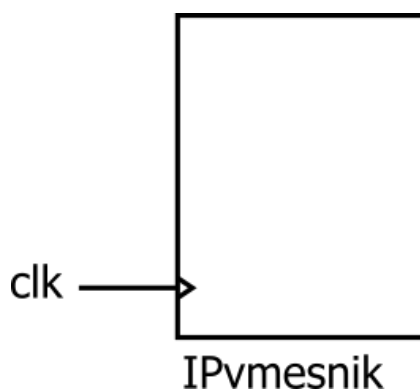
Zaporedni vmesnik potrebujemo med vezjem CPLD in FPGA, ker med njima ni dovolj povezav za vzporedni prenos vseh signalov. Vmesnik na FPGA ima en vhodni signal **din** ter tri izhodne: **sck** (ura), **load** in **dout**. Signali iz tipk (t_4 - t_1) in rotacijskega kodirnika (vh_2, vh_1) se v vezju CPLD naložijo v pomikalni register (signal **load**) in ob padajoči fronti ure **sclk** prenesejo na vhod vezja FPGA (**din**):



Vmesnik v FPGA naj vsebuje delilnik ure s faktorjem 1000 za izhodni signal **sck**, števec ciklov z izhodom **load** in pomikalni register, ki pomika podatke ob naraščajoči fronti ure **sck**.

9.2 Zunanji priključki komponente IPvmesnik

Komponenta IP naj vsebuje poleg zaporednega vmesnika še krmilni avtomat iz 7. vaje, ki dobi podatke iz vmesnika ter generira signale za nastavljanje horizontale in vertikalne osciloskopa. Določi in vriši v blokovno shemo zunanje priključke komponente:



Preizkusi delovanje komponente s simulacijo, pri kateri nastavi delilnik ure na manjšo vrednost (npr. 2).