



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*

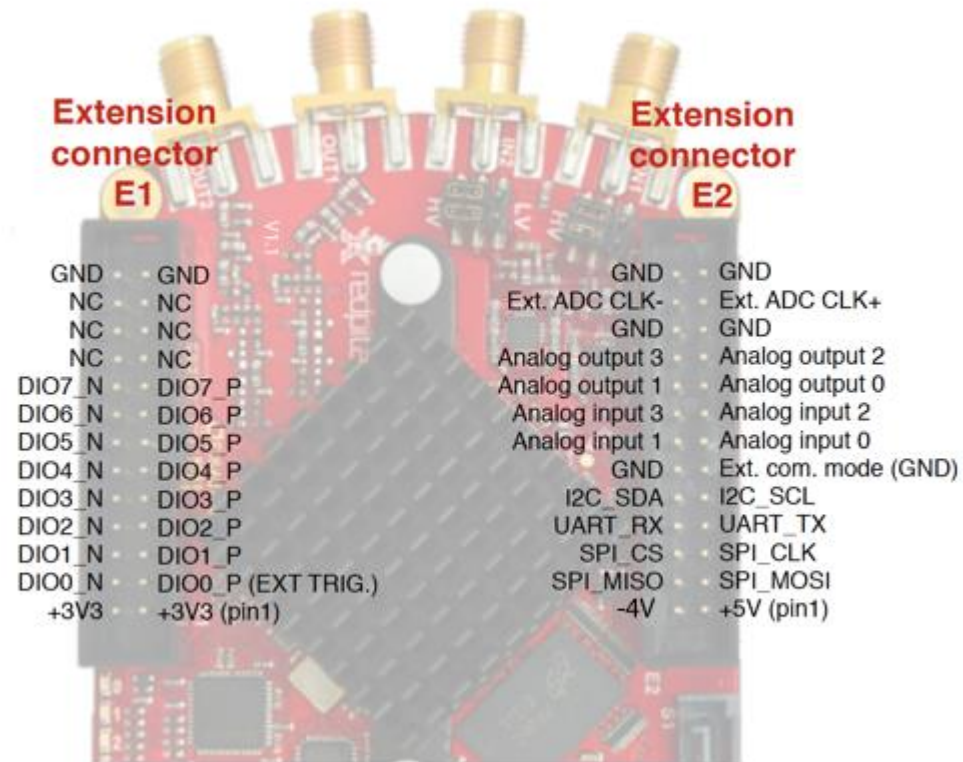
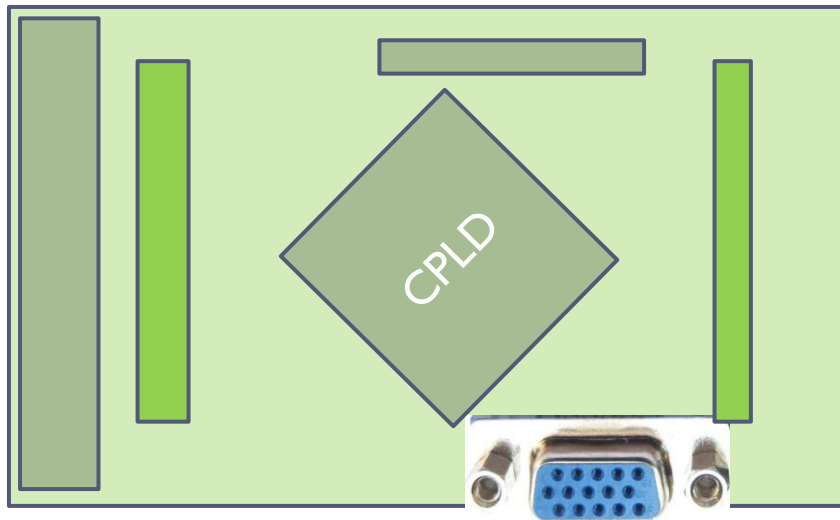


Red Pitaya logični analizator

DES 2015/16 - razvoj vgrajenega sistema

Projekt: logični analizator

- ▶ 2 tiskani vezji (vmesniška in računalniška plošča)
- ▶ RedPitaya: programirljiva merilna kartica
 - ▶ sistem na integriranem vezju (FPGA + ARM)
 - ▶ operacijski sistem: Linux
- ▶ vmesnik z vezno logiko: CPLD



Delo po skupinah

1. Arhitektura

- ▶ orodja: Eagle, VHDL simulator, Xilinx ISE
- ▶ načrt tiskanega vezja in logika vmesnika v CPLD

2. Grafika

- ▶ orodja: VHDL simulator, Xilinx Vivado
- ▶ prikazovanje slike, besedila in signalov

3. Logika

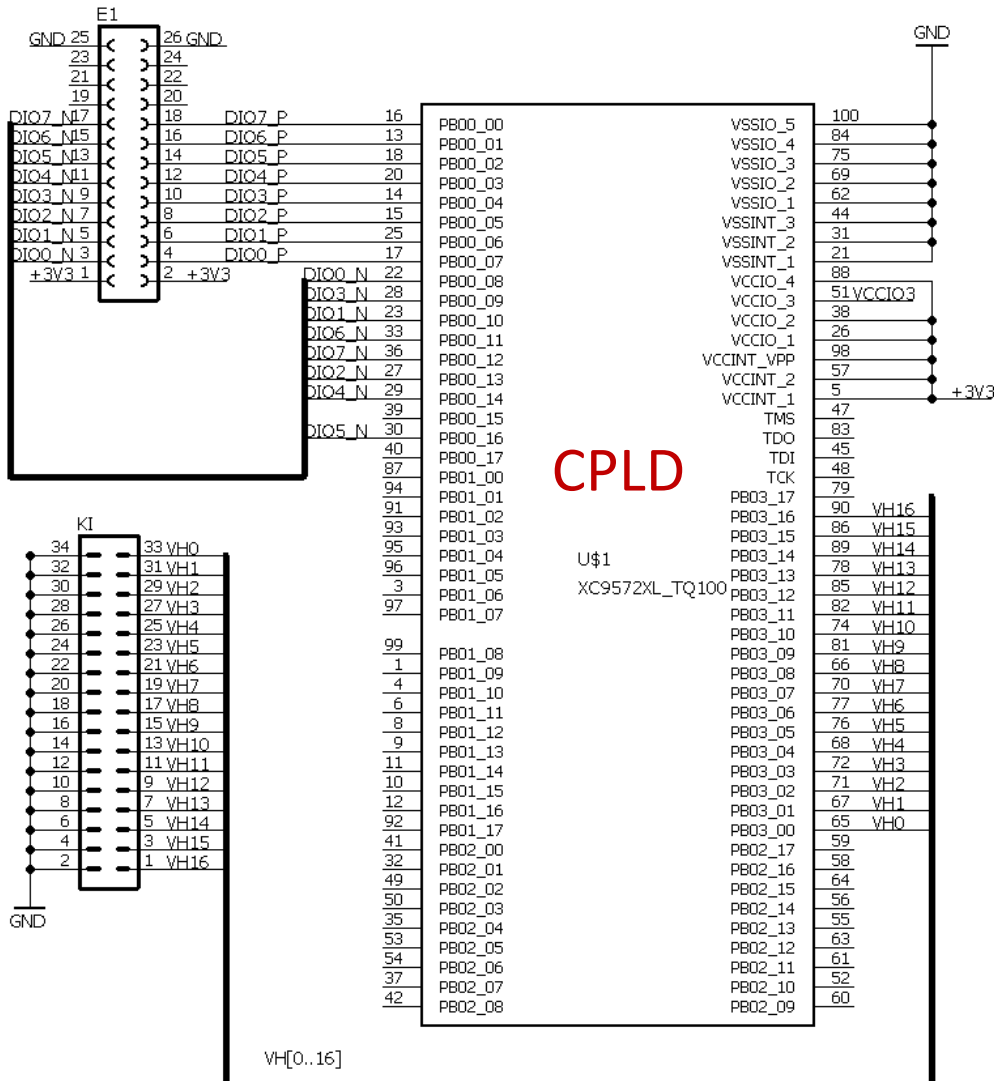
- ▶ orodja: VHDL simulator, Xilinx Vivado
- ▶ logika analizatorja na Red Pitayi, testne strukture

▶ Skupna naloga

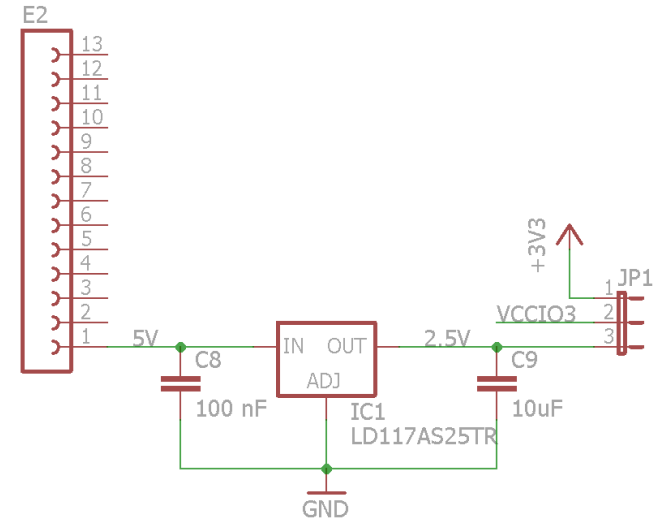
- ▶ osnovna shema vezja
- ▶ sinhronizacija in prikaz VGA slike
- ▶ spajkanje in testiranje vezja

Arhitektura - shema

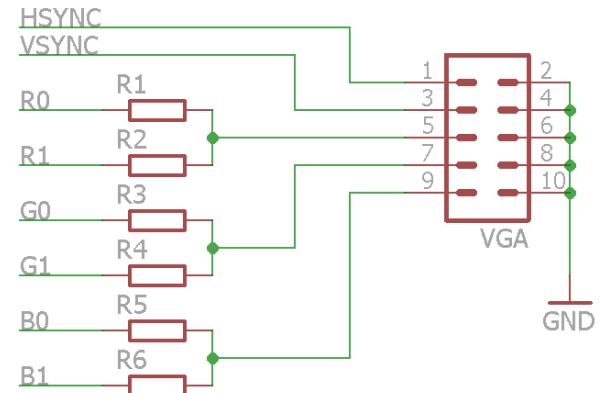
- ▶ logični vhodi: 16 + 1 signalov
- ▶ priklop na Red Pitayo



napajanje logičnih vhodov
LVCMOS 3.3V ali 2.5V

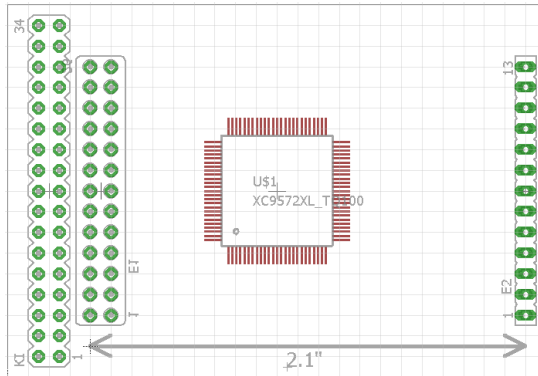


priključek za monitor (VGA)



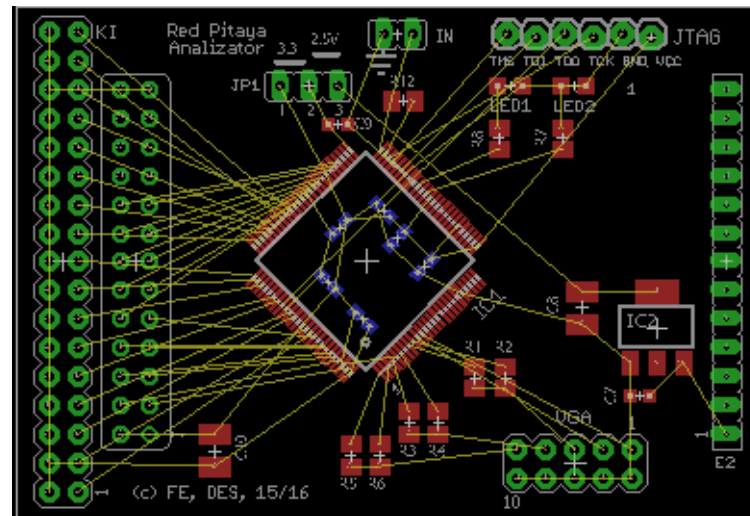
Arhitektura – načrt tiskanega vezja

- ▶ začetna postavitev: konektorja za Red Pitayo



- ▶ urejanje in povezovanje

- ▶ razmak med elementi
- ▶ kondenzatorji
- ▶ oznake in napisi



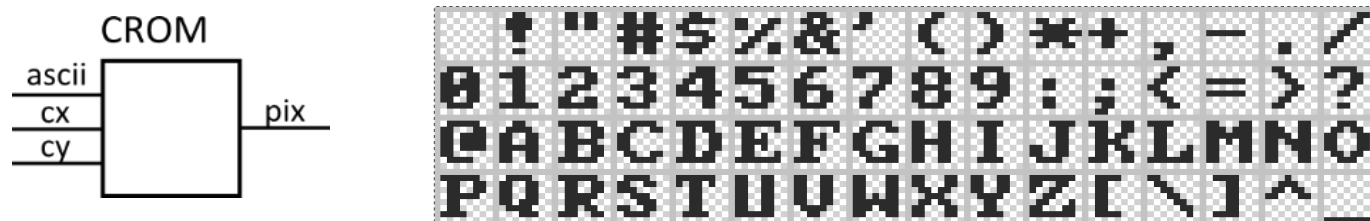
Grafika – prikaz slike in besedila

VGA grafika: 800 x 600, 72 Hz

- ▶ generator sinhronizacijskih signalov
- ▶ prikaz sličice iz pomnilnika
 - ▶ logotip v pomnilniku ROM
- ▶ prikaz črk in števil
 - ▶ sličice znakov v pomnilniku CROM (Character ROM)
 - ▶ prenos točk na izbrane koordinate
- ▶ prikaz grafikona
 - ▶ časovni potek logičnih signalov

Grafika – prikaz vrstice znakov

- ▶ 64 slik (8x8) znakov od ASCII kode 32 naprej



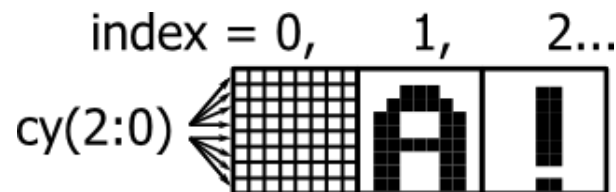
- ▶ branje točk iz zbirke chrom(), vsak znak zasede 8 vrstic:
 - ▶ zgornji del naslova: ASCII-32, spodnji del: 3-bitni cy
 - ▶ iz 8-bitnega podatka izluščimo točko: naslov 3-bitni cx

```
adr <= resize( unsigned( ascii ) - 32, 6 );
```

```
data <= chrom( to_integer( adr & cy(2 downto 0) ) );
```

```
pix <= data( to_integer( cx(2 downto 0) ) );
```

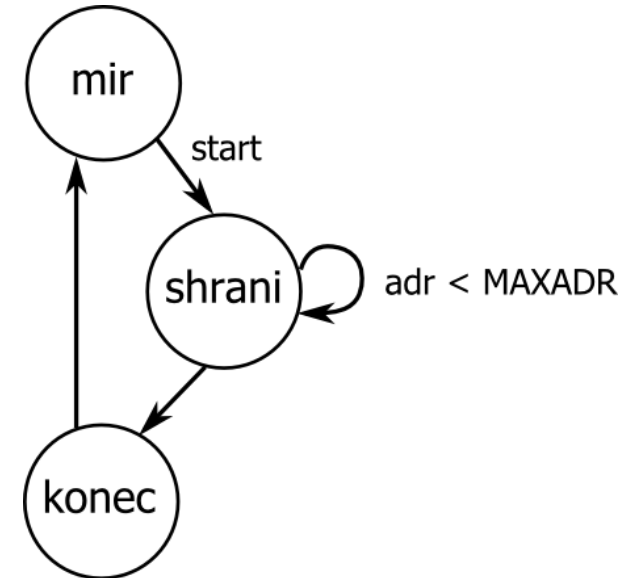
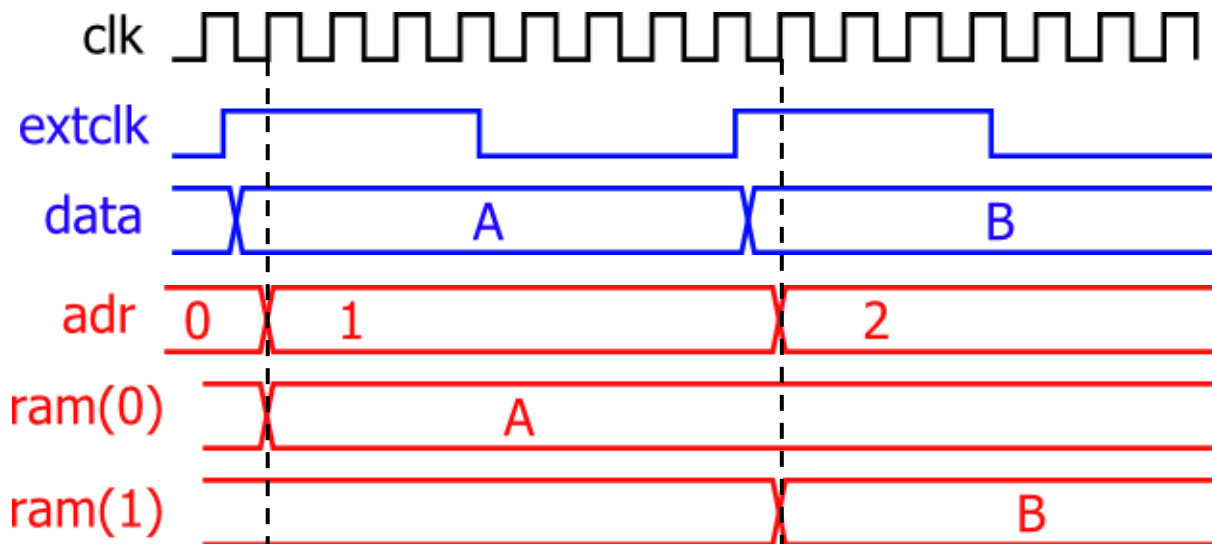
- ▶ branje znakov iz vrstice (zbirka 8 znakov)



Logika – zajem logičnih signalov

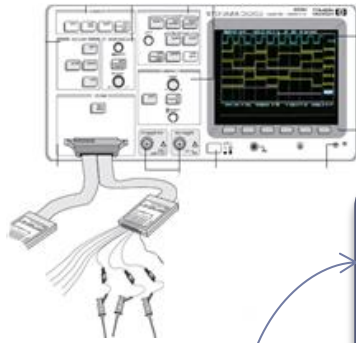
▶ zajem signalov v pomnilnik RAM

- ▶ vzorčimo zunanjo uro (extclk) in podatke
- ▶ potek določa sekvenčni stroj

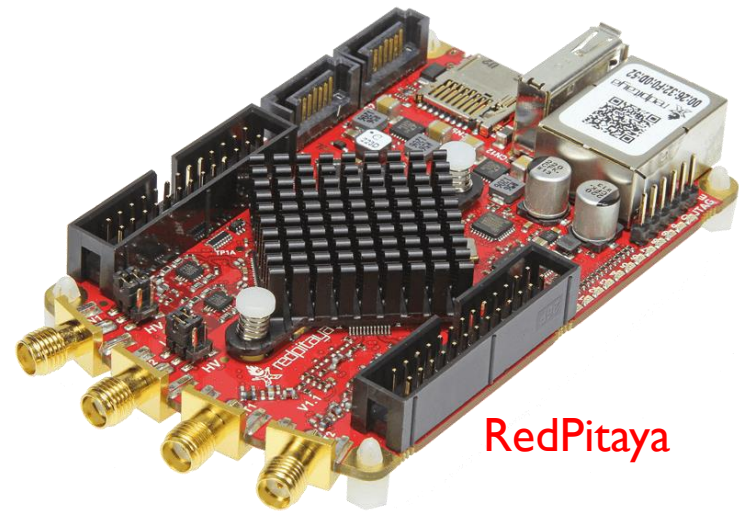
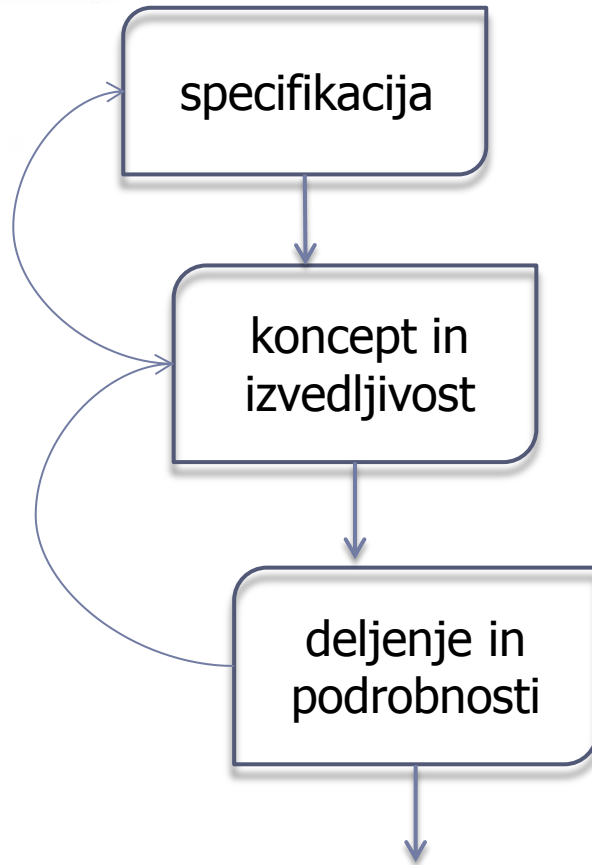


naslov (spodnjih 20 bitov)	register	število bitov
0x00000	komb	8
0x00004	maska	8
0x00008	status	1

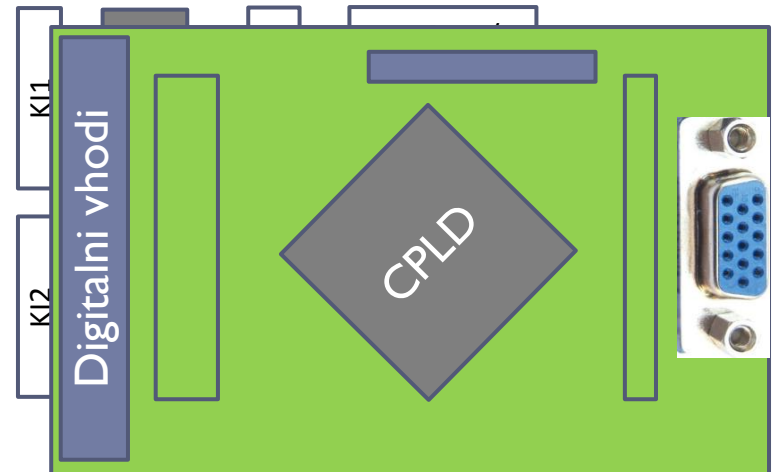
Proces načrtovanja logičnega analizatorja



logični analizator



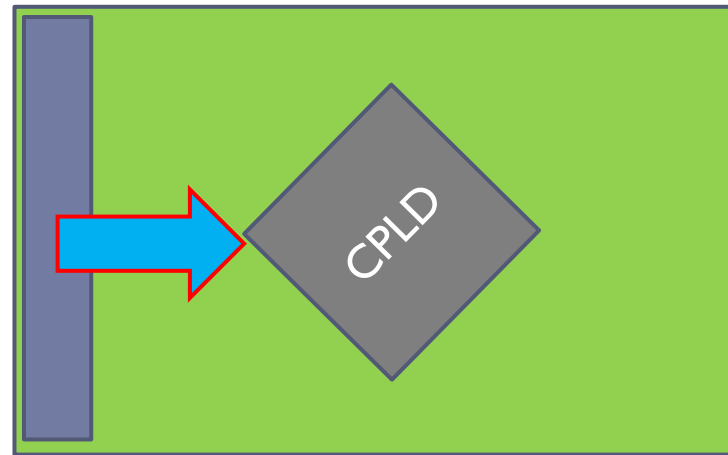
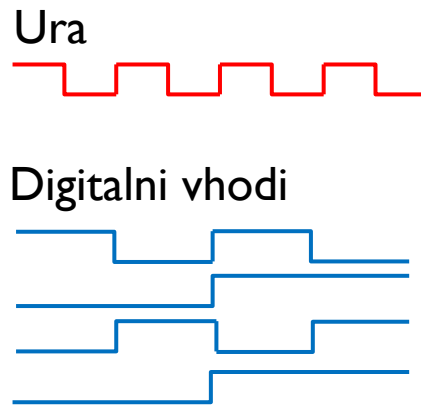
RedPitaya



Signali v logičnih vezjih

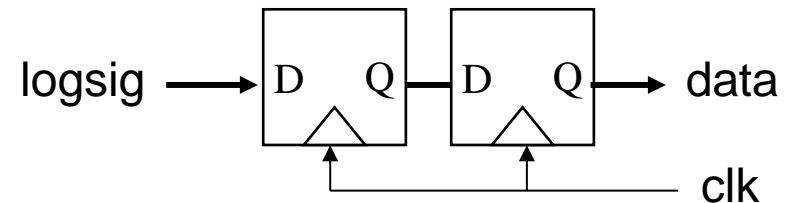
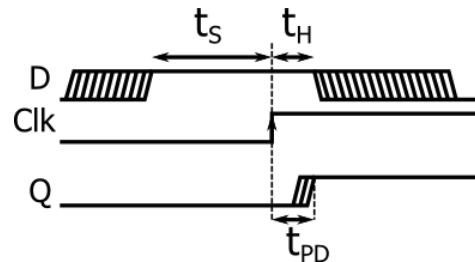
▶ statični red

	$U_{IN} [V]$	$U_{OUT} [V]$	
(V_L)	0.0	3.3	(V_H)
	0.5	3.3	
(V_H)	3.0	0.0	(V_L)
	3.3	0.0	



▶ dinamični red

▶ sinhronizacija



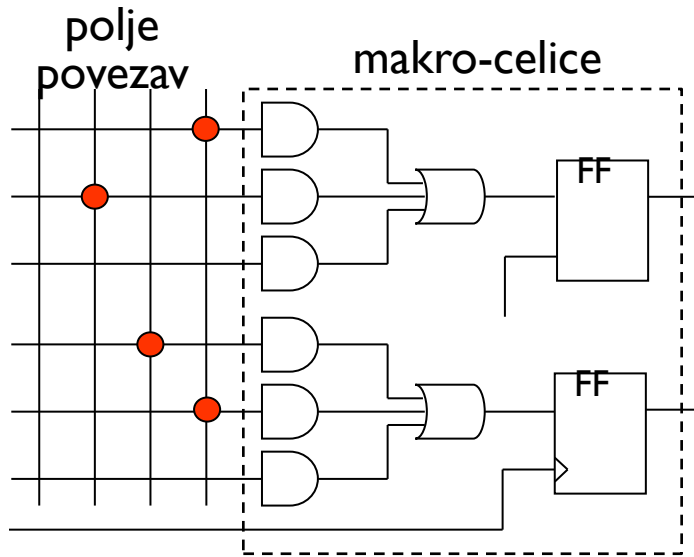
▶ zakasnitve

- ▶ izvor ure: clk prek BUF iz FPGA na vhod CPLD in prek BUF do logike
- ▶ pravilna zakasnitev ure za vzorčenje signala

Poznavanje tehnologije

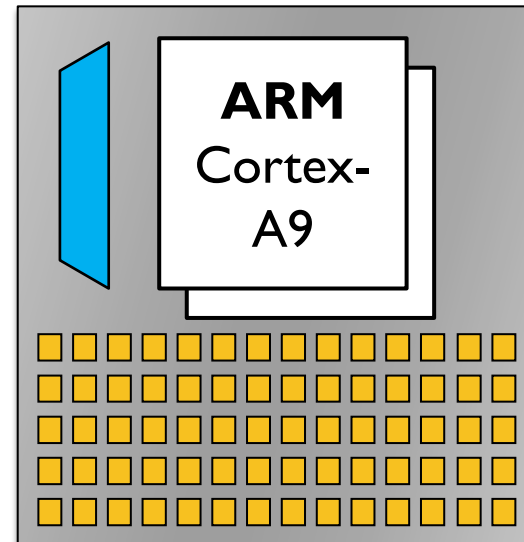
Complex Programmable Logic Device

- ▶ XC9572: 72 makro-celice in FF
- ▶ FLASH tehnologija, 2.5 V/ 3.3 V
- ▶ cca. 75% zasedeno



Field Programmable Gate Array

- ▶ Zynq xc7z010: 17k LUT, 35k FF
- ▶ CMOS tehnologija, 1.2 V
- ▶ RedPitaya instrumenti + analizator zasede cca. 20% logike

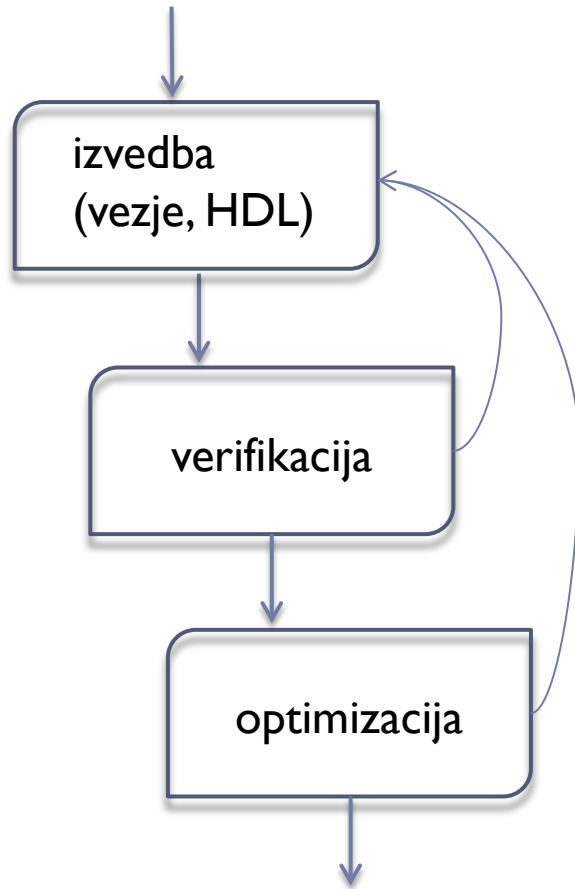


- ▶ Primerjava FPGA : mikroprocesor : namenska vezja (ASIC).

Opis (modeliranje) v jeziku VHDL

- ▶ logični nivo: `datmask <= data and maska;`
- ▶ funkcijski nivo (RTL)
 - ▶ strukturni opis vezja: `component`, `port map`
 - ▶ prenosne funkcije: `sum1 <= dat1 + ('0' & dat2 & '0');`
primerjava, izbira: `c <= a+b when b>0 else a-b;`
 - ▶ sočasni stavki: vsak stavek opisuje del logičnega vezja
- ▶ postopkovni nivo
 - ▶ opis obnašanja vezja: `process`
 - ▶ metode opisa sekvenčnih vezij (diagram stanj,...)
- ▶ Kateri so višji / nižji nivoji opisa vezja ?
- ▶ Katere so omejitve modela vezja v jeziku VHDL ?

Proces načrtovanja logičnega analizatorja

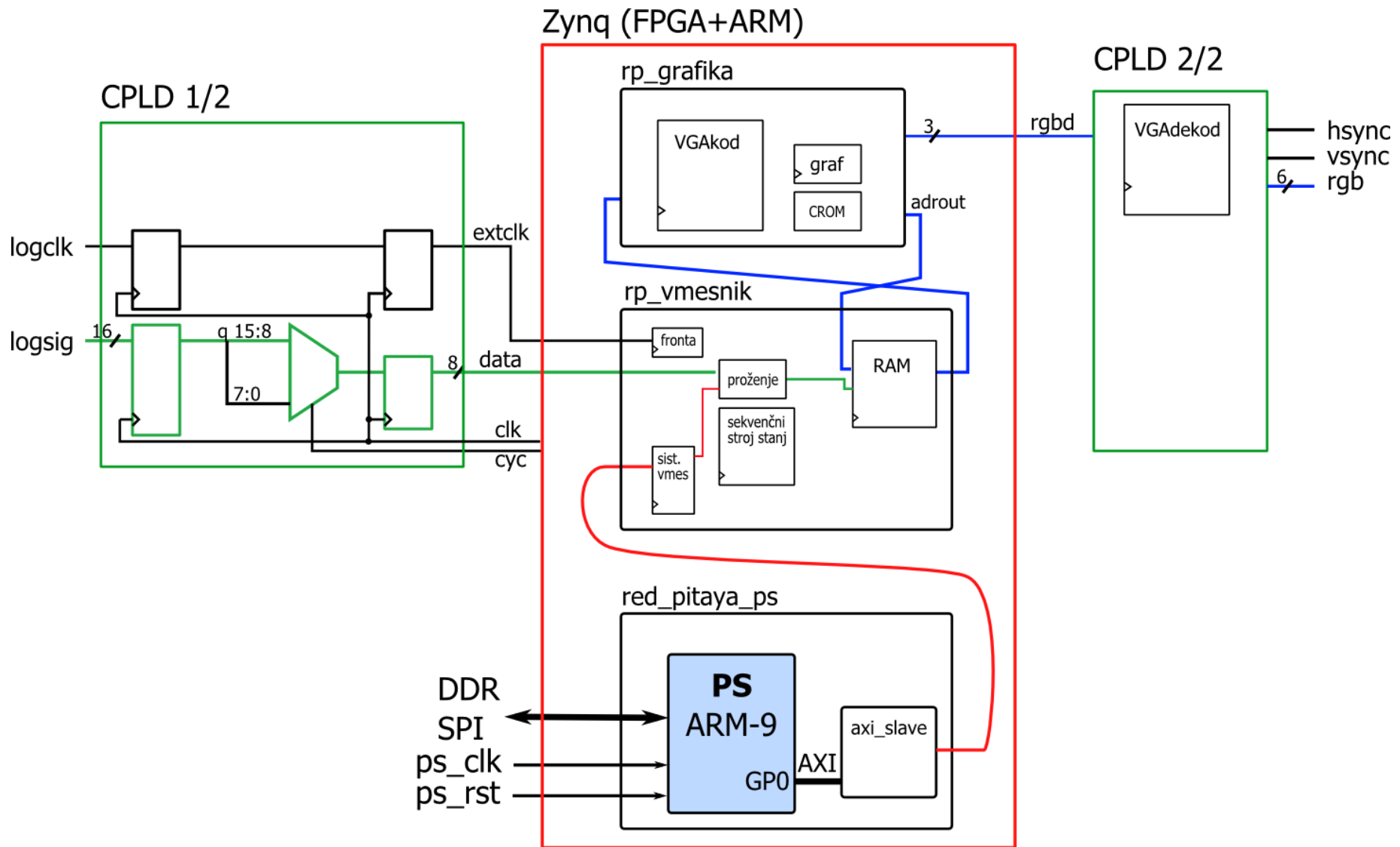


postopek načrtovanja

- ▶ opis in simulacija vezja
- ▶ sinteza logičnega vezja
- ▶ tehnološka preslikava
- ▶ nalaganje datotek

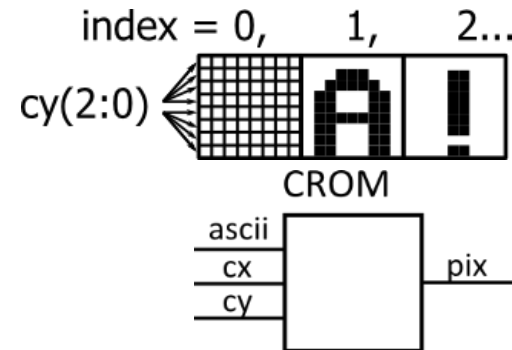
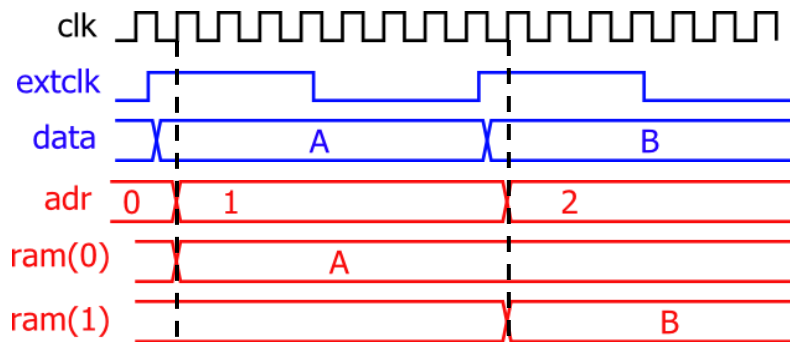
- ▶ Opiši načrtovanje vezij na nivoju registrov (RTL).
 - ▶ Kako pretvorimo algoritem (nalogo) v vezje RTL ?
 - ▶ Naštej nekaj možnih izvedb (optimizacij) v logičnem vezju.

Logične komponente: CPLD / Zynq (FPGA)



Vzporedni (paralelni) vmesniki

- ▶ zajem vhodnih podatkov (data), ki se spreminjajo ob extclk
- ▶ sinhronizacija in prenos v RAM, branje znakov iz CROM



- ▶ sinhroni vmesnik za povezavo na ARM
 - ▶ logiko analizatorja krmili procesor prek registrov

naslov (spodnjih 20 bitov)	register	število bitov
0x00000	komb	8
0x00004	maska	8
0x00008	pozicija	4

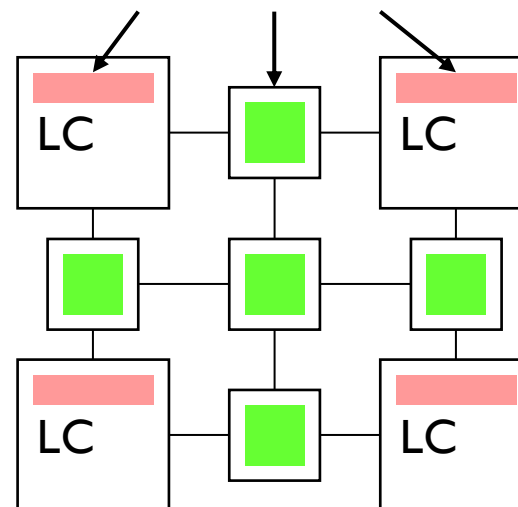
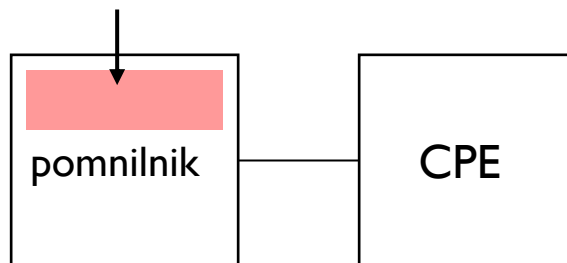
Vmesniki v digitalnem sistemu

- ▶ Kaj je vodilo in kaj električni vmesnik?
 - ▶ Kako lahko razdelimo različne vrste vmesnikov?
- ▶ Opiši usklajevanje komunikacije med nadrejeno in podrejeno napravo.
 - ▶ Zakaj je pomembna sinhronizacija?
- ▶ Prednost zaporednih vmesnikov, primeri ?
- ▶ Kje se uporabljajo ?
 - ▶ serijski terminal (RS232 > USB)
 - ▶ spominska kartica (SPI)
 - ▶ nalaganje programirljivega vezja (**JTAG**)



Mikro...

- ▶ Kaj se zgodi ko naložimo program v mikroprocesor in ko naložimo program v programirljivo vezje (FPGA)?
 - ▶ kaj predstavljajo programski biti?

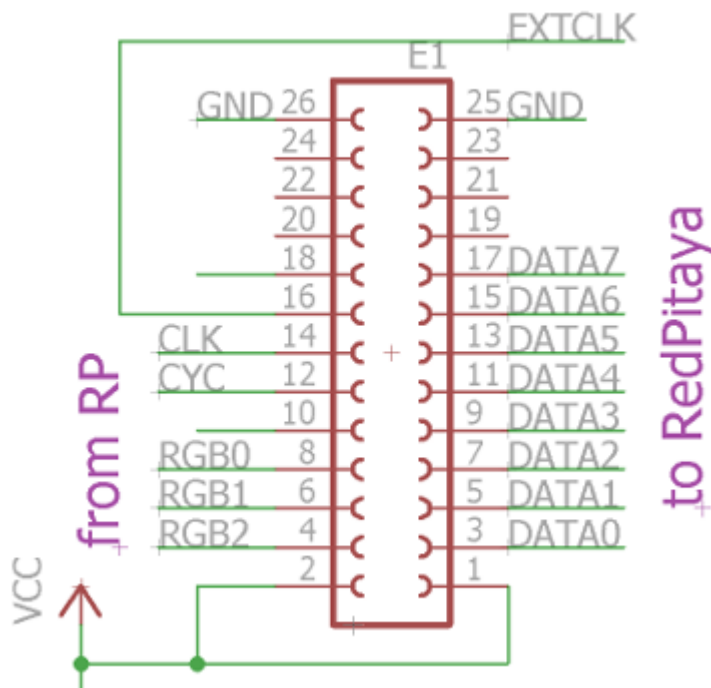


- ▶ Kakšna je razlika med izvedbo naloge z mikro-sekvenčnikom in izvedbo s sekvenčnim strojem (diagram stanj)?

Testiranje projekta: CPLD

▶ Testna izvedba vmesnika

- ▶ logika za dekodiranje VGA in testni logični vmesnik (CYC na LED2)
- ▶ delnik ure clk (50 MHz / $2^{24} = 3$ Hz testni izhod na LED1),
- ▶ CYC=0: binarni števec vezan na DATA
- ▶ CYC=1: 8 logičnih vhodov (VH1-VH8) vezanih na DATA, VH0 na EXTCLK



Summary

Design Name	vmesnik3
Fitting Status	Successful
Software Version	P.20131013
Device Used	XC9572XL-5-TQ100
Date	5-31-2016, 9:00AM

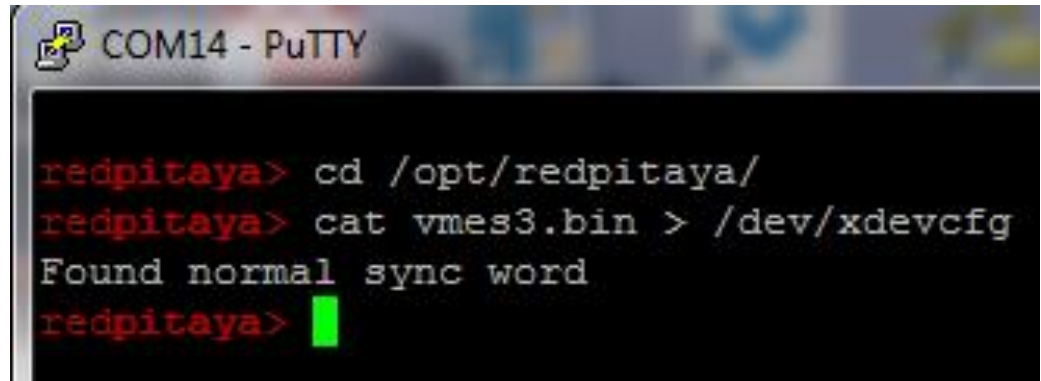
RESOURCES SUMMARY

Macrocells Used	Pterms Used	Registers Used	Pins Used	Function Block Inputs Used
55/72 (77%)	129/360 (36%)	54/72 (75%)	33/72 (46%)	98/216 (46%)

- ▶ Poročilo o zasedenosti CPLD
- ▶ Orodje: Xilinx ISE Design Suite 14.7

Nastavitev FPGA na RedPitayi

- ▶ naložimo prevedeno binarno datoteko (npr. vmes3.bin)



```
COM14 - PuTTY  
redpitaya> cd /opt/redpitaya/  
redpitaya> cat vmes3.bin > /dev/xdevcfg  
Found normal sync word  
redpitaya> █
```

- ▶ nastavimo testni način: CYC=0

```
bin/monitor 0x40600008 0x00
```

- ▶ nastavimo masko (npr. FF) in kombinacijo (npr. 05)

```
bin/monitor 0x40600004 0xff
```

```
bin/monitor 0x40600000 0x05
```