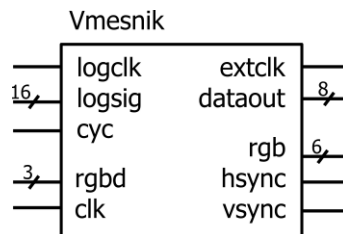


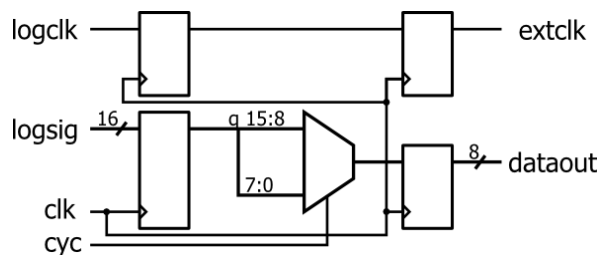
A4. Vmesnik v vezju CPLD

V vezju CPLD naj bo vmesnik za prenos 16-bitnih logičnih vhodov ter zunanje ure na RedPitayo in vezje za dekodiranje signalov za monitor.



Vzorčenje in multipleksiranje vhodov

Na zunanjem vhodu je 16 logičnih signalov (**logsig**) in ura (**logclk**), ki jih je potrebno poslati preko vmesnika v vezju CPLD na RedPitayo. Vse signale vzorčimo z najhitrejšo uro (**clk**), kot prikazuje shema:



Ker imamo za prenos signalov na RedPitayi na voljo le 8 vhodov, bomo podatkovne signale multipleksirali: kadar je signal **cyc** na '0', naj se prenese spodnjih 8 bitov, pri '1' pa zgornjih.

Dekodiranje VGA

Podatki za prikaz slike na monitorju se prenašajo ob uri (**clk**) preko 3-bitnega vodila **rgbd**. Vodilo vsebuje informacijo o barvah slikovnih točk skupaj s sinhronizacijo. Za krmiljenje monitorja potrebujemo ločene signale **rgb** in sinhronizacijske signale (**hsync**, **vsync**), ki jih dobimo z dekodiranjem po postopku:

- če je **rgbd**="011", naj bo izhod **rgb** <= "000000"
- če je bil v predhodnem ciklu **rgbd**="011", naj bo izhod **rgb** <= "000000", sinhronizacijski signali pa: **hsync** <= **rgbd**(0); **vsync** <= **rgbd**(1);
- sicer naj bo izhod **rgb** <= **rgbd**(2) & **rgbd**(2) & **rgbd**(1) & **rgbd**(1) & **rgbd**(0) & **rgbd**(0)

Opiši vmesnik v jeziku VHDL in preizkusi delovanje na simulatorju.