



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*  
Fakulteta *za elektrotehniko*



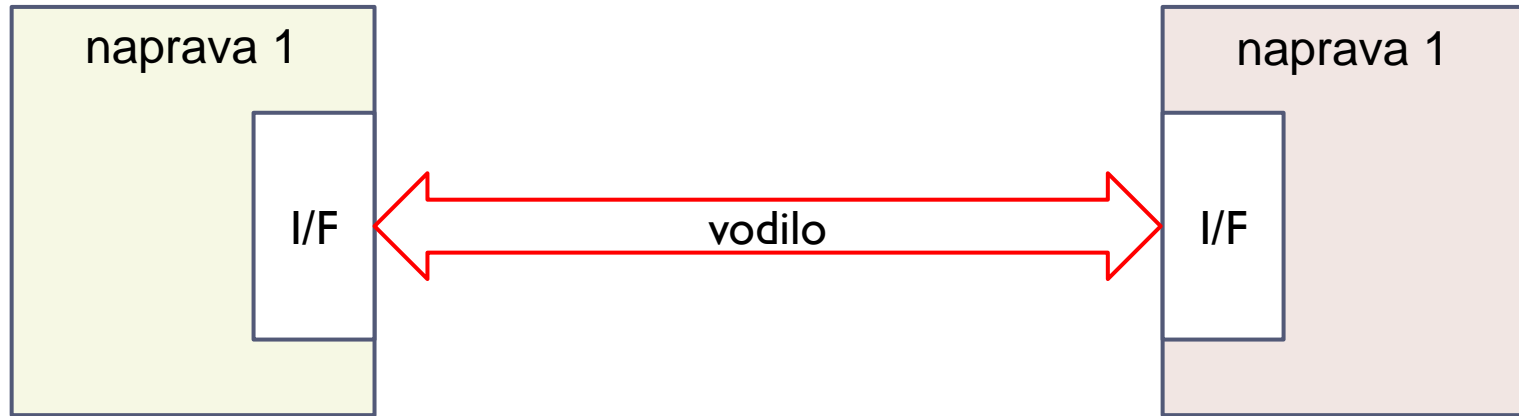
Digitalni Elektronski Sistemi

# Vzporedni vmesniki

Vmesniki in vodila - 1

# Vmesniki in vodila

---

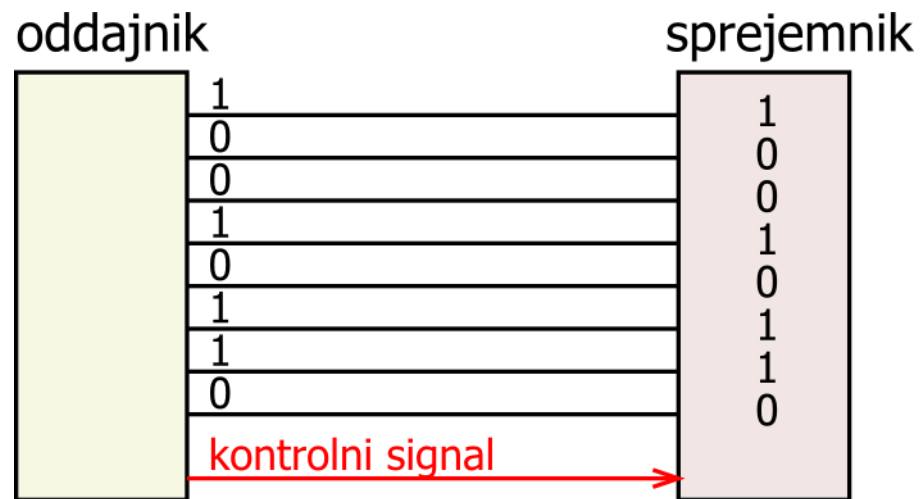


- ▶ Električni vmesnik (**Interface**, I/F)
  - ▶ logično vezje z zunanjimi povezavami in priključki
- ▶ Vodilo (**bus**)
  - ▶ vodilo omogoča prenos podatkov med napravami
  - ▶ pasivno vodilo (el. povezave)
  - ▶ vodilo s krmilnikom (usklajuje fizični nivo prenosa, **Phy**)

# Zaporedni (paralelni) prenos

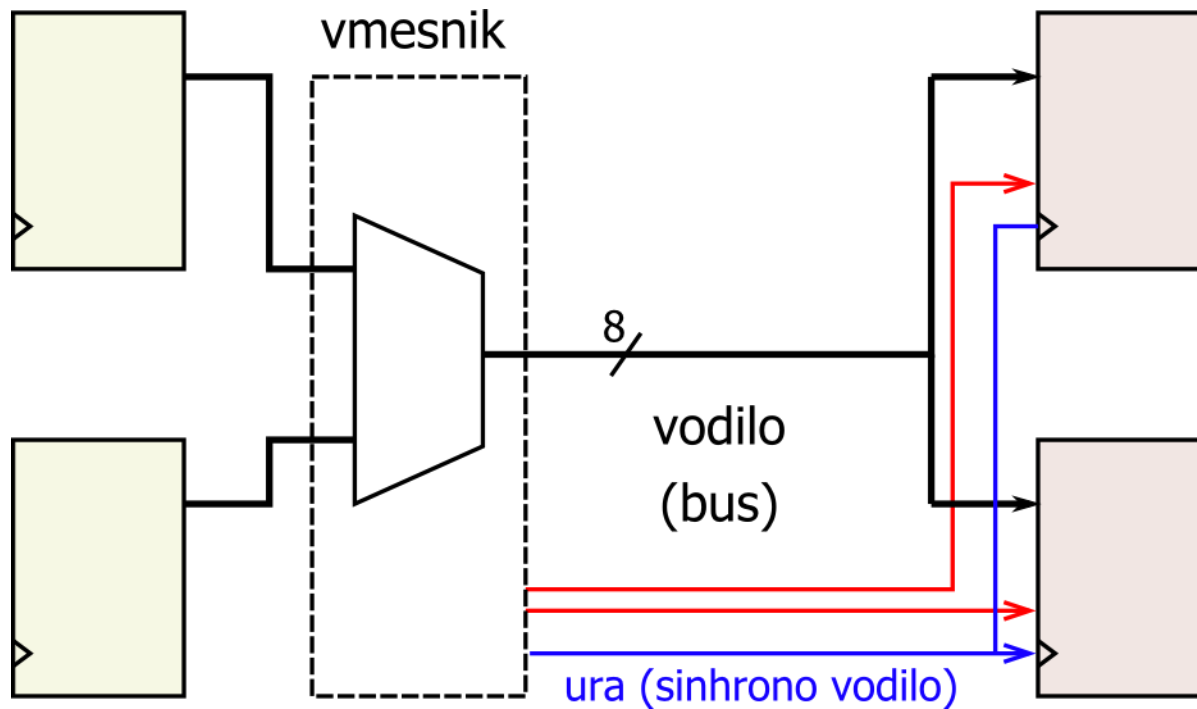
---

- ▶ prenos več bitov naenkrat, vsak po svoji povezavi
- ▶ vodilo vsebuje podatkovne povezave in
- ▶ kontrolne povezave
  - ▶ določajo kdaj naj se podatek prenese



# Paralelni prenos v več registrov

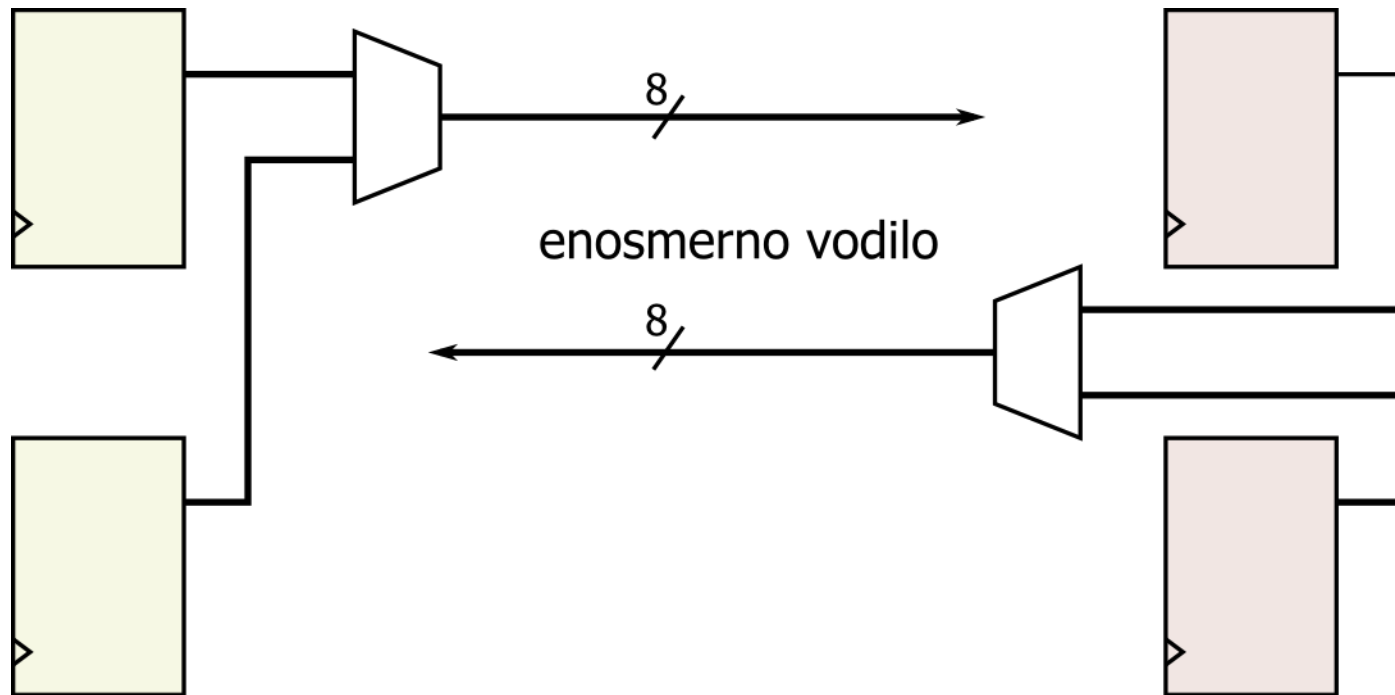
- ▶ vmesnik določa signale vodila
- ▶ kontrolni signal ali naslov za vsak register
- ▶ asinhrono ali **sinhrono (vodilo vsebuje uro)**



# Enosmerni (unidirectional) prenos

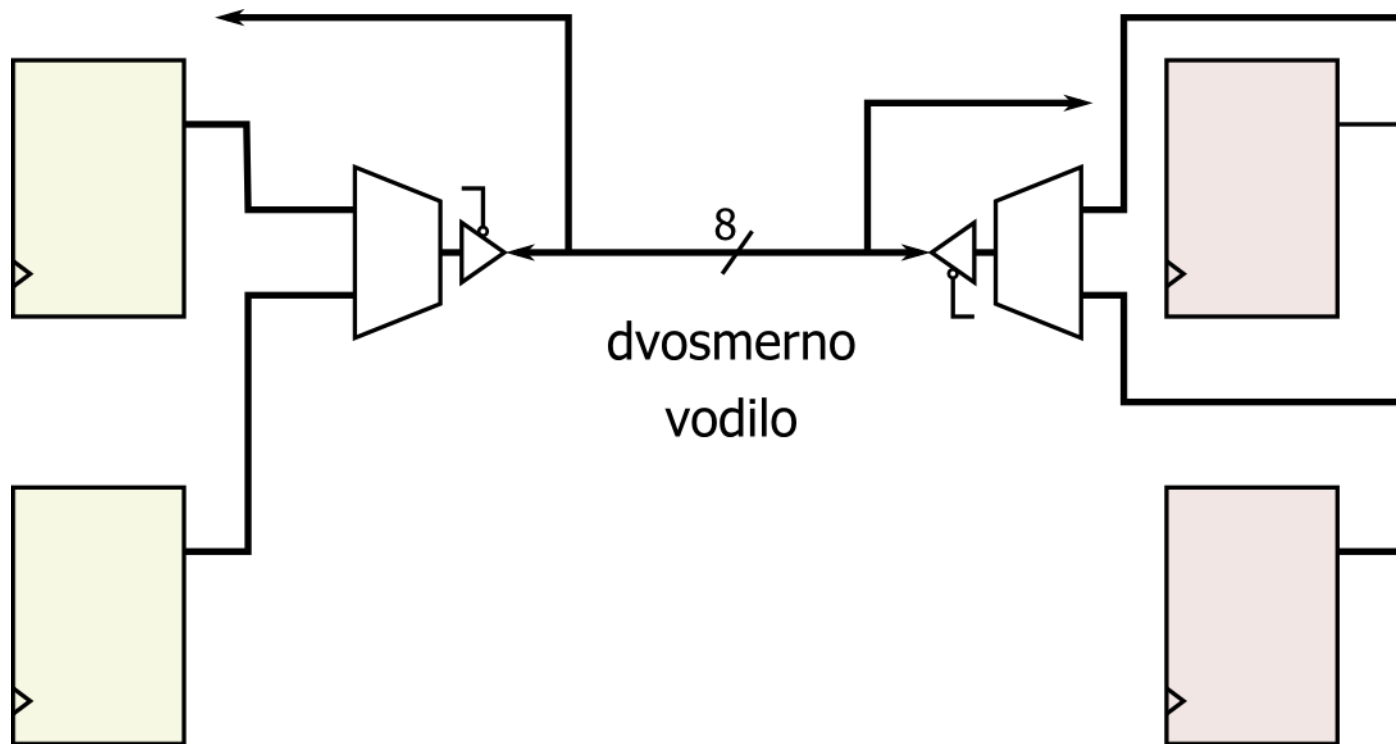
---

- ▶ podvojene podatkovne povezave za prenos v obe smeri
  - ▶ več vodnikov – dražje tiskano vezje, kabli...
  - ▶ prenos lahko poteka v obe smeri hkrati



# Dvosmerni (bidirectional) prenos

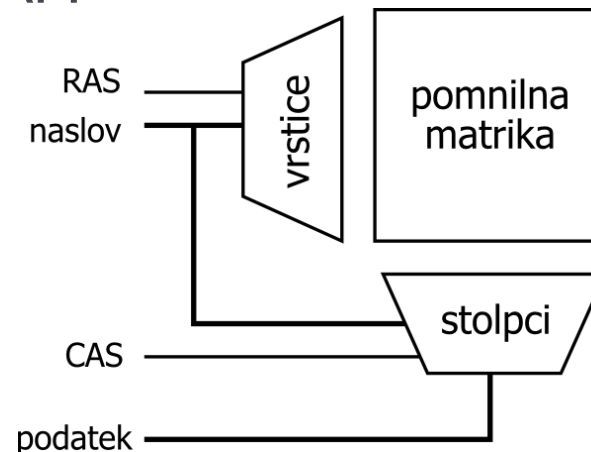
- ▶ izhode vežemo skupaj preko tristanjskih ojačevalnikov
  - ▶ en ojačevalnik je odprt, drugi so v stanju visoke impedance
- ▶ lastnosti
  - ▶ cenejše vodniki, prenos poteka le v eno smer naenkrat



# Deljeno vodilo

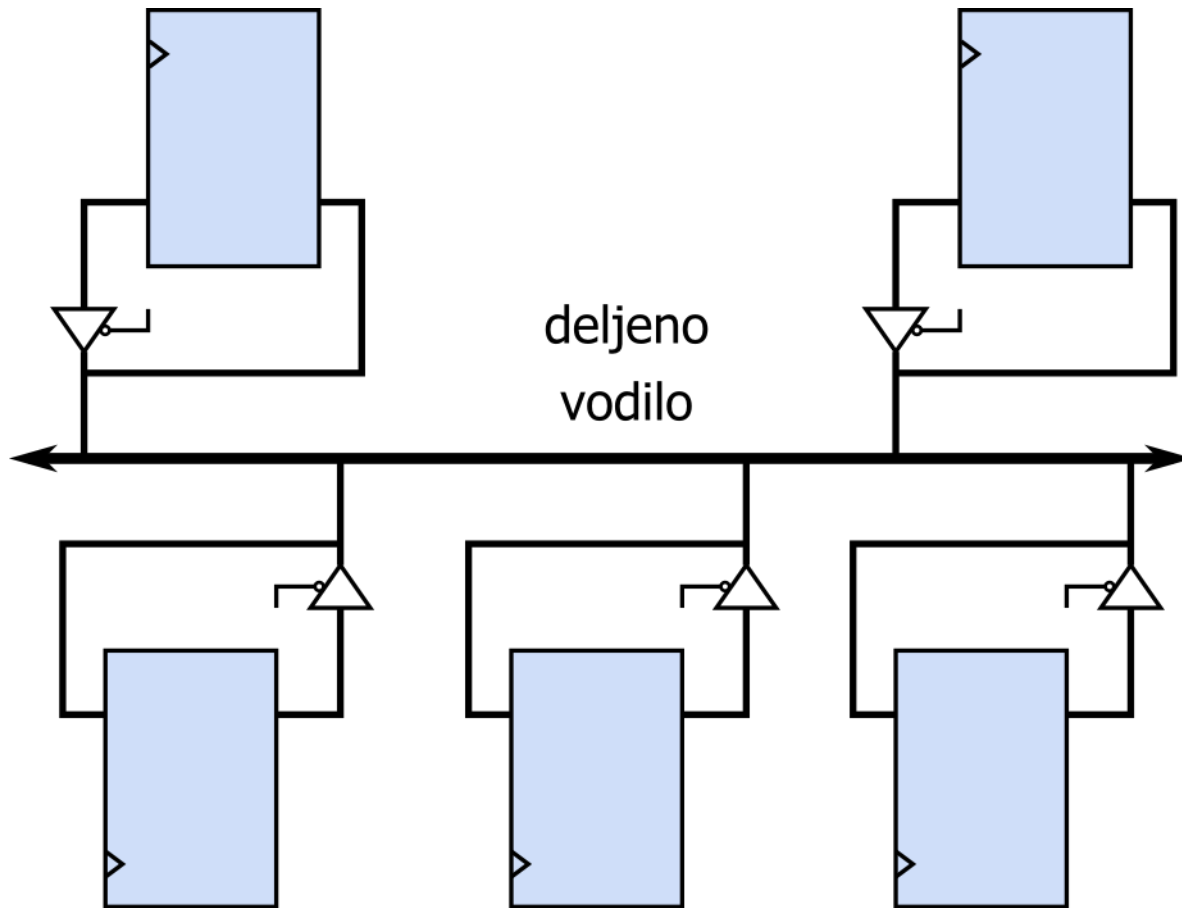
---

- ▶ deljenje (multipleksiranje) signalov, ki se prenašajo preko istih povezav
- ▶ deljenje zaradi dvosmernega prenosa podatkov
  - ▶ npr. statični pomnilnik - SRAM
- ▶ deljenje naslovnih in podatkovnih povezav
  - ▶ npr. zunanje vodilo 8-bitnih procesorjev Intel 8051
- ▶ deljenje naslovnega vodila
  - ▶ npr. dinamični pomnilnik - DRAM



# Deljeno vodilo za povezavo več naprav

---





# Kaj prenašamo po vodilu

---

- ▶ **Podatke**
  - ▶ prenašajo se po besedah (**byte**)
- ▶ **Ukaze oz. kontrolne signale**
  - ▶ izberi napravo / beri / piši
  - ▶ naslov izvora ali ponora podatkov
- ▶ **Signale, ki jih določa protokol prenosa**
  - ▶ zahteve (**request**), prekinitve (**interrupt**)
  - ▶ potrditve (**acknowledge**)
  - ▶ časovno usklajevanje (sinhrono / asinhrono)

# Klasifikacija vmesnikov

## Vzporedni (paralelni)

- ▶ prenos več bitov hkrati
- ▶ Asinhroni
  - ▶ paralelna vrata (Centronics)
  - ▶ pomnilniški (SRAM, DRAM)

- ▶ Sinhroni
  - ▶ računalniški ISA, PCI
  - ▶ pomnilniški (SDRAM)
  - ▶ procesorski (AMBA, CoreConnect, Wishbone)

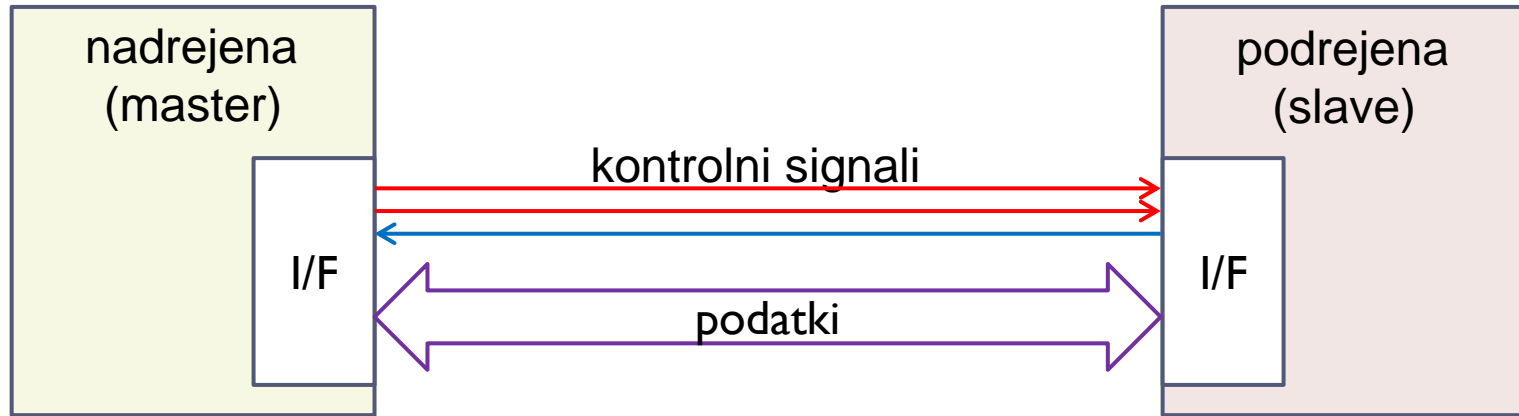
## Zaporedni (serijski)

- ▶ en bit naenkrat
- ▶ Asinhroni
  - ▶ RS232 (UART), LIN
  - ▶ USB, Ethernet

- ▶ Sinhroni
  - ▶ PS/2 (tipkovnica)
  - ▶ SPI (SD Card)
  - ▶ I2C (med čipi)
  - ▶ JTAG (program & test)

# Usklajevanje komunikacije

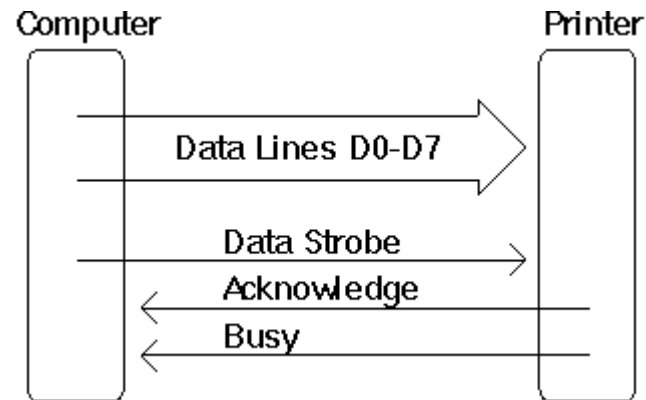
---



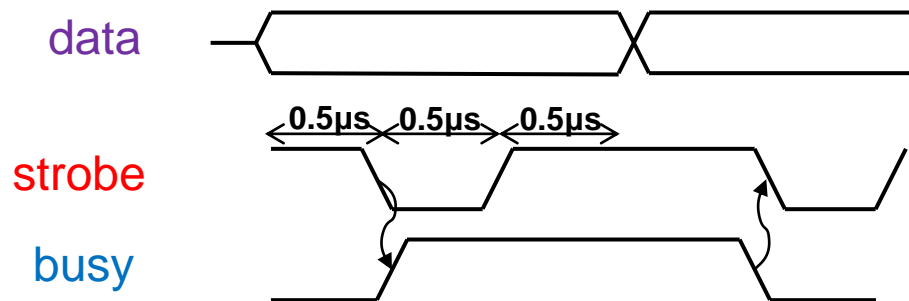
- ▶ Usklajevanje z nadrejeno napravo
- ▶ Ena izmed naprav (**master**) določa kdaj in kam se prenaša
- ▶ Druga naprava (**slave**) posluša in izvršuje zahteve

# Paralelna vrata (Centronics)

- ▶ 8-bitni vmesnik za zunanje naprave računalnika (PC)
- ▶ asinhrono paralelno vodilo

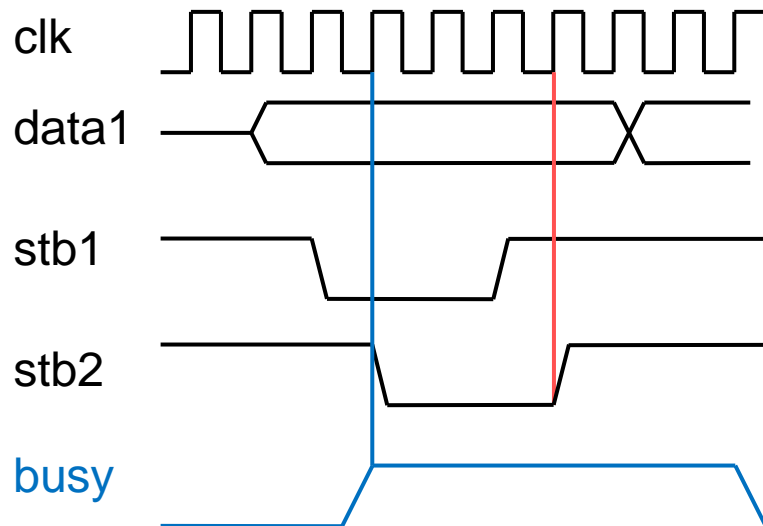


- ▶ Usklajevalni protokol
  1. PC čaka, da je naprava pripravljena (**busy=0**)
  2. PC postavi podatek (**data**) in naredi impulz (**strobe**)
    - ▶ podrejena naprava signalizira zasedenost (**busy=1**)



# Sinhronizacija podrejene naprave

- ▶ kontrolne signale vzorčimo z lokalno uro
  - ▶ ura podrejene naprave je precej hitrejša od impulzov nadrejene
  - ▶ strobe vzorčimo dvakrat za detekcijo fronte!

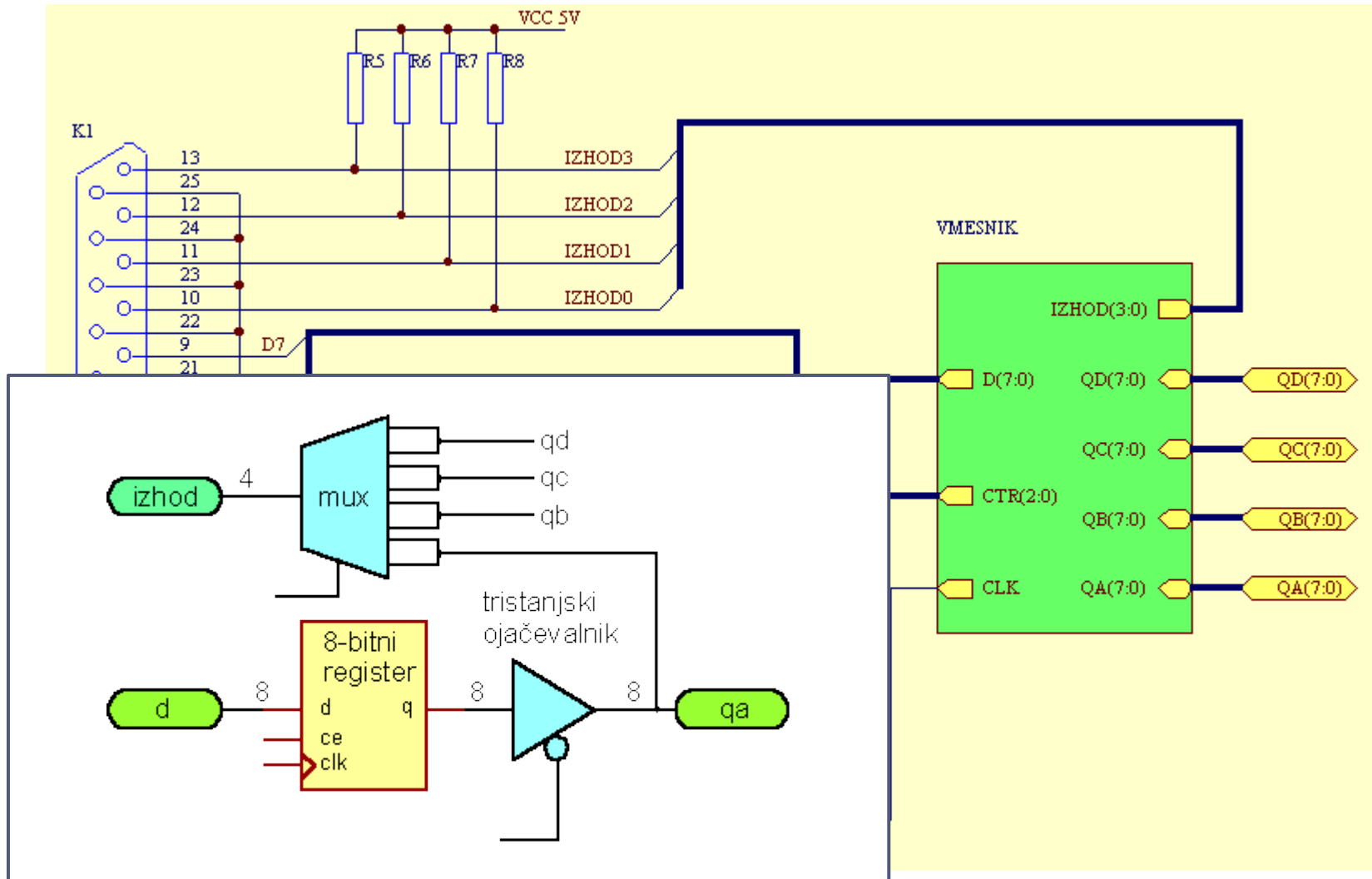


```
p: process (clk)
begin
  if rising_edge(clk) then
    if stb1='0' and stb2='1' then
      busy <= '1';
    end if;

    if stb1='1' and stb2='0' then
      d <= data1;
    end if;
  end if;
end process
```

# Razširitev paralelnega vmesnika

## ► 4 dvosmerna 8-bitna vrata



# Sinhrono paralelno vodilo Wishbone

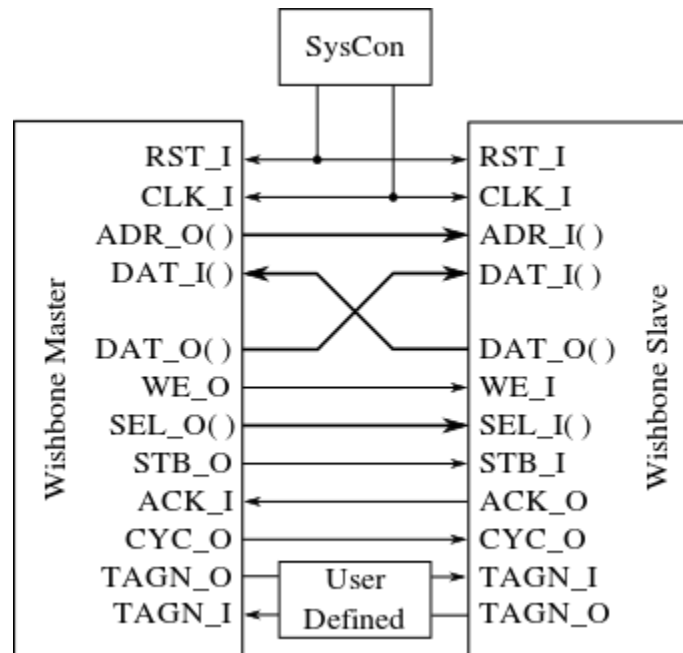
---

- ▶ odprt standard za vodilo v integriranem vezju
- ▶ enostaven protokol
  - ▶ bralni, pisalni, blokovni prenos in RMW prenos
  - ▶ prenos podatka v enem urinem ciklu
- ▶ različne povezovalne arhitekture
  - ▶ točka s točko, deljeno vodilo, stikalo
  - ▶ sistem podrejenih enot (master/slave)
- ▶ različne možnosti razširitev
  - ▶ osnovni prenos, registrski prenos
  - ▶ lastni signali (address, data ali cycle tag)

# Wishbone: povezava master/slave

---

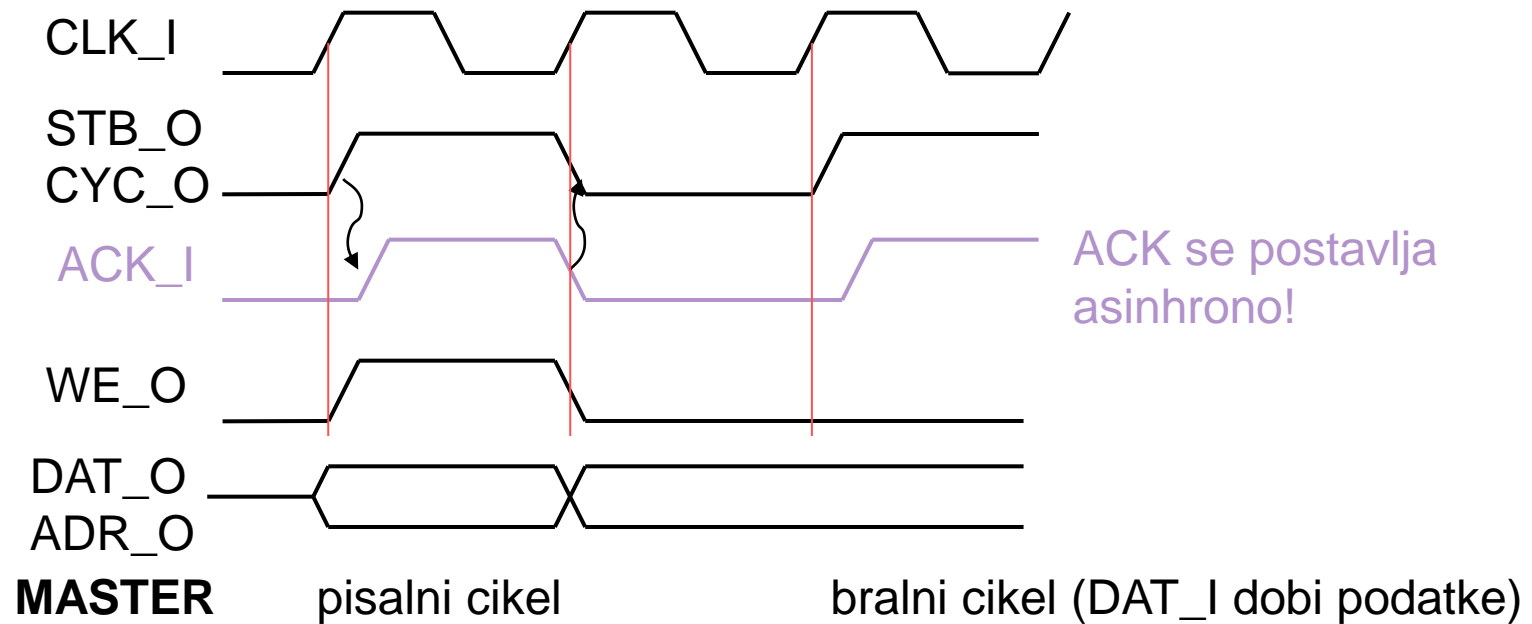
- ▶ enosmerni prenos podatkov
- ▶ sistemska ura in reset (SysCon)
- ▶ prenos lahko poteka v obe smeri hkrati





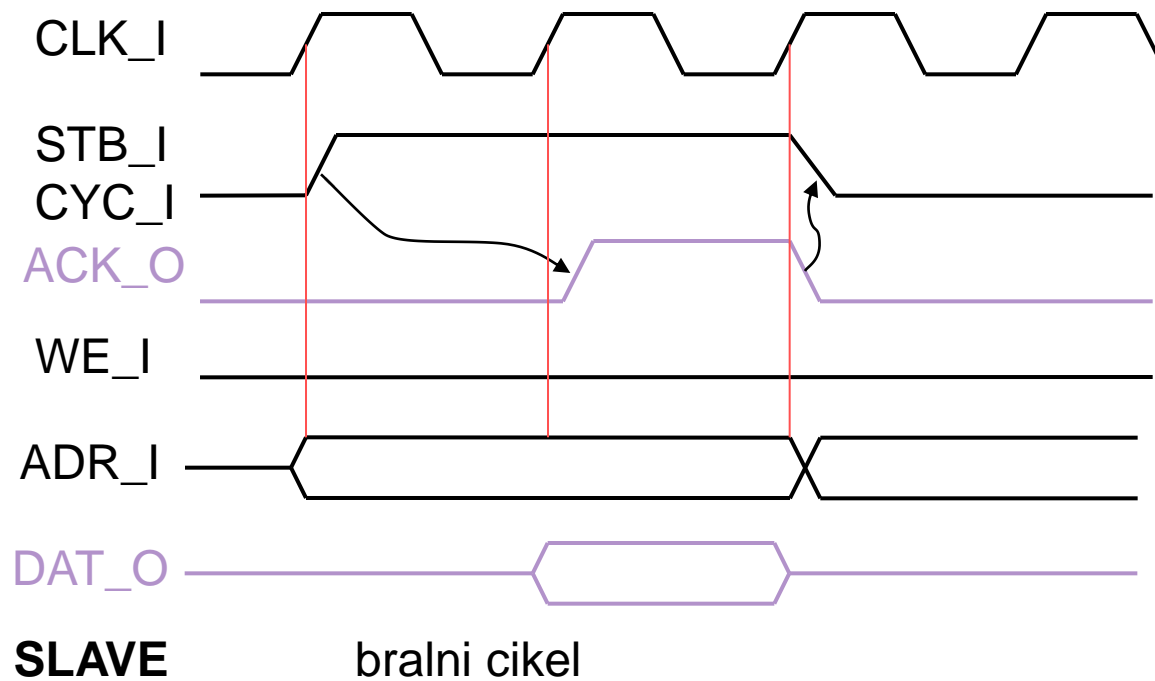
# Wishbone: osnovni protokol

- ▶ kontrolni signali so veljavni ob fronti ure



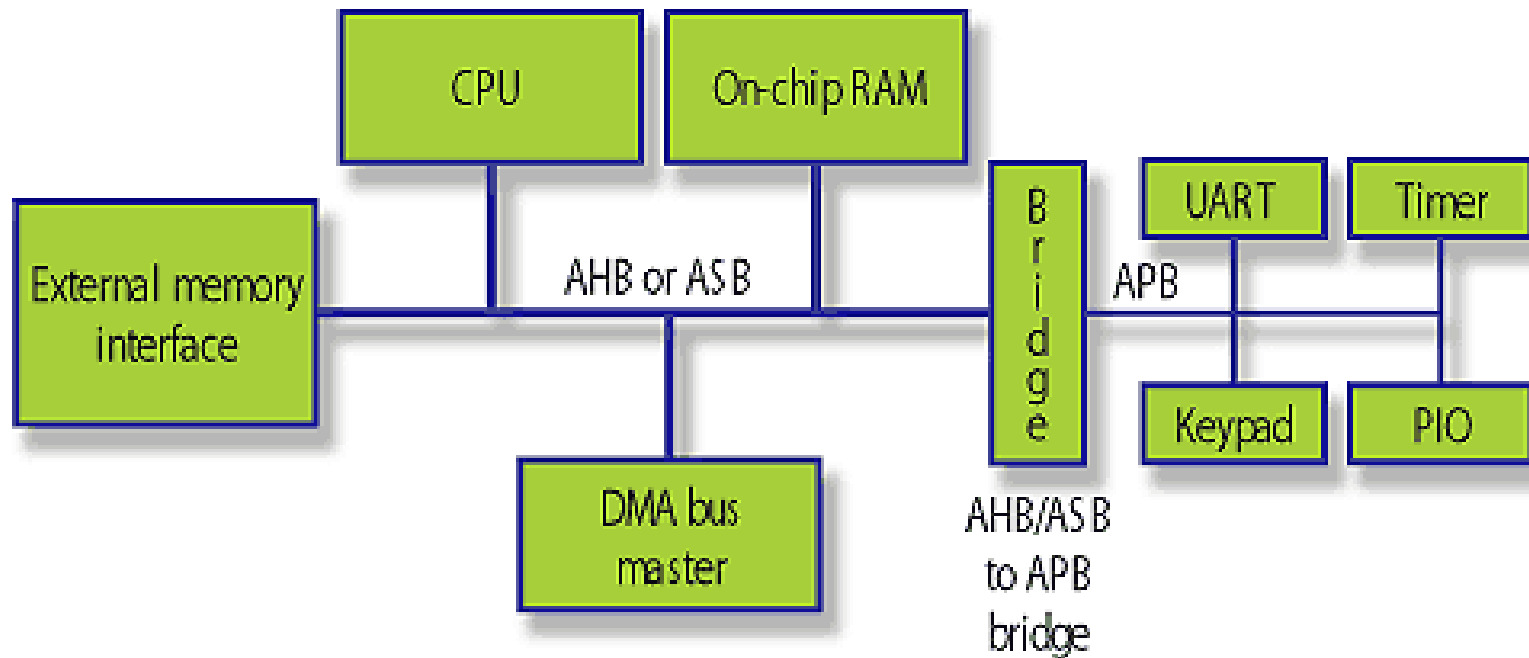
# Wishbone: čakalni cikli

- ▶ če podrejena naprava ni pripravljena za prenos, se cikel podaljša (za 1, 2, 3... urne cikle)



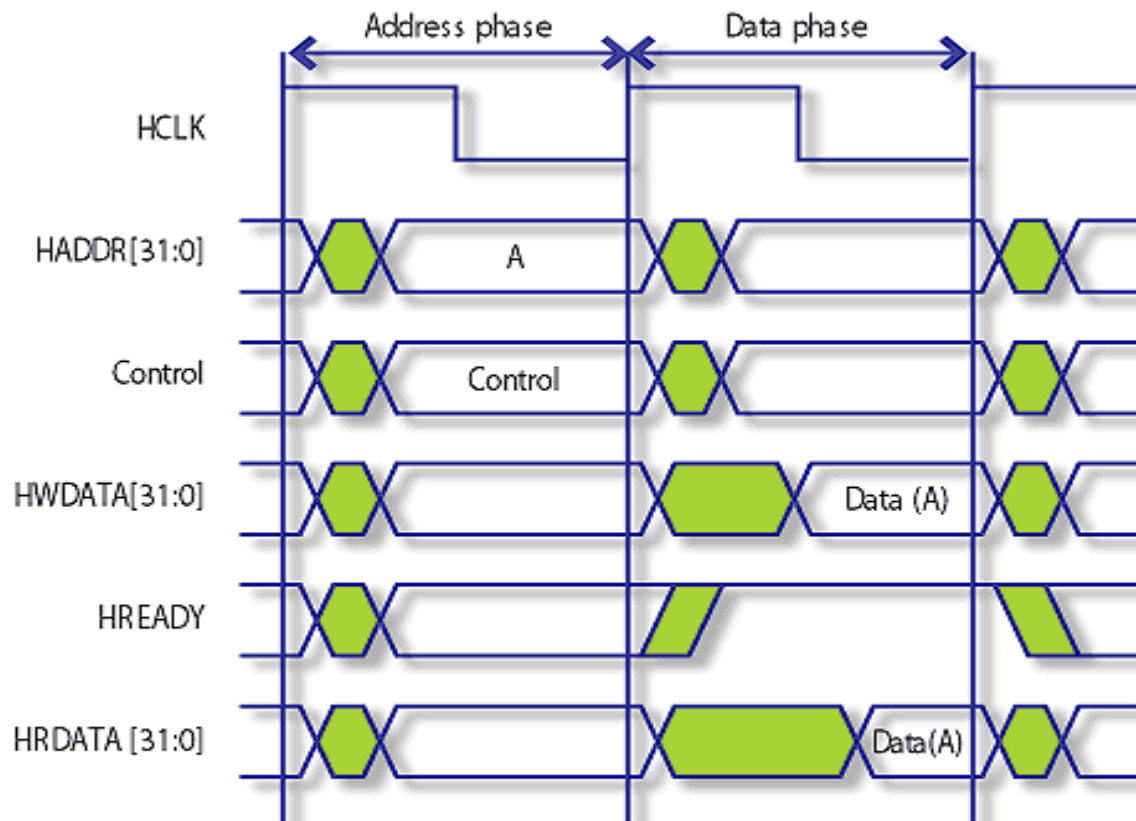
# Vodilo v mikroprocesorskih sistemih

- ▶ hierarhična arhitektura
- ▶ sistemsko vodilo omogoča hitro povezavo CPU-RAM
- ▶ periferno vodilo povezuje ostale komponente

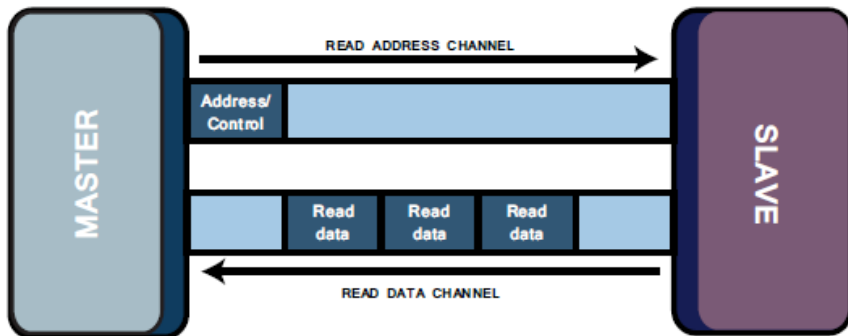
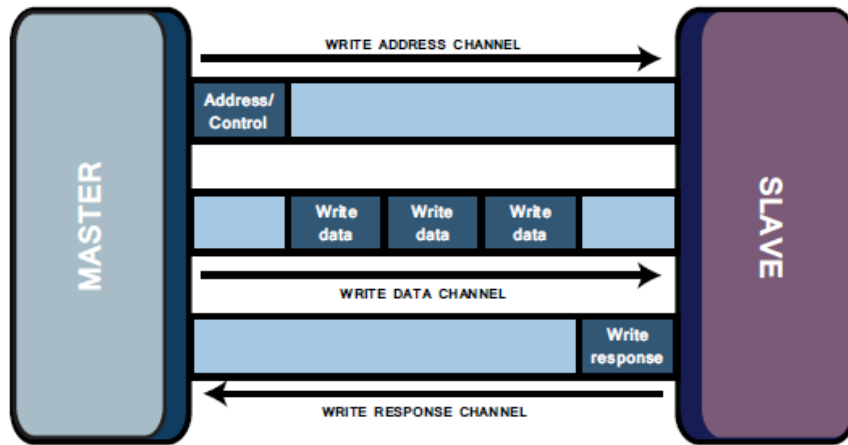


# Sinhrono vodilo AMBA

- ▶ AMBA je vodilo v procesorjih ARM
- ▶ prenos AHB poteka v dveh fazah: naslovna in podatkovna
  - ▶ cevovod: prenos v vsakem ciklu



# AMBA AXI



- ▶ AXI je protokol v AMBA3
  - ločena naslovna in prenosna faza
  - ločena kanala za branje in pisanje (enostaven DMA)
- ▶ Xilinx Zynq uporablja AXI4 protokol in vmesnik

# AMBA AXI4

---

## Izvedbe vmesnikov AXI4

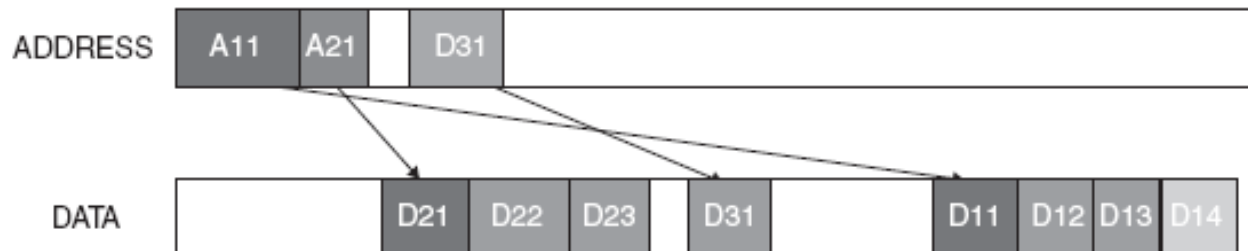
- ▶ AXI4
  - ▶ zmogljiv, do 256 podatkov/prenos
- ▶ AXI4-Lite
  - ▶ enostaven, za periferne enote, 1 podatek/prenos
- ▶ AXI4-Stream
  - ▶ pretočni protokol brez naslovov
  - ▶ npr. prenos avdio ali video podatkov

# AXI paketni prenos

- ▶ sočasno branje in pisanje



- ▶ poljuben vrstni red zaključkov
  - ▶ hitre podrejene enote zaključijo prej kot počasne enote



# Povzetek

---

- ▶ Kaj je vodilo in kaj električni vmesnik?
  - ▶ Kako lahko razdelimo različne vrste vmesnikov?
- ▶ Opiši usklajevanje komunikacije med nadrejeno in podrejeno napravo.
  - ▶ Zakaj je pomembna sinhronizacija?
- ▶ Navedi nekaj primerov vzporednih (paralelnih) vmesnikov.
  - ▶ V čem se razlikujejo zaporedni vmesniki ?
  - ▶ Kje se uporabljajo ?