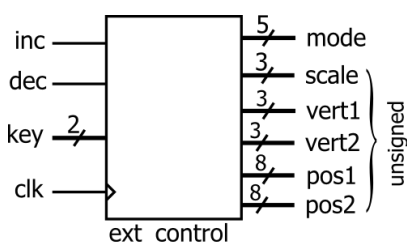


10. vaja: Kontrolna komponenta in celotno vezje

V vezje bomo dodali komponento, ki iz vmesnika sprejema stanje tipk in rotacijskega dekodirnika ter nastavlja parametre prikazovanja grafikonov. Komponento bomo preizkusili na simulaciji in dodali v celoten projekt vezja za Red Pitayo.

10.1 Kontrolna komponenta

Kontrolna komponenta (`ext_control.vhd`) ima na vhodu signale dveh tipk (**key**) in impulze, ki jih dobimo pri dekodiranju signalov rotacijskega kodirnika (**inc** – korak v desno, **dec** – korak v levo).



Naredi sekvenčno vezje, ki nastavlja vrednosti izhodnih vektorjev:

- **mode** naj pomika vrednosti ob fronti tipke **key(0)**: 00001 -> 00010 -> 00100 -> 01000 -> 10000 -> 00001 ... Fronto tipke zaznaj z dvakratnim vzorčenjem signala.
- **scale** se spreminja kadar je **mode=00001**, ob aktivnem signalu **dec** naj se zmanjšuje (do 0) in ob **inc** naj se povečuje (do 5).
- **vert1** se spreminja kadar je **mode=00010**, ob **dec** naj se zmanjšuje (do 0), ob **inc** pa povečuje do 5.
- **pos1** se spreminja kadar je **mode=00100**, ob **dec** naj se povečuje in ob **inc** pa zmanjšuje za 1.
- **vert2** se spreminja kadar je **mode=01000**, ob **dec** naj se zmanjšuje (do 0) in ob **inc** pa povečuje do 5.
- **pos2** se spreminja kadar je **mode=10000**, ob **dec** naj se povečuje in ob **inc** naj se zmanjšuje za 1.

Naredi opis vezja v jeziku VHDL in preveri delovanje s simulacijo. Za izdelavo simulacijske testne strukture lahko uporabiš orodje na strani: <http://lniv.fe.uni-lj.si/grafTB.htm>

10.2 Prevajanje celotnega vezja

Vstavi komponento v celotno vezje in napravi sintezo in tehnološko preslikavo. Zapiši zasedenost vezja in jo primerjaj z osnovnim projektom:

	Red Pitaya V0.90	Red Pitaya in VGA grafika
Slice LUT	3641 / 21%	
Slice Registers	3998 / 11%	
Slice	1357 / 30%	
Block RAM	28 / 47%	
DSP	26 / 80%	
IOB	95 / 95%	