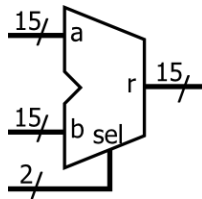


1. vaja: Kombinacijska vezja

Kombinacijska vezja so digitalna vezja, pri katerih je izhodna vrednost odvisna le od trenutnega vhoda. V jeziku VHDL opišemo operacije nad signali z aritmetičnimi in logičnimi operatorji (+, -, *, **and**, **or**, **not**, **nand**, **nor**, **xor**), dekodiranje pa s pogojnimi in izbirnimi stavki, pri katerih je izhod definiran ob vseh pogojih.

1.1 Aritmetična enota



Naredi 16-bitno aritmetično enoto z dvobitnim izbirnim signalom **sel**, ki določa vrsto operacije. Kadar je **sel** enak "00" naj bo na izhodu vrednost vhoda a, pri "01" naj bo na izhodu (a+1), pri "10" naj bo na izhodu vsota (a+b), pri "11" pa razlika (a-b).

Uporabi numerično knjižnico in deklariraj 16-bitne vektorje kot signale podatkovnega tipa **unsigned**. Opiši vezje v jeziku VHDL, preveri delovanje na simulatorju in naredi sintezo vezja.

Iz katerih gradnikov je vezje sestavljeno? _____

Zapiši zasedenost vezja FPGA: _____ rezin (slice), _____ LUT

1.2 Optimizacija vezja

Z upoštevanjem lastnosti računskih operacij lahko naredimo manjše vezje. Razliko lahko izračunamo kot $a + (\text{not } b) + 1$. Deklarirajmo notranji signal **bi** in izračunajmo izhod po postopku:

$$bi = \begin{cases} b, & sel = 10, \\ \text{not } b, & sel = 11 \\ 0, & \text{sicer} \end{cases} \quad \begin{array}{l} \text{Izhod naj bo enak } a + bi, \text{ kadar je sel enak "00" ali "10", sicer pa naj} \\ \text{bo enak } a + bi + 1. \end{array}$$

Opiši vezje v jeziku VHDL in naredi sintezo vezja.

Iz katerih gradnikov je vezje sestavljeno? _____

Zapiši zasedenost vezja FPGA: _____ rezin (slice), _____ LUT