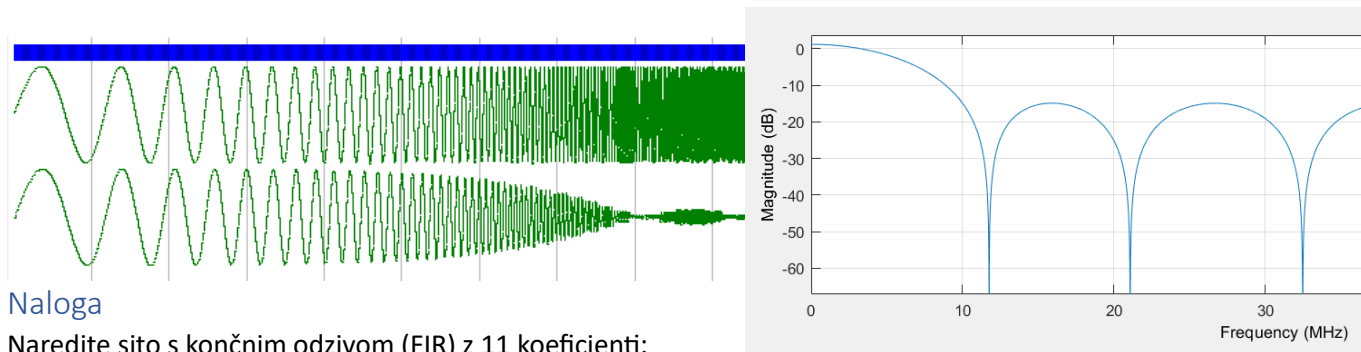


Vaja 9-10: Digitalno sito

V digitalnem vezju bomo naredili nizkopasovno FIR sito, ki prepušča nizke frekvence in zaduši visoke. Vezje v jeziku SHDL bomo prevedli v VHDL in simulirali s programom ModelSIM.

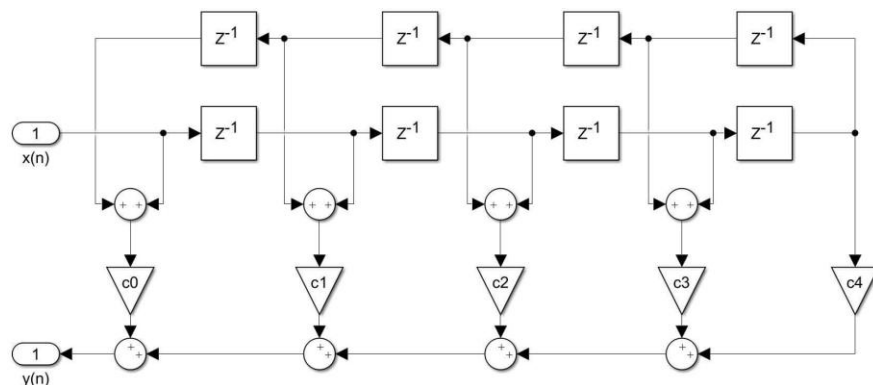


Naloga

Naredite sito s končnim odzivom (FIR) z 11 koeficienti:

$$c_0 = c_{10} = 110, c_1 = c_9 = 69, c_2 = c_8 = 83, c_3 = c_7 = 95, c_4 = c_6 = 102, c_5 = 105$$

Uporabili bomo shemo prepognjenega sita, ki zaradi simetrije potrebuje le 5 množilnikov. Vhod v vezje ob n -tem ciklu ure je $x[n]$, z^{-1} so zakasnilni elementi, $y[n]$ pa je izhodni signal iz vezja.

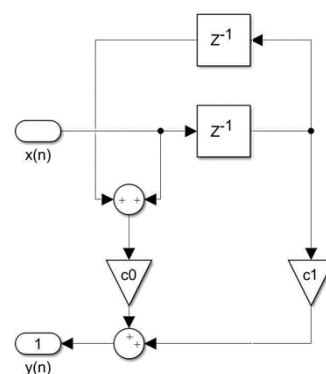


Model vezja v SHDL

Za vzorec vzemimo model prepognjenega sita s tremi koeficienti. Vhod in izhod sta 14-bitna predznačena vektorja, koeficienta pa sta 10-bitna. Za vsoto produktov bomo rezervirali 25 bitov.

```
entity fir
  x: in s14;
  y: out s14;
  x1,x2,x3: s14
  c0: s10 = 255;
  c1: s10 = 511;
  sum: s25
begin
  x1 <= x
  x2 <= x1
  sum = c0*(x+x2)+c1*(x1(13) & x1);
  y = sum(23:10)
end
```

clk					
x	0	1024			
y	0	255	511	255	
t=0	0	1	2	3	4



Zakasnilne elemente opišemo s prireditvijo $\leq$, ki v jeziku SHDL opisuje registre. Pri množenju z $x1$ smo vektor razširili za 1 bit ($x1(13) \& x1$), da imamo enako velik vektor kot pri vsoti $x+x2$. Izraz $Vsoto\ sum(23:10)$ predstavlja deljenje vsote z 2^{10} , ker so dejanski koeficienti sita realne vrednosti v obliki ulomka: $255/1024, 511/1024$.

Simulacija v SHDL

V orodju SHDL bomo preizkusili delovanje sita z impulznim odzivom. Če nastavimo na vhod impulz amplitude 1024, bomo na izhodu v zaporednih ciklih dobili vse koeficiente.

Vivado projekt

Odpakiraj v lokalno mapo (npr. C:\proj) in v orodju Vivado odpri vzorčni projekt za razvojno ploščo Red Pitaya.

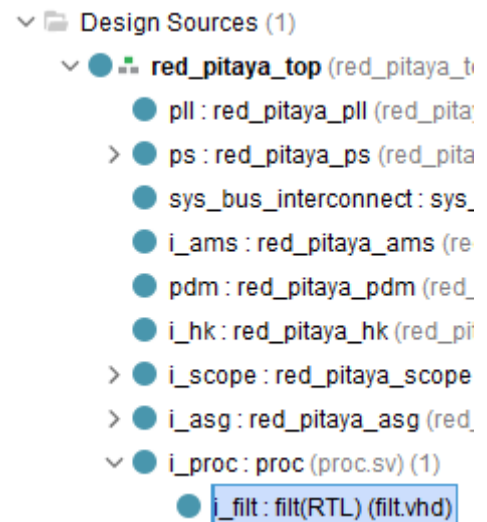
niv.fe.uni-lj.si/courses/uke/RP25u.zip

Prenesi iz spletnega orodja preveden model vezja sita v jeziku VHDL v Vivado, kjer zamenjaj vsebino datoteke **filt.vhd**.

Izvedi simulacijo odziva sita na sinusni signal. Projekt vključuje testno strukturo, ki naredi frekvenčni prelet sinusnega signala.

Klikni na Run Simulation (Behavioral) in nato Run All (F3). Signaloma x in y nastavi format (Radix, Signed Decimal) in obliko (Waveform Style, Analog).

Izvedi sintezo in prevajanje vezja (Generate Bitstream), nato pa v konzoli Tcl: `source format.tcl`



Preizkus na Red Pitayi

Uporabi orodje Bitvise SSH Client za povezavo z Red Pitayo (naslov: 192.168.1.15).

- Prenesi na Red Pitayo datoteko **proc.bit.bin**
- V terminalu izvedi `./set.sh proc.bit.bin`
- V spletnem brskalniku odpri naslov: 192.168.1.15 in aplikacijo Bode Analyser. Pomembno je, da odpreš aplikacijo po izvedbi ukaza `set.sh`, ker bo šele takrat FPGA dobil novo nastavitvev.
- Nastavi parametre analizatorja in izmeri odziv v območju 1 MHz do 60 MHz (vzorčna frekvenca je 125MHz).

