

8. Vaja: Skaliranje signala na Red Pitayi

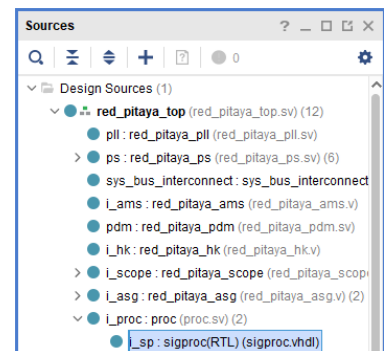
Model vezja za skaliranje amplitude vhodnega signala z nasičenjem bomo vključili v vezje FPGA na merilni plošči Red Pitaya in preizkusili delovanje.

Sinteza vezja in prevajanje projekta

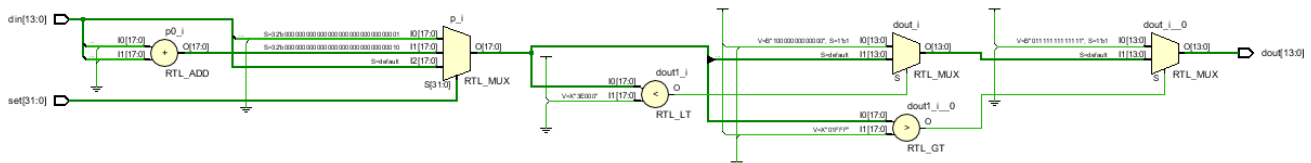
Spletno orodje ob prevajanju generira vezje v standardnem jeziku VHDL, ki ga bomo vključili v obstoječ projekt za razvojno ploščo Red Pitaya. Naloži in odpakiraj datoteke projekta: rp25_uke.zip

1. V orodju Vivado odpri projekt rp25 in v oknu Sources razširi red_pitaya_top in i_proc, nato pa z dvoklikom odpri datoteko sigproc.vhdl.
2. V spletnem brskalniku odpri stran SHDL in naloži model vezja za skaliranje vhodnega signala z nasičenjem. Ime vezja in priključkov se mora ujemati z imeni v Vivado projektu:

```
entity sigproc
  set: in u32;
  din: in s14;
  dout: out s14;
```



3. Prenesi iz spletnega orodja preveden model vezja v jeziku VHDL v Vivado, kjer zamenjaj vsebino datoteke sigproc.vhdl
4. Določi komponento i_sp: sigproc kot glavno (desni klik, Set as Top) in naredi elaboracijo: RTL ANALYSIS, Open Elaborated Design, ki prikaže logične gradnike v modelu komponente:



5. Pred prevajanjem projekta ponastavi glavno komponento red_pitaya_top (Set as Top), nato pa izberi vse korake prevajanja: Flow, Generate Bitstream. Prevajanje traja nekaj minut.
6. Pripravi konfiguracijsko datoteko za FPGA. V oknu Tcl Console izvedi:

```
cd c:/proj/redpitaya_uke
exec cp ./rp25.runs/impl_1/red_pitaya_top.bit ./proc.bit
bootgen -image proc.bif -arch zynq -process_bitstream bin -o proc.bit.bin -w
```

Preizkus na razvojni plošči

7. Prikluči Red Pitayo na računalnik in se poveži s programom SSH Client. Odpri raziskovalca za prenos datotek, izberi lokalno mapo: C:\proj\redpitaya_uke in prenesi na razvojno ploščo datoteko: **proc.bit.bin** Nato odpri terminal in izvedi: `./nastavi2.sh proc.bit.bin`
8. V spletnem brskalniku odpri stran: 192.168.1.15 in aplikacijo osciloskop. Nastavi na OUT1 sinusni signal frekvence 1 kHz in amplitude 0.5. Nato v terminalu izvedi ukaz, ki interno povezal OUT1 z enoto za skaliranje signala: `monitor 0x4000000c 1`

Signal sedaj lahko opazuješ na prvem kanalu osciloskopa: IN1, nastavljen na LV, 1

9. Nastavitev skaliranja (vhod set) izvedi z vpisom v register na naslovu 40300054, npr:

```
monitor 0x40300054 1
```

```
monitor 0x40300050 2
```

