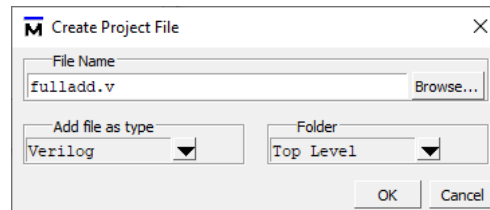


1. vaja: Verilog – logični operatorji in struktura vezja

1.1 Polni seštevalnik in testna struktura

S strojno-opisnim jezikom Verilog naredi opis polnega seštevalnika z vhodi a, b in cin ter izhodoma s in cout. Osnove jezika Verilog so razložene na strani: <https://lniv.fe.uni-lj.si/verilog/>

Najprej naredi nov projekt v programu ModelSim in mu določi ime ter lokacijo na disku. Izberi Create New File, ime datoteke, polni_sest.v in nastavi vrsto datoteke: Add file as type **Verilog**.



Odpre datoteko v urejevalniku (npr. Notepad++) in naredi opis modula seštevalnika. Določi vhode: a, b, cin in izhoda: s, cout ter opiši vezje s prireditvenim stavkom in logičnimi operatorji:

```
assign s    = a ^ b ^ cin;  
assign cout = (a & b) | (cin & (a ^ b));
```

V datoteko še testno strukturo (Verilog dopušča več modulov v isti datoteki). Testna struktura vključuje seštevalnik kot testirano vezje (dut – device under test):

```
module testadd();  
  reg a, b, cin; // spremenljivke za vhode testiranega vezja  
  wire s, cout; // povezave za izhode  
  
  fulladd dut (.a(a), .b(b), .cin(cin), .s(s), .cout(cout));  
  
  initial begin: B1  
    ...  
  end  
endmodule
```

Uporabi inicializacijski blok (B1) za nastavitve vhodov med simulacijo seštevalnika. Vhode nastavi z zaporednimi prireditvami med katere dodaj zakasnitev (#10) ali pa z zanko. Z združevanjem signalov {} lahko nastavimo vse vhode naenkrat: {cin, b, a} = 3'b001; #10;

Prevedi opis (Compile > Compile All) in po uspešnem prevajanju poženi simulacijo: Simulate, Start Simulation, izberi ime testne strukture iz knjižnice work in potrdi. Dodaj v okno vse signale (Add, To Wave, All) in izvedi simulacijo (Simulate, Run, Run 100).

1.2 Polovični seštevalnik

Naredi opis polovičnega seštevalnika in preveri na simulaciji, ali deluje enako kot polni seštevalnik, pri katerem je vhod cin stalno postavljen na 0. Za preizkus vključi kar oba seštevalnika v isto testno strukturo in primerjaj izhoda.

1.3 Večbitni seštevalnik

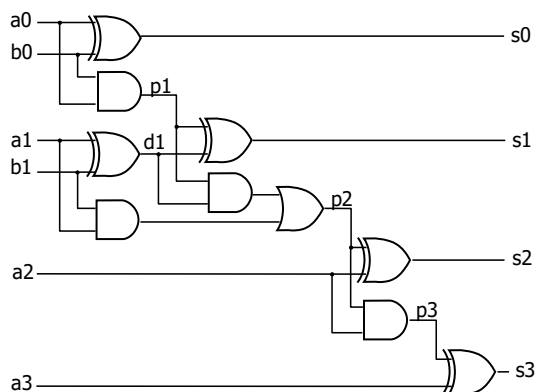
Dodaj v projekt orodja ModelSim novo datoteko z opisom 4-bitnega seštevalnika (npr. add4.v).

Naredi model 4-bitnega valovnega seštevalnika, ki je sestavljen iz enega polovičnega in treh polnih seštevalnikov. Vezje ima 4-bitna vhoda a in b, 4-bitni izhod s in izhodni prenos cout. Uporabi modula polovičnega in polnega seštevalnika ter strukturalni opis vezja v jeziku Verilog.

Izberi testne vektorje za preizkus 4-bitnega seštevalnika, naredi testno strukturo in preizkusi delovanje s simulacijo.

1.4 Seštevalnik 4+2 bita

Naredi model valovnega seštevalnika, ki sešteje 4-bitno vhodno vrednost (a0-a3) in 2-bitno vrednost (b0-b1). Izhod seštevalnika naj bo 4-bitna vrednost (s0-s3). Seštevalnik opiši s prireditvenimi stavki in operatorji, ki predstavljajo logično shemo:



Preizkusi delovanje vezja simulacijo in primerjaj rezultate tega seštevalnika s simulacija 4-bitnega. Kaj se zgodi, če interpretiramo vhode kot predznačene vrednosti v dvojiškem komplementu ?

1.5 Odštevalnik

Naredi model 4-bitnega valovnega odštevalnika, ki deluje po principu seštevanja z dvojiškim komplementom. Najprej predelaj model polnega seštevalnika v odštevalni gradnik, nato pa štiri gradnike poveži skupaj v večbitni odštevalnik. Preizkusi delovanje s simulacijo, kjer nastavi vhode kot predznačene vrednosti.