

10. vaja: JTAG v vezju FPGA

Vmesnik JTAG omogoča poleg preizkušanja povezav in programiranju vezja tudi dostop do signalov uporabniškega vezja. Spoznali bomo orodja in gradnike za preizkušanje prototipnih vezij izdelanih v čipu FPGA proizvajalca Intel (Altera).

10.1 Preizkusno vezje: števec z delilnikom

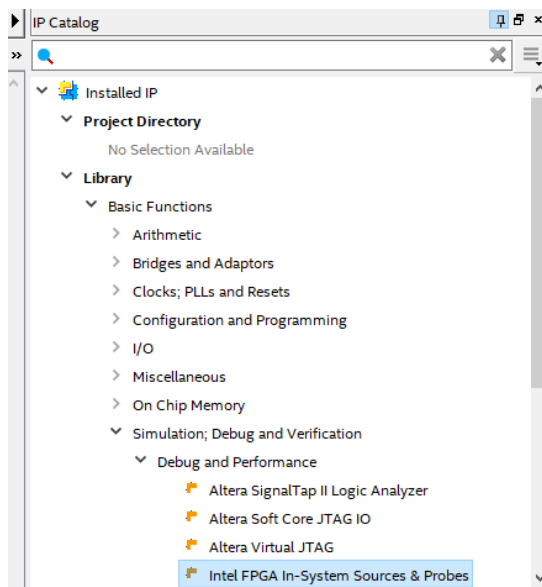
Naredimo preprosto vezje za krmiljenje LED: 5-bitni števec z delilnikom ure, ki ima vhodno frekvenco 50 MHz.

1. Prenesi na računalnik in odpri Quartusov projekt [DE0 projekt.zip](#). V projektu so nastavitve za programirljivo vezje Cyclone IV na razvojni plošči DE0-Nano in lokacije priključkov.
2. Dodaj v projekt novo datoteko (File, New, Verilog HDL) z imenom **projekt.v** v kateri naredi opis 26-bitnega delilnika ure, ki šteje do 20 000 000. Delilnik naj ob prelivu povečuje 5-bitni števec. Priključki vezja so: vhodna ura (**clk**) in 5-bitni izhod **led**, na katerem naj bo stanje števca. Prevedi vezje (Ctrl+L) in naloži na razvojno ploščo (Tools, Programmer, Start).

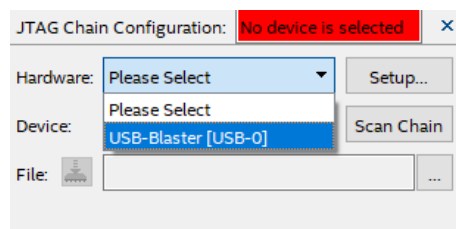
10.2 Nastavljanje in opazovanje signalov

3. Poišči v IP katalogu In-System Sources & Probes, določi ime (npr. source) in nastavi:
 - Probe Port Width: 5
 - Source Port Width: 26
4. Potrdi generiranje datotek in ročno dodaj **source.qsys** med datoteke projekta (Project, Add/Remove Files). V modelu vezja poveži 26-bitni signal **source** s signalom za nastavljanje preliva delilnika in **probe** z izhodom:

```
source u0 (
    .source (div),
    .probe (led)
);
```



5. Prevedi vezje, naloži na razvojno ploščo, nato pa odpri orodje: Tools, In-System Sources and Probes Editor. Izberi programator: USB Blaster, nato pa nastavi vrednost delilnika ure. Vse bite source združi v en signal, ki mu nastavi desetiško vrednost:



| Index | Type | Alias | Name | Data | -8 |
|----------|------|-------|-------------------------------|----------|----------|
| P[4..0] | | | source:u0 altsource_probe_top | 11011b | 11001b |
| S[25..0] | | | source[25..0] | 20000000 | 20000000 |

Poženi branje podatkov (F6) in opazuj delovanje vezja na LED in na prikazanih signalih.

10.3 Pomnilnik in JTAG

V vezje dodaj pomnilnik ROM velikost 32 x 8 bitov, ki ga naslavlja 5-bitni števec, izhod pa naj ima vezan na LED. Uporabili bomo model pomnilnika v obliki komponente IP z vmesnikom JTAG.

- Naprej bomo pripravili datoteko z vsebino pomnilnika, New, Memory Files, Memory Initialization File, kjer določimo 32 8-bitnih besed. Nastavi poljubno vsebino, npr:

| Addr | +0 | +1 | +2 | +3 | +4 | +5 | +6 | +7 | ASCII |
|------|----|----|----|----|----|----|----|-----|--------|
| 0 | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |@. |
| 8 | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |@. |
| 16 | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |@. |
| 24 | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |@. |

- Poišči pomnilnik ROM: 1-PORT v IP katalogu (Basic Functions, On Chip Memory), določi ime (npr. rom) in nastavi: 8-bitno širino, 32 besed, v zadnjem koraku pa vključi datoteko z vsebino pomnilnika ROM in naredi kljukico pri Allow In-System Memory Content Editor. V model vezja vključi pomnilnik:

```
rom rom_inst (  
    .address ( adr ),  
    .clock ( clk ),  
    .q ( led )  
);
```

- Prevedi in naloži vezje na razvojno ploščo ter poskusi spreminjati vsebino pomnilnika z orodjem Tools, In-System Memory Content Editor.

