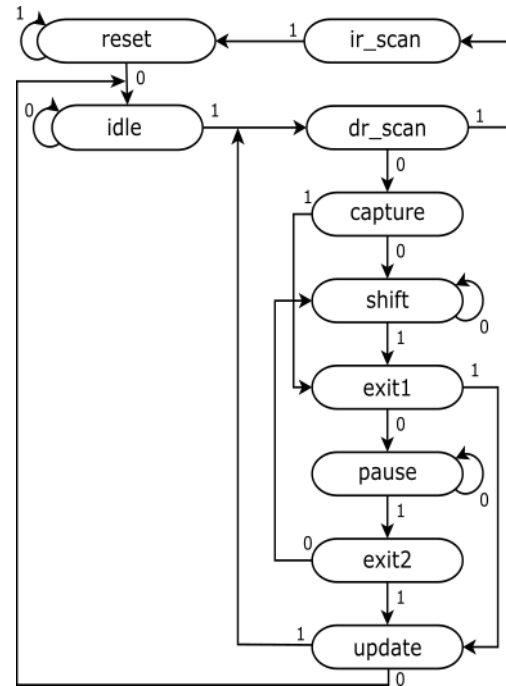


6. vaja: Testna linija s krmilnikom

6.1 Testni krmilnik

Naredili bomo opis testnega krmilnika, ki predstavlja del standardnega krmilnika za robno testiranje (Boundary Scan TAP). Diagram stanj našega krmilnika vsebuje le stanja za upravljanje podatkovnega registra (DR), zaradi enostavnejše izvedbe pa smo izpustili stanja za ukazni register (IR).

Testni krmilnik je sinhrono sekvenčno vezje z uro tck, prehode med stanji pa določa vhodni signal tms. Naredi model testnega krmilnika in preizkusi delovanje s simulacijo.



6.2 Opis krmilnika v Verilogu

Naredi opis vezja, ki ima na vhodu tck in tms, na izhodu pa signale: shiftDR, clockDR, updateDR in mode. Deklariraj 4-bitno spremenljivko st za zapis stanja in celoštevilске parametre za označitev stanj, ki jim priredi zaporedne vrednosti, nato pa opiši prehajanje stanj v sinhronem proceduralnem bloku z uro tck:

```

parameter reset=0, idle=1, dr_scan=2, ...
reg [3:0] st = reset;

always @(posedge tck)
begin
    case(st)
        reset:
            if (tms==0) st <= idle;
        idle: ...
    
```

Dodaj še kombinacijski blok v katerem določi vrednosti izhodov v odvisnosti od stanja:

- mode je 0 v stanju reset, sicer pa na 1
- clockDR je 1 stanju capture in shift
- shiftDR je 1 v stanju shift
- updateDR je 1 v stanju update

6.3 Povezava krmilnika s testno linijo

Naredi modul, v katerem poveži krmilnik s testno linijo iz štirih osnovnih celic. Vhodi modula naj bodo 4-bitni x ter enobitni tdi, tck in tms, izhodi pa 4-bitni y in tdo. Preizkusi delovanje modula s simulacijo, kjer nastavi konstantno vrednost na x, vhode krmilnika pa tako, da bo šel čez stanja za zajem, pomik in nastavitve izhodnih vrednosti testne linije.