

1. vaja: Verilog – logični operatorji in struktura vezja

1.1 Polni in polovični seštevalnik

Naredi nov projekt v programu ModelSim in opis polnega seštevalnika z vhodi a, b in cin ter izhodoma s in cout. Seštevalnik opiši s prireditvenim stavkom in logičnimi operatorji:

```
assign s    = a ^ b ^ cin;  
assign cout = (a & b) | (cin & (a ^ b));
```

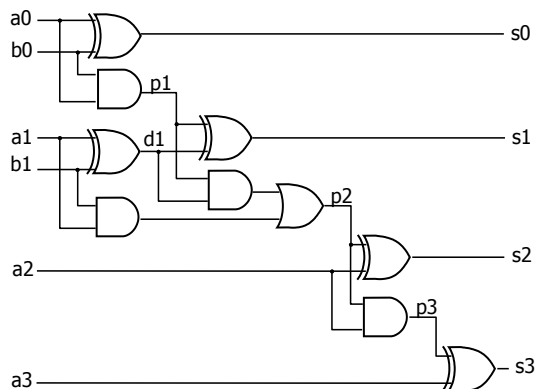
Naredi še opis polovičnega seštevalnika in preveri na simulaciji, ali deluje enako kot polni seštevalnik, pri katerem je vhod cin stalno postavljen na 0.

1.2 Večbitni seštevalnik

Naredi model 4-bitnega valovnega seštevalnika, ki je sestavljen iz enega polovičnega in treh polnih seštevalnikov. Vezje ima 4-bitna vhoda a in b, 4-bitni izhod s in izhodni prenos cout. Uporabi modula polovičnega in polnega seštevalnika ter strukturalni opis vezja v jeziku Verilog.

1.3 Seštevalnik 4+2 bita

Naredi model valovnega seštevalnika, ki sešteje 4-bitno vhodno vrednost (a0-a3) in 2-bitno vrednost (b0-b1). Izhod seštevalnika naj bo 4-bitna vrednost (s0-s3). Seštevalnik opiši s prireditvenimi stavki in operatorji, ki predstavljajo logično shemo:



Preizkusi delovanje vezja simulacijo in primerjaj rezultate tega seštevalnika s simulacija 4-bitnega. Kaj se zgodi, če interpretiramo vhode kot predznačene vrednosti v dvojiškem komplementu ?

1.4 Odštevalnik

Naredi model 4-bitnega valovnega odštevalnika, ki deluje po principu seštevanja z dvojiškim komplementom. Najprej predelaj model polnega seštevalnika v odštevalni gradnik, nato pa štiri gradnike poveži skupaj v večbitni odštevalnik. Preizkusi delovanje s simulacijo, kjer nastavi vhode kot predznačene vrednosti.