



Laboratorij za načrtovanje integriranih vezij

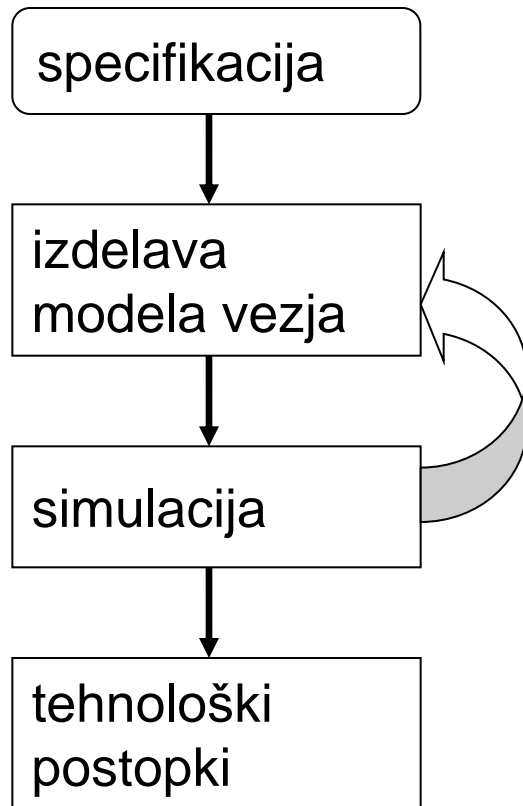
Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*



Načrtovanje digitalnih elektronskih sistemov

Potek načrtovanja vezij

Potek načrtovanja vezij



- načrtovanje je neodvisno od končnega postopka izdelave
- na računalniku naredimo model vezja
- s simulacijo preverimo delovanje vezja
- priprava za izvedbo v izbrani tehnologiji

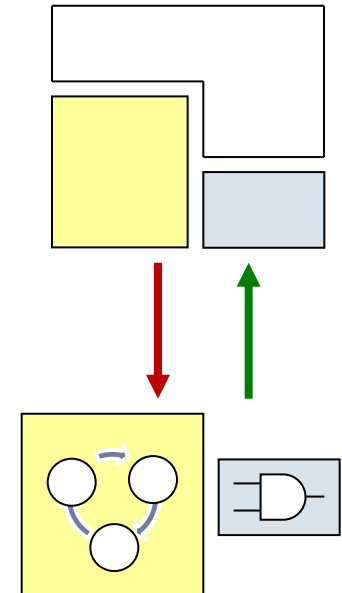
Izdelava modela vezja

- ▶ razdelimo na podvezja, ki jih postopoma dograjujemo

- ▶ načrtovanje od zgoraj navzdol

- ▶ Začnemo s preprostimi gradniki, ki jih sestavljamo in dopolnjujemo

- ▶ načrtovanje od spodaj navzgor



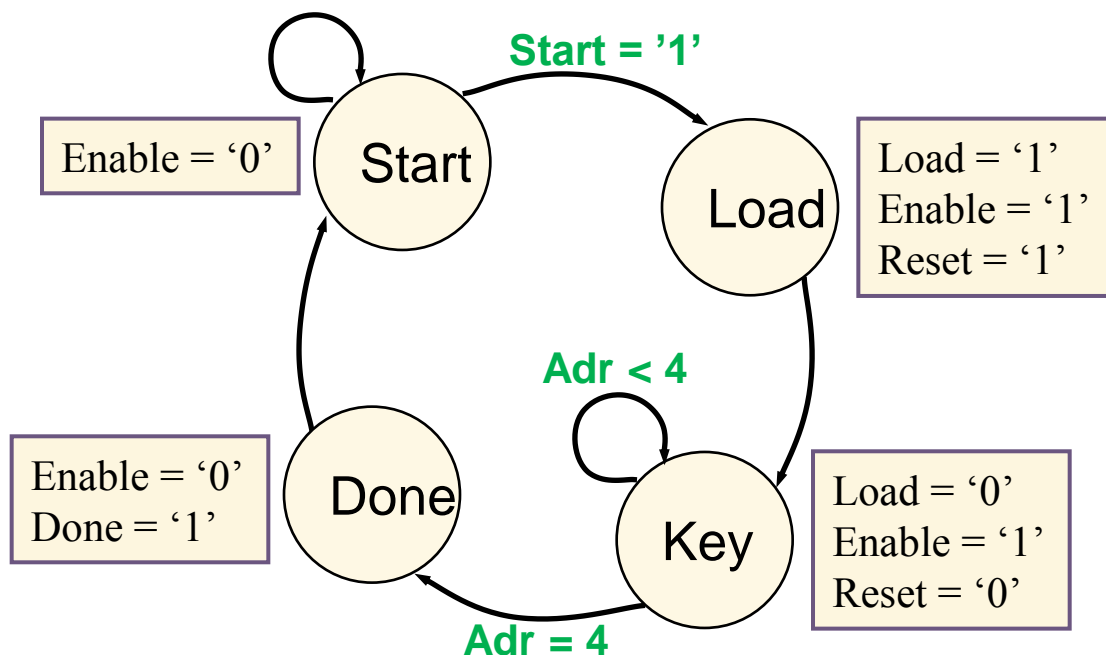
- ▶ za opis komponent uporabimo ustrezen model

Vrste modelov digitalnih vezij

- ▶ končni avtomat
 - ▶ primeren za krmilne elemente vezja
- ▶ sinhroni pretok podatkov
 - ▶ primeren za obdelavo signalov (npr. filtriranje)
- ▶ sinhroni reaktivni model
 - ▶ za sisteme, ki reagirajo s hitrostjo okolja (npr. ABS)
- ▶ model diskretnih dogodkov
 - ▶ primeren za opis asinhronih vezij
 - ▶ simulator digitalnih vezij

Končni avtomat

- ▶ sinhroni avtomat spreminja stanja ob fronti ure

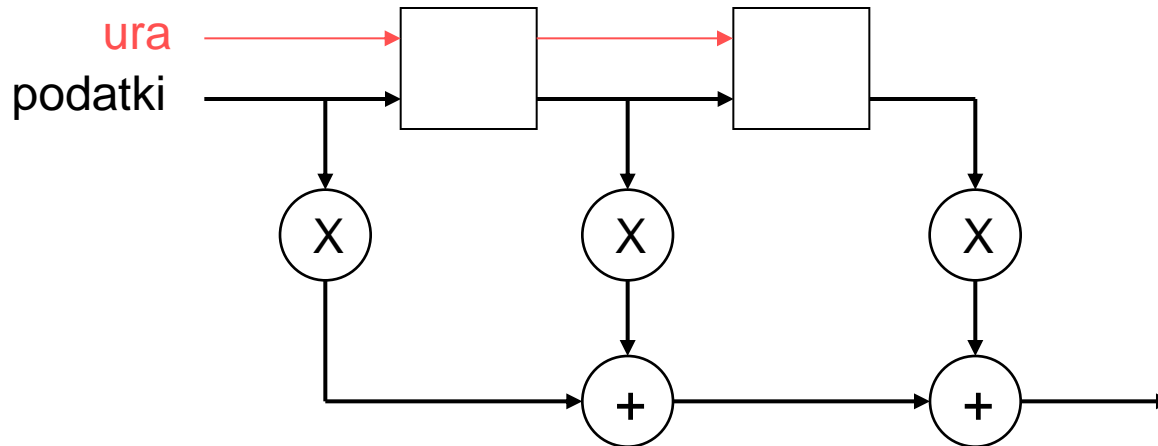


definirati moramo:

- stanja
- pogoje za prehod med stanji
- izhode

Sinhroni pretok podatkov

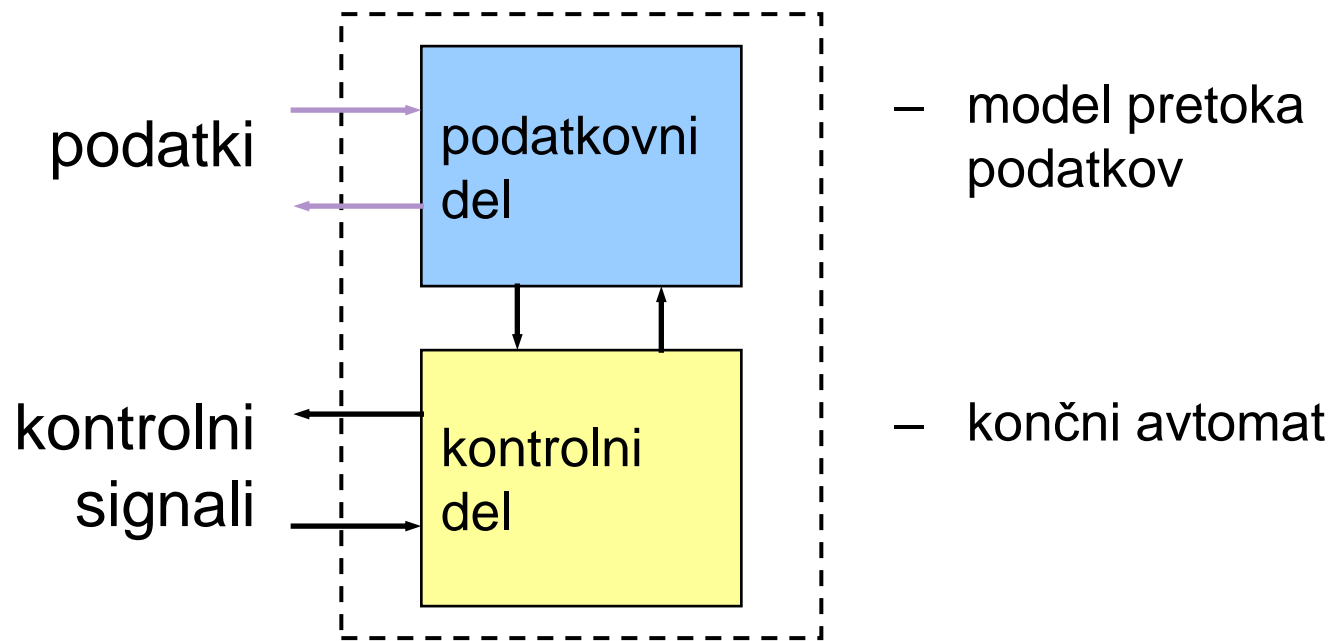
- ▶ vezja obdelajo in shranjujejo podatke sinhrono s sistemsko uro (npr. digitalno sito)



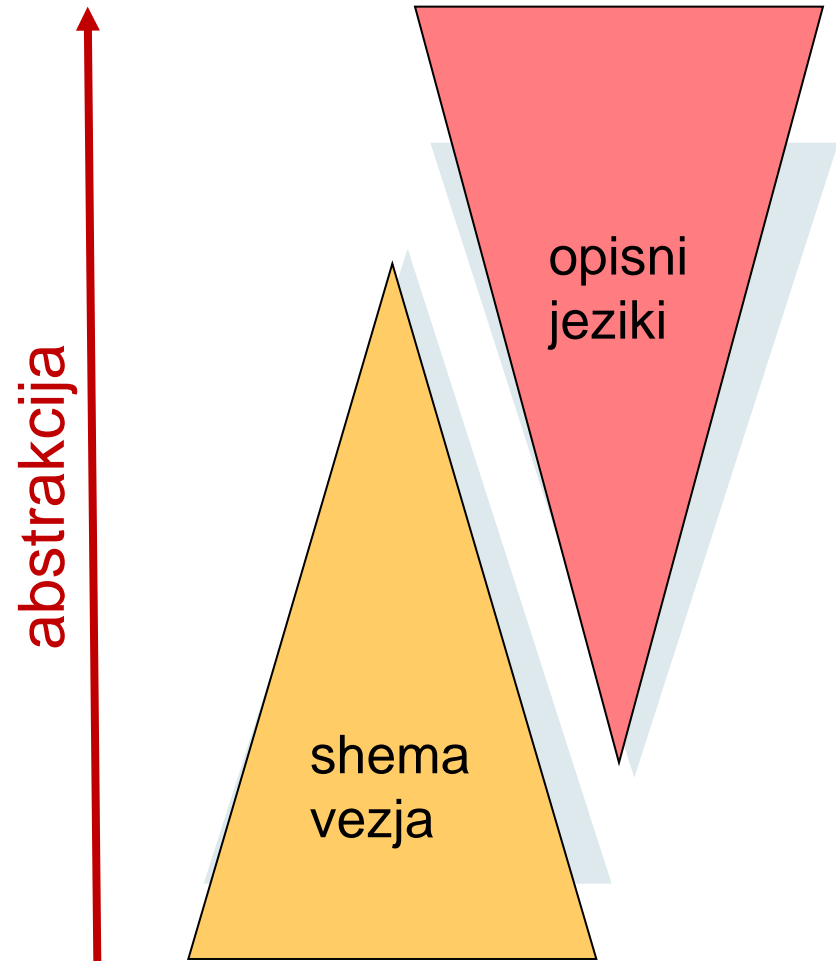
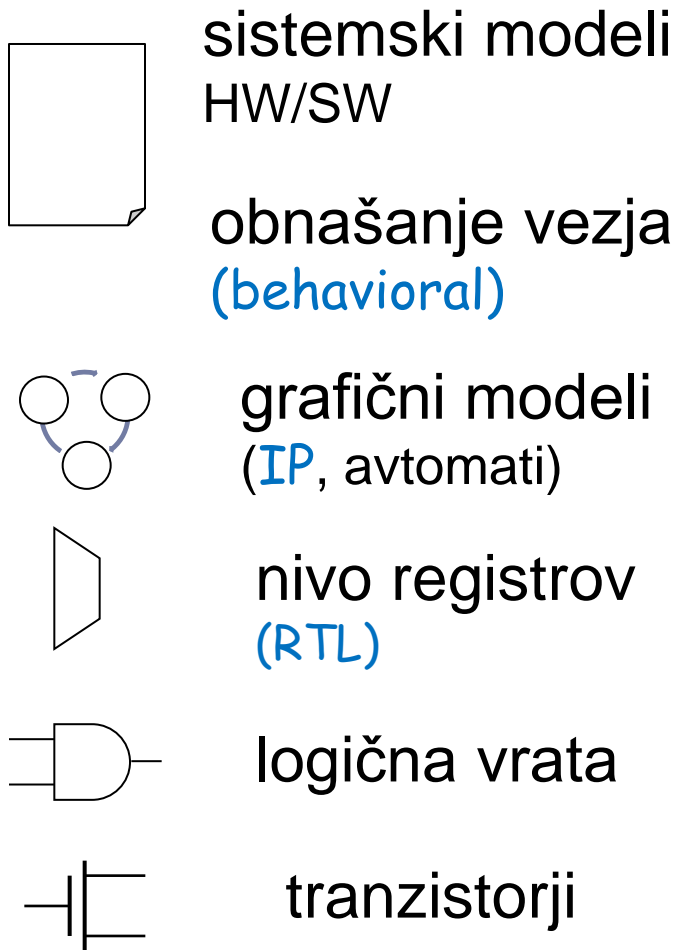
- ▶ sestavljajo jih funkcijski bloki (operatorji) in registri (RTL, Register Transfer Level)

Kombiniranje modelov

- ▶ digitalno vezje razdelimo na podatkovni in kontrolni del



Nivoji modeliranja digitalnih sistemov



Nivo tranzistorjev

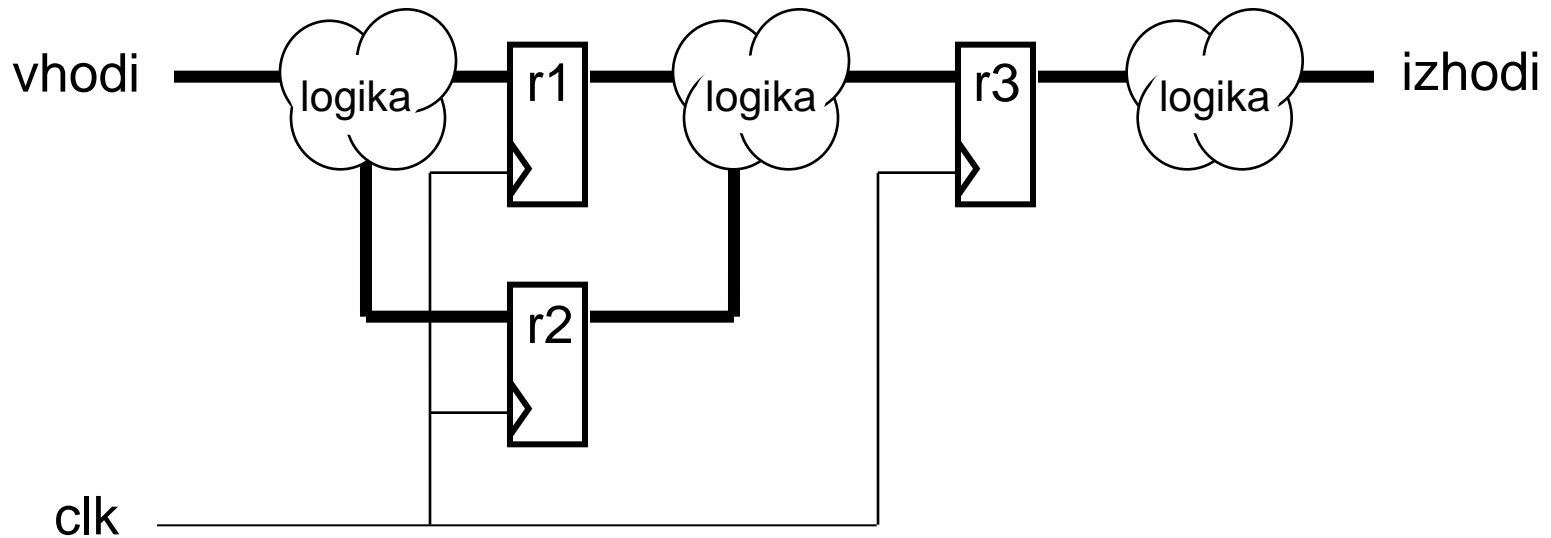
- ▶ npr. SPICE model
 - ▶ model, ki vsebuje največ fizikalnih podrobnosti
- ▶ model je primeren za popolnoma naročniško tehnologijo izdelave IV
- ▶ načrtovanje je zelo zahtevno in zamudno
- ▶ simulacija je počasna

Nivo logičnih vrat

- ▶ **osnovni nivo** na katerem je opisana večina digitalnih vezij
- ▶ sistem je opisan s shemo ali Boolovimi enačbami (npr. Abel)
- ▶ ta nivo in vsi višji nivoji so primerni za polnaročniško in programirljivo tehnologijo
- ▶ načrtovanje kompleksnih sistemov je zahtevno in simulacija je počasna

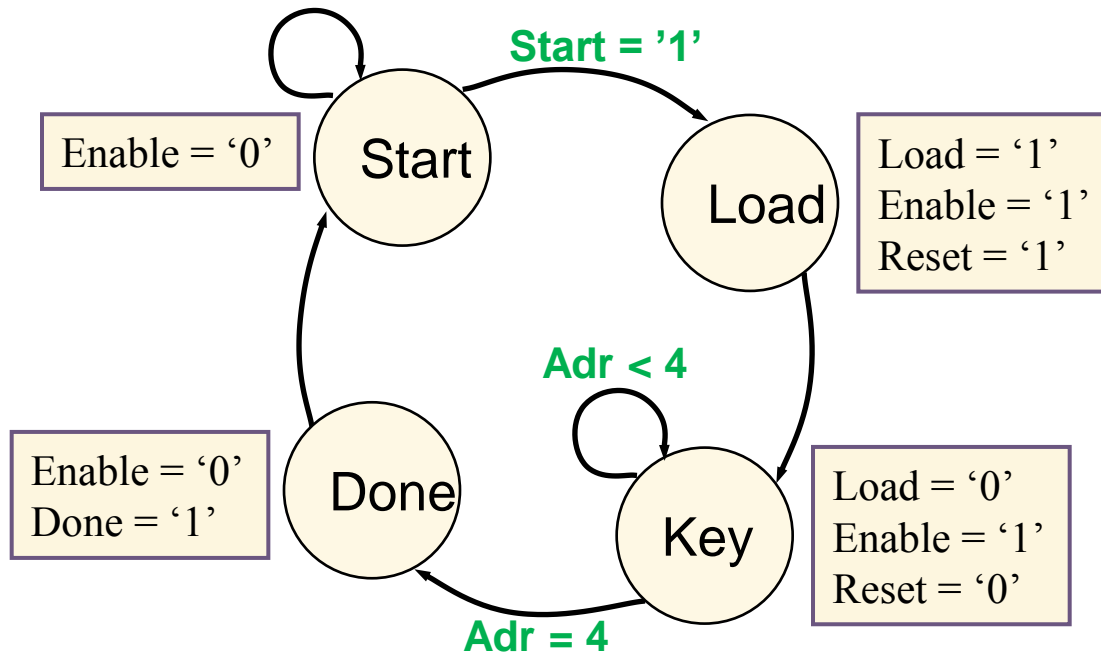
Nivo registrov (RTL)

- ▶ zelo primeren za opis sinhronih sekvenčnih vezij
 - ▶ vezje razdelimo na registre in komb. logiko



Grafični modeli

- ▶ npr. model končnega avtomata
 - ▶ na podlagi vnešenih informacij programska oprema generira model vezja na nižjem nivoju



Modeli obnašanja vezja

- ▶ opis delovanja vezja
 - ▶ opis transformacij med signali
 - ▶ opis časovnega poteka izvajanja (na nivoju ciklov v sinhronih vezjih)
- ▶ **model ne vsebuje natančne zgradbe vezja !**
 - ▶ zgradbo določi program za sintezo vezja
- ▶ opis delovanja vezja v strojno-opisnem jeziku
 - ▶ **HDL, Hardware Description Language**

Sistemski modeli

- ▶ npr. opis vezja v jeziku C ali SystemC
- ▶ modeli iz katerih odstranimo podrobnosti o
 - ▶ zgradbi vezja in
 - ▶ časovnem poteku izvajanja funkcij.
- ▶ veliko možnosti za avtomatizacijo načrtovanja:
 - ▶ razmeščanje (**partitioning**): določimo funkc. enote
 - ▶ razvrščanje (**scheduling**): določimo časovni potek
 - ▶ sinteza vezja: določimo zgradbo vezja

Zakaj visokonivojski opis?

- ▶ v visokonivojskem jeziku je opis vezja bližje specifikaciji
 - ▶ delamo na nivoju, ki nam je bolj razumljiv
- ▶ opis in simulacija vezja poteka hitreje
 - ▶ preizkusimo lahko več možnih rešitev in izberemo optimalno
 - ▶ optimizacijo na nivoju logičnih vrat prepustimo programski opremi
- ▶ za kompleksna digitalna vezja in sisteme potrebujemo visokonivojski opis