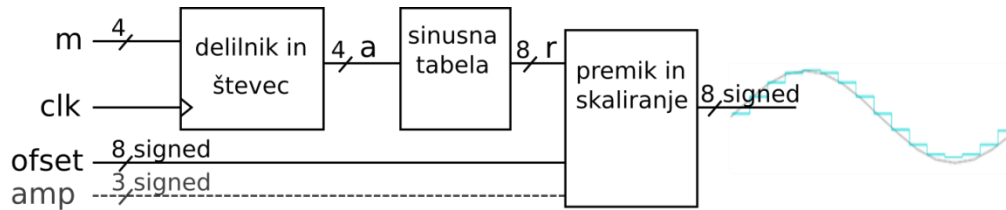


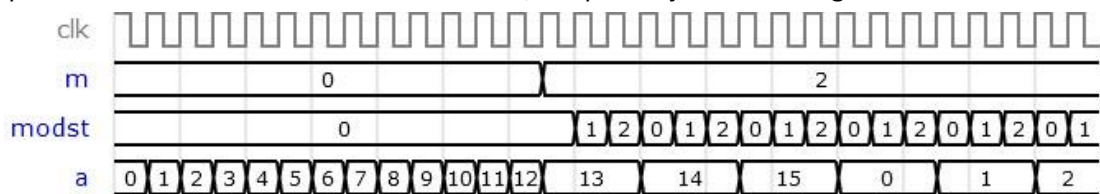
6. vaja: Sinusni generator

Naredili bomo digitalni generator sinusnega signala.



- Naredi 4-bitni delilnik ure po modulu m (4-bitni vhodni signal). Delilnik vsebuje 4-bitni notranji signal za štetje ciklov (npr. **modst**) in enobitni izhod.
 - Signal m določa kako bo števec štel, npr. pri $m=2$ bo imel delilnik tri cikle: 0,1,2,0,1,2, izhod pa naj bo na 1 le v enem od treh ciklov.
 - Ali potrebujemo za izhod delilnika flip-flop? Kakšen bo izhod, kadar je m na 0?

- Dodaj v vezje še en 4-bitni števec z imenom a , ki je povezan z delilnikom. Števec naj se spremeni ob uri in aktivnem izhodu delilnika, kot prikazuje časovni diagram:



- Deklariraj podatkovni tip in signal za pomnilnik **rom** v katerem je 16 vzorcev ene periode sinusnega signala v obliki 8-bitnih predznačenih vrednosti:

rom: 16s8 = 0, 48, 90, 118, 127, 118, 90, 49, 0, -48, -90, -118, -127, -118, -90, -49

- VHDL podatkovni tip in signal, kjer nastavimo vrednosti, npr. v šestnajstiški obliki:


```
type romtype is array (0 to 15) of signed(7 downto 0);
signal rom : romtype := (X"00", X"30", X"5A", ...);
```

Dodaj stavek za opis branja pomnilnika: vsebino pomnilnika na naslovu a prenesi v notranji signal r (deklariraj r kot 8-bitni predznačen vektor). Ker se naslov a zaporedno spreminja, dobimo na izhodu vzorce sinusnega signala.

- V simulatorju SHDL, kjer nastavi analogni prikaz z desnim klikom na signal.
 - V simulatorju ModelSim najprej določimo signalu r podatkovni tip (desni klik, Radix, Decimal), nato pa obliko prikaza (Format, Analog).
- Dodaj v model vezja še 8-bitni predznačen signal **offset** za pomik sinusnega signala navzgor ali navzdol. Seštej vrednost izhoda iz pomnilnika in signala **offset**.
 - Kaj se zgodi, ko pride do preliva pri seštevanju?
 - Opiši logiko, ki bo namesto preliva vrednosti naredila nasičenje. Če je rezultat višji kot zgornja meja območja 8-bitnih števil, naj se postavi izhod na zgornjo mejo (127), če je nižji od spodnje meje (-128) pa naj se postavi na spodnjo mejo.
 - Ali smemo popravljati kar izhod iz pomnilnika ali moramo uporabiti nov signal?

*Spreminjanje amplitude

- Dodaj v vezje še 3-bitni predznačen vhod, ki bo določal amplitudo signala in opiši logiko za nastavljanje amplitude. Amplitudo spreminjamo tako, da množimo signal iz tabele z nastavljenjo vrednostjo amplitude.