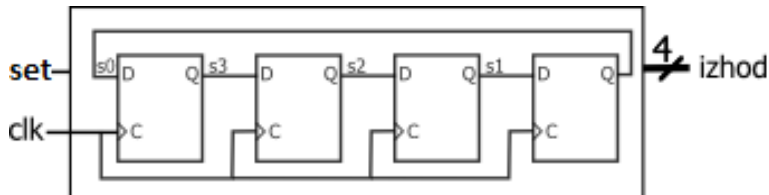


3. vaja: Pomikalni register s povratno vezavo

Naredili bomo model pomikalnega registra s povratno vezavo, ki generira psevdonaključne vrednosti.

Pomikalni register in generator naključnih vrednosti

Naredi model cikličnega pomikalnega registra iz štirih zaporednih flip-flopov. Izhodi flip-flopov naj bodo enobitni notranji signali s0, s1, s2 in s3.



VHDL flip-flop

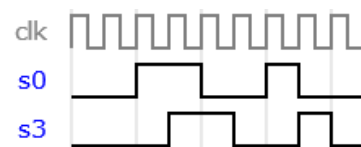
```
process (clk)
begin
  if rising_edge(clk) then
    q <= d;
  end if;
end process;
```

SHDL flip-flop

```
d: in u1;
q: out u1;

begin
  q <= d;
end
```

Simulacija: D => s0, Q => s3



1. Visokonivojski model registra opišemo s štirimi stavki, ki opisujejo posamezne flip-flope, npr. prvi flip flop: $s3 \leq s0$;
2. Začetno stanje flip-flopov je 0, zato potrebujemo logiko, ki nastavi vsaj en flip-flop na 1. Dodaj vhodni signal set in pogoj, da se ob $set=1$ postavi s0 na 1, ostali flip-flopi pa na 0. Definiraj tudi 4-bitni sestavljen izhod: $izhod \leq s3 \& s2 \& s1 \& s0$;

Preizkusi delovanje s simulacijo in ugotovi, ali je vrstni red stavkov pomemben?

Kako naredimo pravilen opis z le enim stavkom **if..then** in kako z **if..then..else**?

Ali je kakšna razlika v vezju, če je izhod definiran sekvenčno (znotraj procesa z uro) ali kombinacijsko?

3. Pomikalnemu registru dodaj vrata xor v povratni zanki, tako da zamenjaš prireditveni stavek za s3 v obliko: $s3 \leq s3 \text{ xor } s0$. Izhod takšnega registra se spreminja psevdonaključno.
4. Naredi logiko, ki izvede nastavljanje začetnega stanja registra brez zunanega signala set. Namig: flip-flopom lahko ob deklaraciji določimo začetno stanje.

*Generator psevdonaključnih vrednosti z daljšim zaporedjem

1. Zaporedje psevdonaključnih vrednosti se po določenem številu ciklov ponovi. Naredi generator z daljšim ciklom. Pomagaj si z razlago na spletu: [Linear feedback shift register](#)