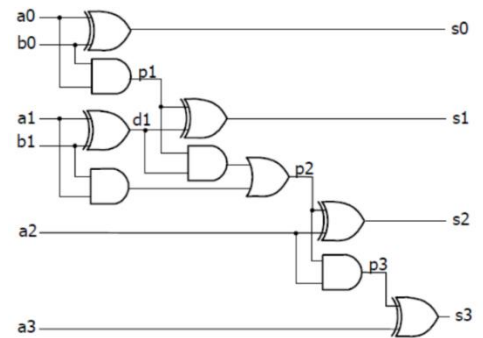


2. vaja: Računske operacije



Seštevalnik

Naredi opis seštevalnika, ki sešteje 4-bitno **a** in 2-bitno vrednost **b**.



- Opiši seštevalnik z logičnimi operacijami in naredi simulacijo.
- Deklariraj signale kot nepredznačene vektorje (**unsigned**) in opiši seštevalnik z operatorjem +.
- Spremeni signale v predznačene vektorje (**signed**).
 - Spremeni deklaracije priključkov v predznačene in opazuj rezultate simulacije (v ModelSim nastavi: Radix, Decimal). V katerih primerih so binarne vrednosti drugačne?
- Popravi opis seštevalnika, tako da bo izračunal 5-bitno vsoto, pri kateri ne bo prišlo do preliva. Namig: v jeziku VHDL je potrebno vektorje pred seštevanjem razširiti (resize) na ustrezno število bitov.

Množilnik

Naredili bomo vezje za izračun produkta 4-bitne in 2-bitne nepredznačene vrednosti. Primer:

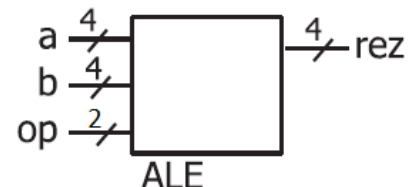
1101 x 10 (desetiško 13 x 2)	1101 x 11 (desetiško 13 x 3)
-----	-----
0000	1101
1101	1101
-----	-----
11010 (desetiško 26)	100111 (desetiško 39)

Najprej množimo z najbolj desnim bitom in dobimo 0 ali pa vrednost množenca (kadar je množitelj 1). Nato množimo z naslednjim bitom množitelja, zapišemo rezultat pomaknjen za eno mesto v levo in seštejemo oba delna rezultata.

- Naredi opis množilnika in preveri delovanje s simulacijo. Vhoda sta 4-bitni **a**, 2-bitni **b**, izhod pa 6-bitni **m**. Deklariraj notranje signale za delne produkte.
 - izračun delnih produktov opiši s pogojnim stavkom: `p1 <= a when b(0)='1' else "0000"`;
 - pri vsoti en delni produkt zamaknemo v levo, tako da dodamo z operatorjem `&` ničle na ustrezni strani: `m <= ("00" & p1)+('0' & p2 & '0')`;

Aritmetično logična enota

Opiši vezje 4-bitne aritmetično logične enote, ki izvaja štiri operacije nad predznačenima vhodnima signaloma **a** in **b** (signed) ter shrani rezultat v 4-bitni izhod **rez**. Operacije določa 2-bitni nepredznačen vhod **op**: 0 določa seštevanje, 1 odštevanje, 2 logično IN operacijo (**and**) in 3 logično ALL operacijo (**or**).



- Naredi model ALE in preizkusi delovanje s simulacijo.
 - S katerim stavkom je najbolje opisana ALE v jeziku VHDL?
 - Preveri delovanje računskih operacij na simulaciji z različnimi kombinacijami na vhodu. Pri katerih vrednostih vhoda dobimo napačen rezultat seštevanja ali odštevanja, ne glede na deklaracijo?
- Povečaj izhod **rez** na 5 bitov, da bo na najvišje mesto prišel prenos pri seštevanju in odštevanju in preveri delovanje na primerih, kjer smo prej dobili napačen rezultat.