## 4. vaja: Leteča luč

Naredili bomo sekvenčno vezje za krmiljenje osmih LED v izbranem vzorcu.

## Števec z dekodirnikom

Naredi model vezja, ki vsebuje 2-bitni števec (notranji signal st) in ima 8-bitni izhod led.



- 1. Vezje naj vsebuje opis števca, ki se ob vsakem ciklu vhodne ure poveča za 1. Dodaj še kombinacijsko logiko za pretvorbo stanja števca v izhod, kot prikazuje tabela.
- Dodaj enobitni signal smer za določanje smeri štetja. Kadar je smer=0 naj števec šteje navzgor do kombinacije "11", nato naj spremeni smer na 1. Ko je smer=1, naj šteje navzdol do "00" in ponovno spremeni smer.

clk									
st	0	1	2	3	2	1	0	1	2
smer									
led	00011000	00111100	01111110	11111111	01111110	00111100	00011000	00111100	01111

Ugotovi, ali potrebujemo pomnilni element (flip-flop) za signal smer? Kako moramo določiti spremembo signala smer za pravilno delovanje?

 Dodaj v vezje še en dvobitni števec, ki bo upočasnil spreminjanje števca st in posledično izhodnih LED. Dvobitni števec ima štiri cikle štetja (00, 01, 10, 11). Če vzamemo eno izmed vrednosti tega števca kot dodaten pogoj za nastavljanje st, bomo upočasnili delovanje za 4. Nov števec deluje kot delilnik ure.



## Preizkus na razvojni plošči

1. Popravi delilnik, da bo narejen s 25-bitnim namesto z 2-bitnim števcem. Prevedi vezje v orodju Quartus in preizkusi delovanje na razvojni plošči.

Kako hitro se bodo spreminjale LED, če je frekvenca ure 25 MHz?

## Navodila za prevajanje in oddaljen dostop

V programu Quartus je potrebno nastaviti parametre razvojne plošče: vrsto vezja FPGA in lokacije priključkov. Najlažje naredimo to z vzorčnim arhivskim projektom. Prenesi in odpri datotetko <u>DEO sistem.qar</u> in v orodju Quartus določi mapo v katero naj se razširi projekt.

S Restore Archived Project	×
Archive name:	
C:/Users/andrejt/AppData/Local/Temp/DE0_sistem.qar	
Destination folder:	
C:/MODB/DE0_sistem_restored	🗌 🚛 nastavi
Overwrite any existing files in the destination folder	
OK Cancel	Help

Dodaj v projekt opis vezja (New VHDL File) in poskrbi, da so imena prav nastavljena. Med zunanjimi priključki vezja (port) naj bodo signali poimenovani natančno tako, kot določa besedilo naloge, vsi ostali signali pa morajo biti znotraj vezja.



Vezje prevedi (Start Compilation, Ctrl+L), nato pa v računalniku poišči datoteko s končnico \*.sof (običajno največja datoteka v projektni mapi).



Za preizkus na razvojni plošči se poveži na oddaljen računalnik (Windows Remote Desktop Connection oz. Povezava z oddaljenim namizjem, številko bo dodelil asistent). Povezava zahteva nastavitev uporabniškega imena: **vaje** in geslo: **vaje**. Prenesi programsko datoteko (copy-paste) na namizje oddaljenega računalnika in odpri orodje Programmer (Quartus Prime 20.1). Datoteko dodaj z Add File... in naloži na ploščo z gumbom Start. Če ni omogočen in piše v Hardware Setup: No Hardware, klikni na Hardware Setup in izberi USB-Blaster.

👋 Quartus Prime Pri	ogram	mer Lite Edition - [Cha	ain1.cdf]*				_	
File Edit View	Proces	ssing Tools Wind	low Help				Search alte	
📥 Hardware Setup.	No	Hardware	Mode	JTAG		•	Progres	
Enable real-time	SPt	🔖 Hardware Setup						
Etart		Hardware Settings JTAG Settings						
= Start	C:,	Select a programming hardware setup to use when programming devices. TI hardware setup applies only to the current programmer window.						
Auto Detect		Currently selected h	USB-Blaster [USB-0]					
🗙 Delete		Hardware frequency	<i>r</i> .	No Hard	ware			
💾 Add File		Available hardwar	e items	USB-Bla	ster (USB-0	]		
Change File	<	Hardware			Server	Port		
Save File		USB-Blaster			Local	USB-0		