

5. vaja: Komponente

Izdelali bomo vezje za prižiganje LED na razvojni plošči iz treh komponent: delilnik ure, števec in pulzno-širinski modulator.

Delilnik

Delilnik ure je vezje s priključki: clk, 26-bitni vhod M in enobitni izhod **en**.

1. Naredi delilnik ure v obliki 26-bitnega števca po modulu M. Ko pride števec do vrednosti M, naj se obrne na 0 in postavi izhod **en** na '1'. V ostalih ciklih naj bo **en** na 0. Preizkusi delovanje delilnika s simulacijo.

Števec z delilnikom

Naredili bomo 3-bitni števec s signalom reset in vhodom za omogočanje. Števec naj po resetu ob signalu **en** povečuje vrednost do 7, potem pa se ustavi. Kadar je reset na 0, naj se števec resetira.

1. Prenesi in odpakiraj predlogo projekta: [DE0_projekt.zip](#), v orodju Quartus naredi model števca v jeziku VHDL in preveri delovanje na simulaciji.
2. Dodaj v projekt delilnik ure in datoteko [letluc.vhd](#), ki naj bo glavna datoteka vezja. V tej datoteki s stavkom **port map** poveži delilnik in števec. Primer kode za delilnik:

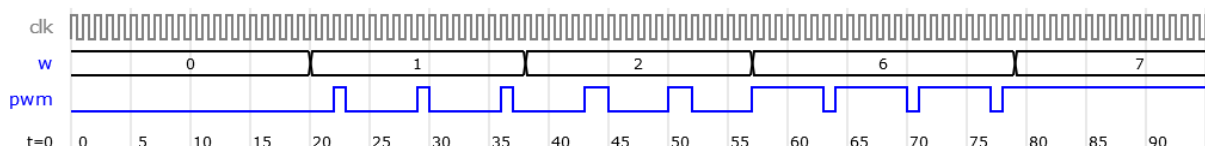
```
u1: entity work.delilnik port map (
  clk => clk,
  M => to_unsigned(2000000, 26),
  en => en
);
```

- deklariraj enobitni notranji signal en
 - reset števca poveži na key(0)
 - izhod števca poveži na led(2 downto 0)
3. Prevedi vezje in preizkusi delovanje na razvojni plošči.

PWM

Naredili bomo 3-bitni pulzno-širinski modulator z vhodi: clk, 3-bitnim **w** in eno-bitnim izhodom.

1. Modulator vsebuje 3-bitni števec po modulu 6. Kadar je vrednost števca manjša od vhoda, se izhod postavi na 1, sicer pa naj bo na 0. Naredi opis modulatorja in preveri delovanje s simulacijo.



2. Dodaj modulator kot komponento v vezje, tako da bo vhod povezan na števec, izhod pa na eno izmed preostalih led. Prevedi in preizkusi delovanje na razvojni plošči.