

4. vaja: Števec in delilnik

Naredili bomo model dveh povezanih števecv in se naučili uporabljati števec kot delilnik ure.

Števec

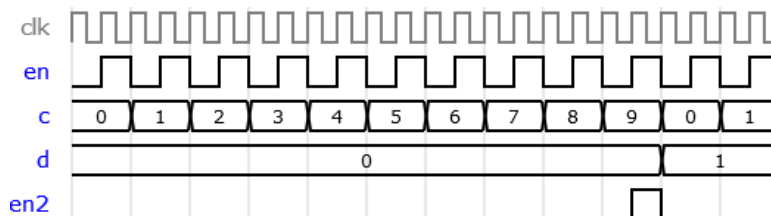
Sinhroni binarni števec je sekvenčno vezje s povratno zanko v katerem je izhodno stanje vezano nazaj na vhod. Vrednost izhoda binarnega števca je enaka vhodni vrednosti, povečani za 1.

1. Naredi model 4-bitnega sinhronnega števca po modulu 10. Izhod števca naj bodo vrednosti med 0 in 9. Ob kateri vrednosti je potrebno števec postaviti na 0 ? Preizkusi na simulaciji.
2. Dodaj vhodni signal za omogočanje štetja (**en**), tako da se bo vrednost števca spremenila le ko je **en** enak 1. Dodaj še signal **reset**, ki postavi števec na 0. Razmisli, kako je potrebno zapisati zaporedje pogojev za dodatne signale, da bo imel signal **reset** prednost pred ostalimi.

Kakšen mora biti pogojni stavek, če je pogoj za **reset** zapisan v prvi vrstici kode in kakšen, če je zapisan v zadnji ? Preizkusi na simulaciji in razloži !

3. Dodaj enobitni signal **en2**, ki se postavi na 1 ob pogoju za prehod števca iz 9 na 0. Dodaj v opis vezja še en 4-bitni števec s signalom za omogočanje **en2** in preveri delovanje na simulaciji.

S kakšnim prireditvenim stavkom mora biti definirana logika za signal **en2**, da bosta števca delovala sinhronizirano (glej prehod med 0 9 in 1 0) ?



Števec z delilnikom

Števec, ki določa signal za omogočanje drugega števca (ali drugega sekvenčnega vezja), deluje kot delilnik ure za sinhrona vezja. Faktor deljenja frekvence je določen z modulom štetja.

1. Kopiraj datoteke projekta iz predloge za razvojno ploščo DE0 Nano: [DE0_projekt.zip](#) v mapo (npr: c:\proj\iv\ime\stevec). Z dvoklikom na projekt.qpf odpri program Quartus in nastavi ime glavne entitete: Assignments > Settings, poišči General in v Top-level entity vnesi: stevec.
2. Uporabi 4-bitna števca iz prejšnje vaje in dodaj še delilnik za prvi števec. Na razvojni plošči imamo uro frekvence 50 MHz. Delilnik naj ob uri šteje do 50.000.000 in ob prehodu na 0 postavi signal en na 1. Ugotovi, koliko biten signal potrebujemo za delilnik ? Signala povezanih števecv združi v 8-bitni izhod **led**, tako da bo imel model vezja v jeziku VHDL le vhod **clk** in izhod **led**. Prenesi v Quartus, prevedi in preizkusi na razvojni plošči.