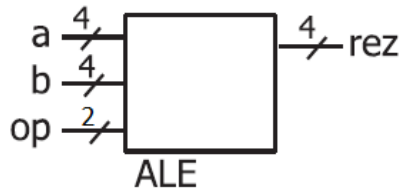


2. vaja: Kombinacijska ALE

Naučili se bomo izdelati model kombinacijske aritmetično logične enote.

4-bitna aritmetično logična enota



Opiši vezje 4-bitne aritmetično logične enote, ki izvaja štiri operacije nad predznačenima vhodnima signaloma **a** in **b** ter shrani rezultat v 4-bitni izhod **rez**. Operacije določa 2-bitni vhod **op**: 0 določa seštevanje, 1 odštevanje, 2 logično in operacijo (**and**) in 3 logično ali operacijo (**or**).

1. Naredi model ALE v spletnem orodju in preizkusi delovanje s simulacijo. S katerim stavkom je najbolje opisana ALE v jeziku VHDL ?
 - prenesi VHDL kodo v Quartus in naredi še simulacijo z orodjem ModelSim.
 - prenesi tudi testno strukturo, datoteko ale_tb.vhd dodaj v Quartus in nastavi: Assignments > Settings, EDA Tool Settings > Simulation, Compile test bench
2. Povečaj izhod na 5 bitov, da bo na najvišje mesto prišel prenos pri seštevanju in odštevanju. Kako so sedaj v jeziku VHDL opisane aritmetične in logične operacije ?
3. Dodaj še ničelno zastavico; izhodni signal **zero** naj se postavi na 1, kadar je rezultat ALE enak 0. Delovanje preizkusi na simulaciji. Ugotovi, kaj se je zgodilo pri pretvorbi zadnjega modela vezja v jezik VHDL.