

Digitalna integrirana vezja in sistemi

Andrej Trost

Vaja 2: vmesnik, testna struktura in optimizacija sita

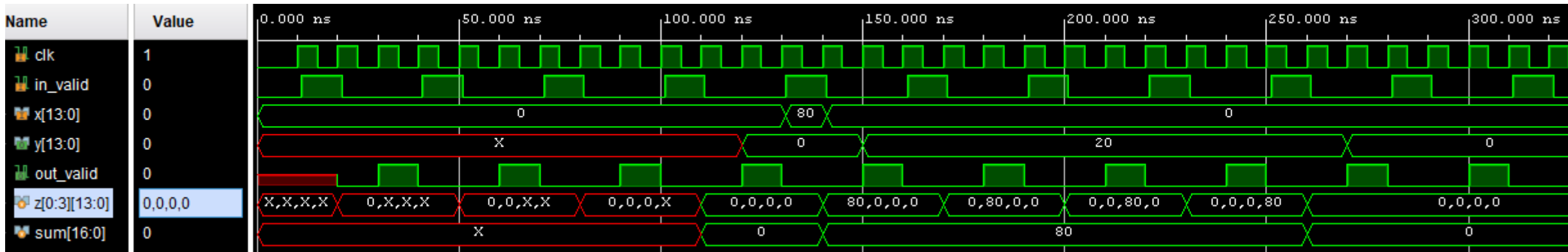
Orodje: Vivado 2025.1

Naloga: dodaj v povprečevalno sito kontrolne signale, preizkusi s testno strukturo, optimiziraj vezje, analiziraj zmogljivost in zasedenost FPGA

Povprečevalno sito

- v opis sita dodaj signale za veljavnost podatkov
 - vhod: in_valid=1, nov vhodni podatek
 - izhod: out_valid ob veljavnem rezultatu
- izvedi simulacijo sita pri N=4
 - uporabi testno strukturo [tb_avgN.sv](#)
- Kakšna je latenca vezja v ciklih ure? _____

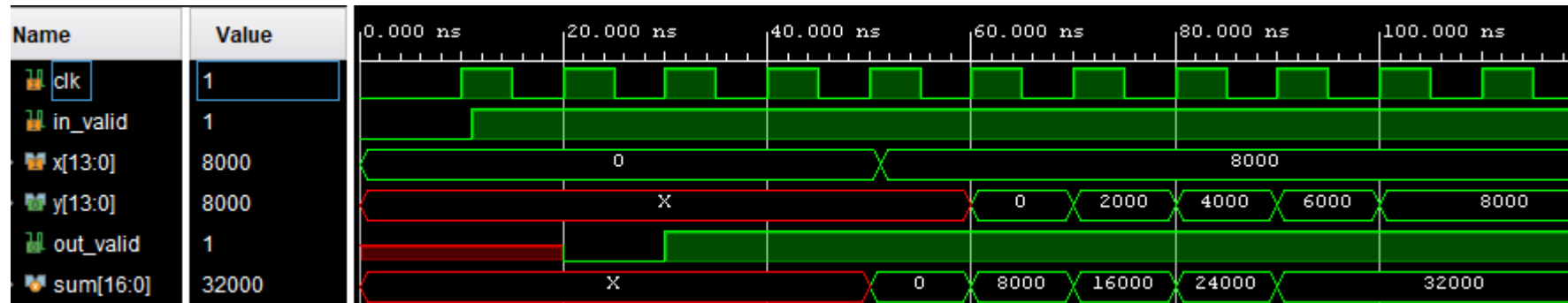
```
module avgN #(parameter int N=4)(  
    input logic clk,  
    input logic in_valid,  
    input logic signed [13:0] x,  
    output logic signed [13:0] y,  
    output logic out_valid  
);
```



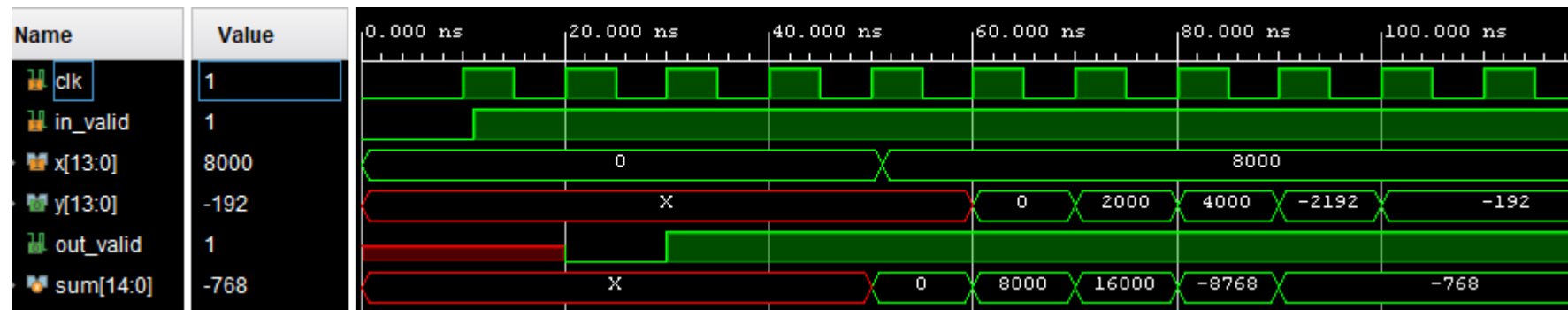
Simulacija s testno strukturo

Posodobi testno strukturo

- preizkus z impulzom in stopnico
- preizkus negativnih vrednosti
- preizkus preliva (pri zelo velikem vhodu ne sme priti do preliva)



OK



X

Sinteza in implementacija sita pri N=256

- povečaj sito na N=256 in preizkusi delovanje s simulacijo
- constraints: nastavi uro na 20 ns

`create_clock -name clk -period 20.000 [get_ports clk];`

 - izvedi sintezo, preglej zasedenost vezja in zakasnitve
 - izvedi implementacijo, ugotovi min. periodo ure: 20 ns - WNS in maksimalno frekvenco
- optimiziraj vezje
 - prištej nov podatek in odštej zadnji podatek: `sum <= sum + x - z[N-1];`
 - preveri delovanje s simulacijo
 - izvedi sintezo in implementacijo ter izpolni tabelo
- razloži, zakaj je optimizirano vezje toliko manjše in hitrejše

vezje	LUT / FF / DSP	zakasnitev [ns]	št. logičnih nivojev	perioda [ns]	frekvenca [MHz]