

Digitalna integrirana vezja in sistemi

Andrej Trost

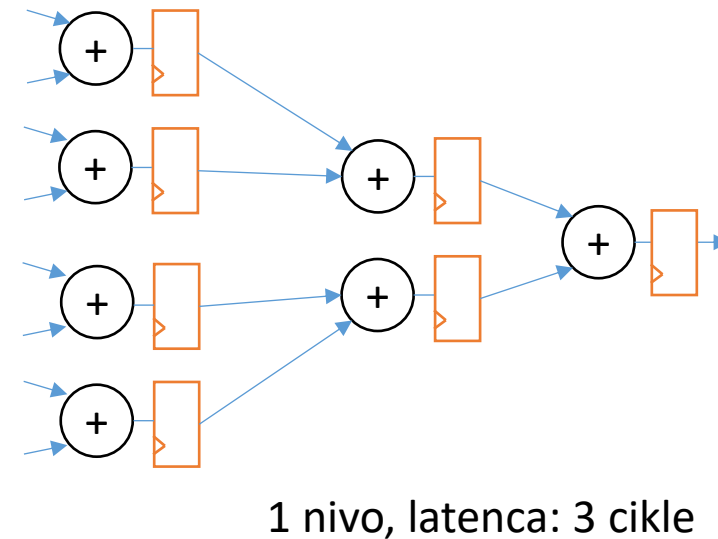
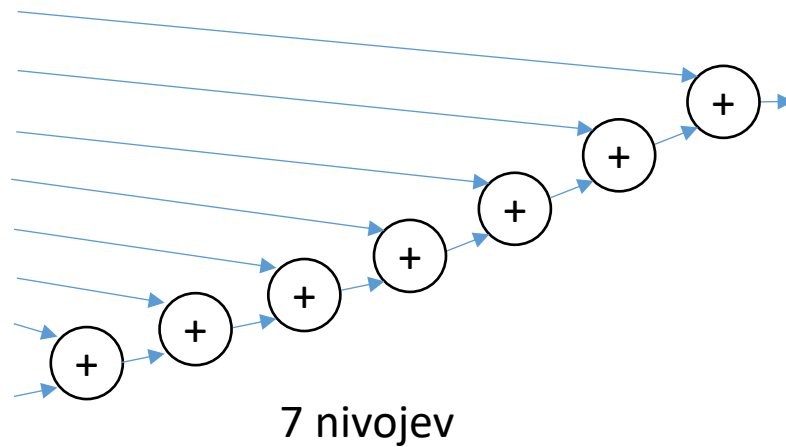
Vaja 4: Visokonivojska sinteza

Orodje: Vitis 2025.1

Naloga: Opiši sintetiziraj cevovodno vezje za delilnik celih števil poljubne natančnosti v jeziku C++, preveri zmogljivost in porabo virov vezja FPGA

Povprečevalno sito z N odcepi

- Izvedbe seštevanja, seštevalno drevo s cevovodom



- Kako bi načrtovali delilnik v cevovodni izvedbi?

Načrtovanje v jeziku (System)Verilog ali VHDL

Plusi

- Natančna specifikacija in nadzor nad izvedbo vezja
- Podpirajo vsa orodja za FPGA in ASIC

Minusi

- Omejena uporaba realnih števil
 - kompleksna vezja za računanje s plavajočo vejico
- Produktivnost
 - dolgotrajen proces načrtovanja in verifikacije
- Lastnosti vezja dobimo šele po implementaciji
 - dolgotrajen proces sinteze in implementacije

Visokonivojski model vezja

- C++ funkcija, ap_int za 14-bitna števila

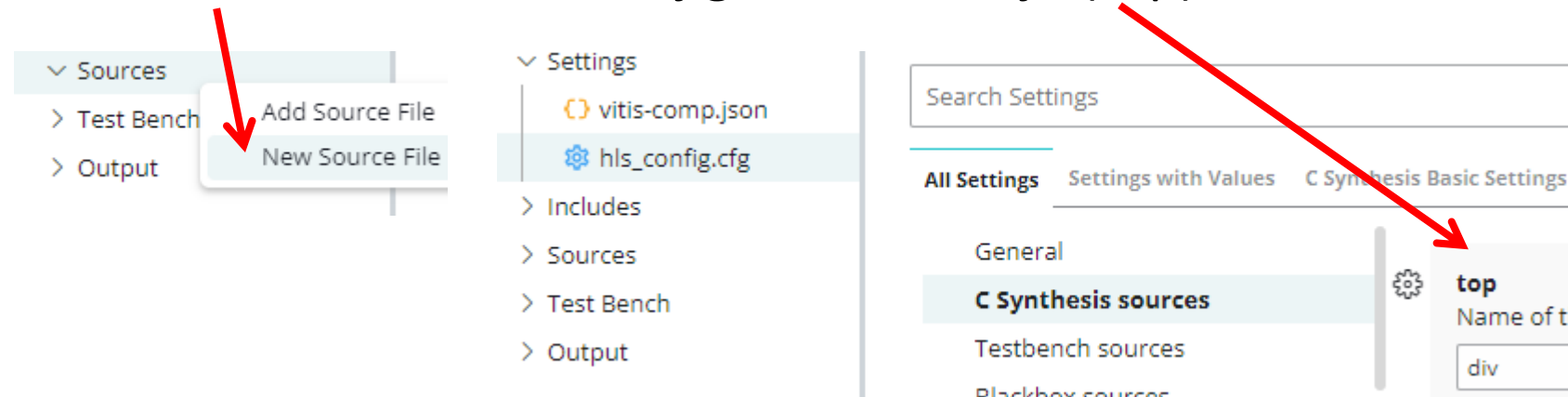
```
#include <ap_int.h>
ap_int<14> div(ap_int<14> a, ap_int<14> b)
{
    return a / b;
}
```

- uporabi #define

```
#define DT ap_int<14>

DT div(DT a, DT b)
```

- Vitis 2025, HLS Development > Create (Empty) Component
 - Določi ime: div, location: C:\proj\div
 - Izberi: Empty Config File
 - Part: xc7z007... Clock: 33MHz
- Create new Source in definiraj glavno funkcijo (top)



Sinteza vezja

- Synthesis > Run, poročilo:
 - 18 ciklov latence (sekvenčno vezje)
 - zasedenost podobna modelu v Verilogu



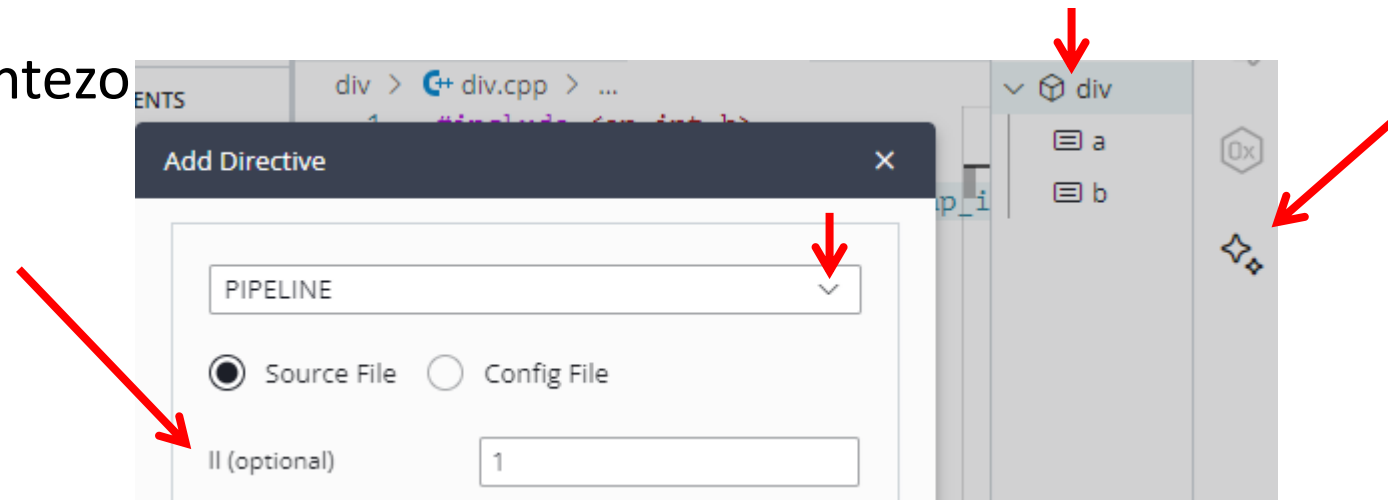
Name	LUT	FF
✓ synth_1	209	42
✓ impl_1	209	42

TARGET	ESTIMATED	UNCERTAINTY
30.30 ns	2.952 ns	8.18 ns

Performance & Resource Estimates

MODULES & LOOPS	LATENCY(NS)	INTERVAL	PIPELINED	STRUCTURE	BRAM	DSP	FF	LUT
div	515.000	18	no	function	0	0	196	194

- Dodamo direktive in ponovimo sintezo
 - pipeline, Initiation Interval
 - II = 1, nov podatek vsak cikel ure
- preveri poročilo sinteze
Latenca (v ciklih), interval, FF, LUT...



Simulacija

- Testbench
- prevedi in izvedi program v C++
- rezultat v konzoli

```
#include <iostream>

int main() {
    DT x[] = {0, 10, 20, 100};
    DT y[] = {1, 2, 3, 4};

    for (int i = 0; i < 4; i++) {
        DT rez = div(x[i], y[i]);
        std::cout << (int)x[i] << "/" << (int)y[i] << " = " << (int)rez << "\n";
    }

    return 0;
}
```

- Preveri s sočasno simulacijo C++ in HDL modela
- Spremeni podatkovni tip na fixed point, npr: ap_fixed<18,14>

št. bitov celoštevilski del

Vezje	ura [MHz]	latenca ciklov	interval ciklov	LUT / FF / DSP