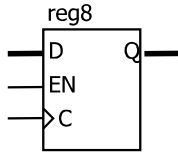


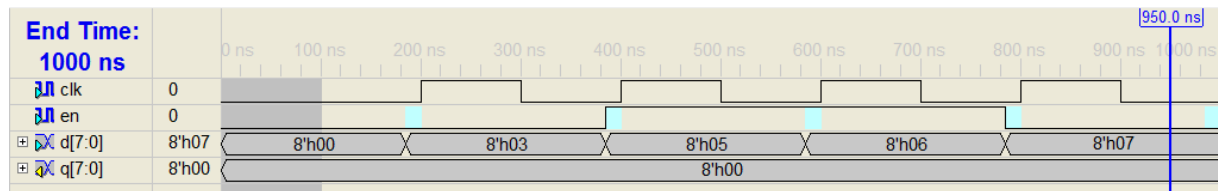
2. vaja: Register in sekvenčno vezje

1.1 Register



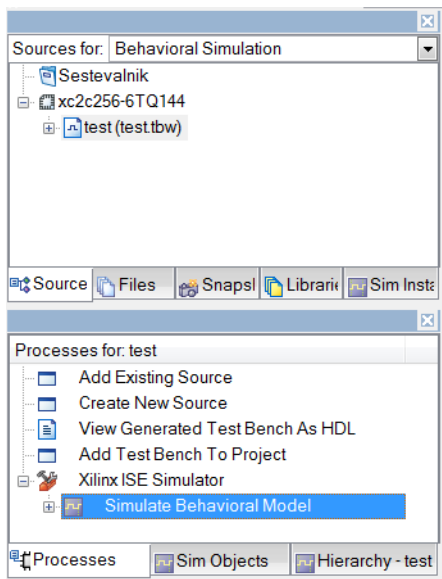
Naredi opis 8-bitnega registra, ki prenaša podatke na izhod ob naraščajoči fronti ure in ima vhod za omogočanje (enable). Kadar je signal EN enak '1', naj se podatek iz vhoda D prepíše na izhod Q, sicer pa naj se izhod ne spremeni. Naredi simulacijo registra s testno strukturo Test Bench Waveform.

Opiši register s procesom v jeziku VHDL in preveri sintakso. Nato dodaj v projekt novo datoteko (Project > New Source) vrste Test Bench Waveform. Določimo ime testne strukture in izberemo vezje za katero bomo naredili testno strukturo. V naslednjem oknu po potrebi spremenimo osnovne parametre ure in začetno dolžino simulacije.



Obliko vhodnih signalov določimo grafično. Enobitni signali spremenijo vrednost, če kliknemo na modro polje, za večbitne signale pa se odpre okno, kjer jim nastavimo vrednost. Če ugotovimo, da je potrebno spremeniti časovno skalo ali interval, najdemo nastavitve v meniju Test Bench. Na koncu ne pozabimo shraniti narejene testne strukture.

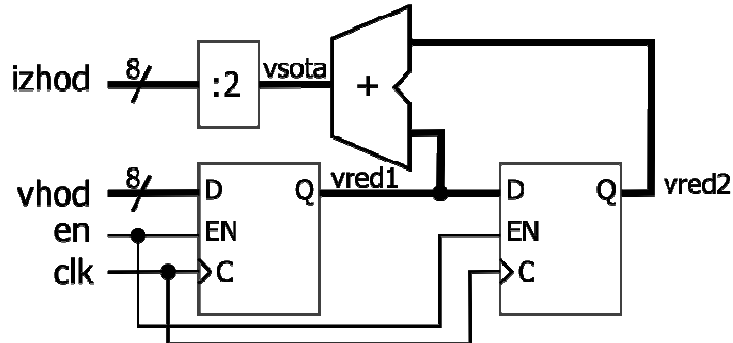
Postopki za zagon simulatorja se odprejo, ko v zavihku Sources izberemo: Behavioral Simulation. Poskrbimo, da je označena datoteka s testno strukturo.



V oknu Processes izberemo zavihek Processes. Glede na nastavljeno vrsto simulatorja se pokaže Xilinx ISE Simulator, kjer odpremo postopke s klikom na +. Sedaj lahko z dvojnimi klikom na Simulate Behavioral Model požene simulacijo. Če smo dobro pripravili testno strukturo sedaj v simulacijskem oknu le še pregledamo rezultat simulacije.

1.1 Sekvenčno vezje

Naredi vezje za izračun povprečja zadnjih dveh vrednosti, ki prihajajo na vhod. V vezju uporabite dva registra, ki shranjujeta dve zaporedni vrednosti iz vhoda in seštevalnik za izračun vsote. Povprečno vrednost dobimo tako, da vsoto delimo z 2 (odstranimo zadnji bit).



Nasvet: vezje ima 8-bitni podatkovni vhod in izhod ter dva enobitna kontrolna signala: clk in en. Ostale signale (vred1, vred2 in vsota) definiraj kot notranje signale v arhitekturnem stavku:

architecture opis of povprecje is

```
signal vred1: std_logic_vector(7 downto 0);
```

```
signal ...
```

begin

Definiraj proces za opis obeh registrov, vsoto in deljenje z 2 pa zapiši s prireditvenima stavkoma izven procesa (kombinacijsko vezje). Pri seštevanju upoštevaj, da lahko pride do prenosa, zato pred seštevanjem dodaj k vhodu en bit in shrani vsoto v 9-bitni vektor:

```
vsota <= ('0' & vred1) + ...
```

Naredi sintezo vezja in izpiši zasedenost vezja CPLD:

RESOURCES SUMMARY

Macrocells	Pterms Used	Registers Used	Pins Used

Poišči maksimalno frekvenco ure v poročilu: Timig Report. Nato dodaj še en register na izhod vezja in ugotovi, kakšna je sedaj maksimalna frekvenca ure: _____

Preizkusi delovanje vezja na simulatorju.