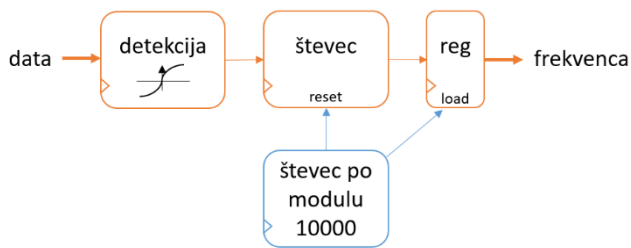


8. vaja: Frekvenca generatorja

Naredili bomo vezje, ki izmeri izhodno frekvenco generatorja sinusnega signala.



korak	f	frekvenca [Hz]
172		
343		
686		
1000		

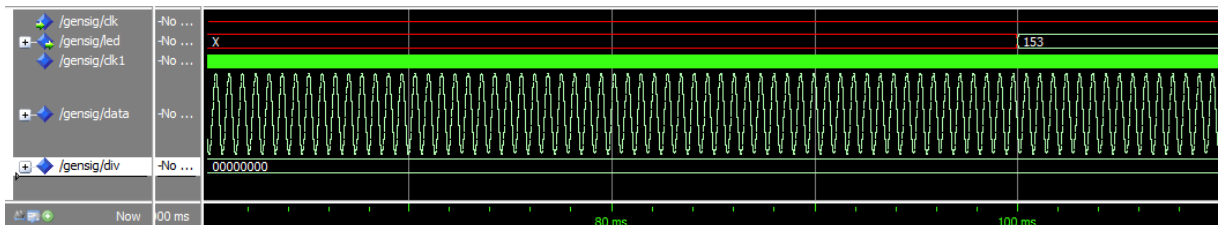
Merjenje frekvence

Merilnik frekvence je vezje, ki šteje in prikazuje število period v časovni enoti. Čas določamo s štetjem period vhodne (referenčne) ure. Uporabili bomo uro s periodo 0.01 ms in interval merjenja frekvence 100 ms.

1. Naredi model vezja (**entity** merilnik), ki ima na vhodu 8-bitni predznačen podatek (**data**) in na izhodu 8-bitni register (**f**), ki bo vseboval število period v 100 ms.
2. Opiši logiko za zaznavanje prehoda vhodnega podatka čez vrednost 0 v pozitivni smeri. Vezje mora shranjevati prejšnjo vrednost vhodnega podatka in jo primerjati s trenutno vrednostjo. Ko zazna prehod čez 0, naj poveča 8-bitni števec period.
3. Dodaj v vezje še en števec, ki bo določal časovni interval meritve. Števec naj šteje do 9999, nato pa se ponastavi na 0 (štetje po modulu 10000). Ob koncu intervala naj se vrednost števca period prenese v izhodni register (**f**), obenem pa naj se števec period ponastavi na 0.

Sistem z generatorjem

1. Merilnik frekvence bomo povezali v sistem z generatorjem signala iz prejšnje vaje. Odpakiraj datoteke testnega projekta [gensig.zip](#) in dodaj model merilnika v jeziku VHDL, da bo projekt vseboval:
 - gen.vhdl, generator sinusnega signala
 - merilnik.vhdl, VHDL opis merilnika frekvence
 - gensig.vhdl, glavno vezje z vključenim delilnikom ure, generatorjem in merilnikom
2. Preizkusi delovanje merilnika na simulaciji v orodju ModelSim, kjer nastavi uro clk1 in poženi simulator za 500 ms. Korak generatorja signala naj ima vrednost 1000 (desetiško).



```
force -freeze clk1 1 0, 0 {5000000 ps} -r 10us
run 500 ms
```

3. Prevedi projekt v orodju Quartus in opazuj rezultat meritve na svetlečih diodah na razvojni plošči. Nastavi še druge vrednosti za korak in v tabelo zapiši rezultate. Za izbiro koraka uporabi 4-bitne tipke.