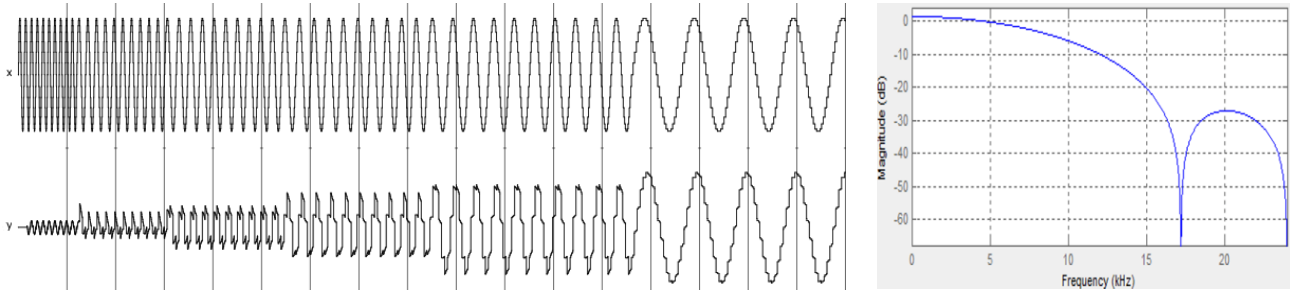


4. vaja: Sekvenčno vezje – digitalno sito

V jeziku VHDL bomo naredili opis digitalnega sita, ki prepušča nizke frekvence v vhodnem signalu in zaduši (zniža amplitudo) visokim:



Naredi opis vezja digitalnega sita s končnim odzivom (FIR), ki ima štiri koeficiente: $c_0 = c_3 = 157$, $c_1 = c_2 = 355$. Vhod v vezje ob n -tem ciklu ure naj bo $x[n]$, izhod $y[n]$ pa se izračuna po enačbi:

$$y[n] = \frac{1}{1024} (c_0 \cdot x[n] + c_1 \cdot x[n-1] + c_2 \cdot x[n-2] + c_3 \cdot x[n-3])$$

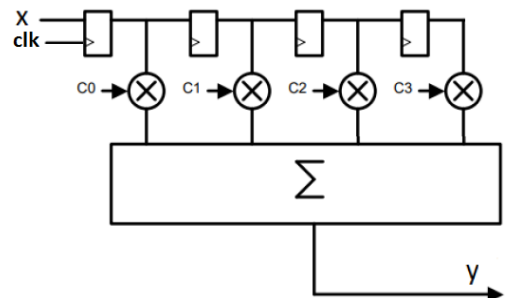
4.1 Zgradba vezja

Vhodni in izhodni signal vezja sta 8-bitna predznačena vektorja (**signed**). Sito je sinhrono sekvenčno vezje z registri, ki jih opišemo s procesom v katerem je pogoj za fronto ure: **if rising_edge(clk) then...** Vsi prireditveni stavki znotraj tega pogoja opisujejo registre ali flip-flope. Kombinacijske gradnike dodamo v vezje kot sočasne stavke izven procesa.

Koeficiente definiramo kot 10-bitne predznačene konstante:

```
constant c0: signed(9 downto 0) := to_signed(157, 10);1
```

Zakasnjene vrednosti vhodnega signala dobimo z zaporedno vezanimi registri, rezultat množenja pa shranimo v 18-bitne vektorje, ki jih seštejemo in na koncu vsoto delimo z 1024 (odrežemo najnižjih 10 bitov).



4.2 Simulacija

V projekt programa ModelSim dodaj testno strukturo [TestFir.vhd](#), ki generira frekvenčni prelet sinusnega signala na vhodu vezja. Poženi simulacijo za 100 us, nato pa nastavi decimalni zapis vhoda in izhoda: radix, decimal in format: analog(automatic).

¹ VHDL 2008 omogoča tudi krajši zapis 10-bitne desetiške konstante, ki se pretvori v 10-bitni vektor: `10D"157"`; Če želimo uporabiti takšen zapis, moramo nastaviti lastnosti datoteke: Properties, zavihek VHDL, Use 1076-2008