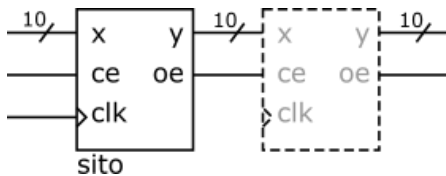


5. vaja: Decimacija podatkov

Časovno os digitalnega osciloskopa določa frekvenca vzorčenja podatkov, ki prihajajo iz A/D pretvornika. Pretvornik na Red Pitayi deluje pri konstantni frekvenci 125 MHz, nižje frekvence pa bomo dobili s postopkom decimacije. Decimacija za faktor N pomeni, da prenesemo na izhod vsak N-ti vzorec podatkov, ki jih predhodno filtriramo, tako da odstranimo visoke frekvence.



Naredi digitalno sito, ki izvaja decimacijo vhodnih podatkov s faktorjem 10 in filtriranje z računanjem povprečja. Vezje ima 10-bitni predznačen (**signed**) podatkovni vhod in izhod, kontrolni signal *ce*, ki določa veljaven vhodni podatek in kontrolni izhod *oe*, ki določa veljavno izhodno vrednost. Kontrolni signali naj omogočajo zaporedno vezavo decimacijskih sit za nižanje frekvence s faktorji 100, 1000...

Vezje naj izvaja računanje z vhodnimi podatki ob fronti ure (*clk*) in ko je signal *ce* postavljen na '1' (veljaven vhodni cikel). V vezju naj bo 4-bitni števec (*n*), ki šteje veljavne vhodne cikle in se spreminja od 0 do 9:

- pri $n=0$ naj vsota dobi vrednost trenutnega vhoda (*x*)
- sicer pa naj se k vsoti prišteje vrednost trenutnega vhoda.

Celotno vsoto dobimo ob vsaki ponovitvi računskih ciklov (pri $n=0$) in jo uporabimo za izračun povprečne vrednosti. Ker zahteva operacija deljenja z 10 v logičnem vezju veliko gradnikov in posledično zakasnitev, uporabimo približek po enačbi:

$$povprečje = \frac{102 \cdot vsota}{1024}$$

Ob vsaki ponovitvi računskih ciklov damo povprečno vrednost na izhod (*y*) in postavimo izhodni signal *oe* na '1' (v vseh ostalih urnih ciklih naj bo $oe='0'$).

Naloga

Opiši v jeziku VHDL vezje decimacijskega sita. Za štetje, računanje vsote in povprečja deklariraj ustrezno velike notranje signale. Preizkusi delovanje sita s testno strukturo.

