



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*  
Fakulteta *za elektrotehniko*



# Navodila za izdelavo poročila

DES 2015/16 - razvoj vgrajenega sistema

# Splošna navodila

---

- ▶ poročilo napišite in oddajte v elektronski obliki do **10.6.2016** na naslov: *andrej.trost@fe.uni-lj.si*
- ▶ oblika poročila naj bo v obliki Word ali pdf dokumenta, poleg dokumenta priložite datoteke \*.vhd (arh: \*.sch, \*.brd)
  - ▶ ne prilagajte celotnih projektov!
- ▶ poročilo predstavlja del (30%) končne ocene
- ▶ kriteriji:
  - ▶ vsebina vključuje predlagane točke glede na skupino
  - ▶ pravilnost razlage (kratko in nedvoumno) in izvedbe
  - ▶ dodatne točke za izvirno rešitev (npr. arhitektura – log. sonda, grafika – izvirnost grafov ali optimizacija, vmesnik – generična izvedba)
- ▶ št. strani ni omejeno, naj bo pa poročilo jedrnato in berljivo

# Arhitektura - poročilo

---

- ▶ naslovna stran, uvod: predstavi namen projekta
- ▶ vsebina:
  1. predstavi shemo končnega vezja, izseki in razlaga prenosa podatkov
  2. VGA vmesnik, izračun uporov pri 2-bitnem D/A
  3. razloži postavitev elementov na tiskanem vezju, seznam elementov
  4. napetostni nivoji na posameznih skupinah signalov
  5. blokovna shema vmesnika v CPLD in razlaga delovanja, prikaz na simulaciji
- ▶ zaključek: možnosti nadgradnje, viri

# Grafika - poročilo

---

- ▶ naslovna stran, uvod: predstavi namen projekta
- ▶ vsebina:
  1. razloži VGA komponento in sinhronizacijske signale
  2. predstavi delovanje logike za prikaz sličice, izsek iz kode
  3. predstavi vezje za prikaz besedila, nariši blokovno shemo z vsemi komponentami (VGA, CROM, VGAtest)
  4. opiši vezje za prikaz grafikona, nekaj izsekov iz kode z razlago
  5. razloži delovanje vezja in predstavi časovni potek signalov na izseku iz simulacije ter končno sliko (slika.txt)
- ▶ zaključek: možnosti nadgradnje, viri

# Logika - poročilo

---

- ▶ naslovna stran, uvod: predstavi namen projekta
- ▶ vsebina:
  1. razloži delovanje zaporednega vmesnika (UART)
  2. predstavi delovanje osnovne logike za zajem signalov in vpis v pomnilnik, razloži kako poteka sinhronizacija na uro extclk
  3. opiši vezje za proženje, zajem logičnih vrednosti in branje signalov
  4. prestavi sistemski vmesnik in testno strukturo, izsek iz simulacije
  5. razloži, kako se izdelano vezje vključi v celoten sistem logičnega analizatorja – nariši shemo, priklop na CPLD, povezava z grafiko
- ▶ zaključek: možnosti nadgradnje, viri