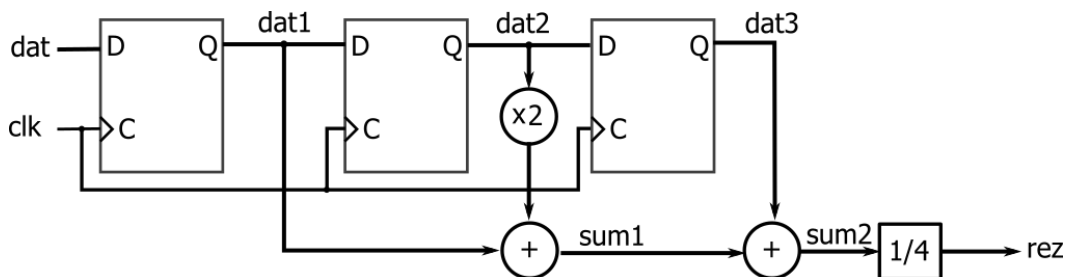


## 4. vaja: Sekvenčno vezje

Obravnavali bomo sinhrona sekvenčna vezja, ki jih opišemo v jeziku VHDL s sinhronim procesom. Prvi stavek v procesu je pogoj za fronto ure: `if rising_edge(clk) then...` Vsi prireditveni stavki znotraj tega pogoja opisujejo registre ali flip-flope. Kombinacijske gradnike dodamo v vezje kot sočasne stavke izven procesa.

### 4.1 Gaussovo sito

Naredi opis vezja Gaussovega sita s tremi koeficienti. Vezje ob vsaki naraščajoči fronti ure sprejme nov 8-bitni podatek in izračuna uteženo povprečje zadnjih treh podatkov. V vezju potrebujemo registre za shranjevanje zadnjih treh vrednosti in nekaj kombinacijskih operacij.



Vezje ima na vhodu uro in 8-bitni vektor `dat` tipa `unsigned`, izhod `rez` naj bo prav tako 8-biten. Poišči in odstrani komentar, tako da bo v opis vezja vključen paket `IEEE.numeric_std`. Ostale signale (`dat1`, `dat2`, `dat3`, `sum1` in `sum2`) definiraj kot notranje signale v arhitekturnem stavku:

```
architecture opis of Gauss is
    signal dat1, dat2, dat3: unsigned(7 downto 0);
    signal ...
begin
```

Vse tri registre opiši s sinhronim procesom. Izven procesa dodaj stavke za opis kombinacijske logike. Upoštevaj dodatni bit ('0' na levi) zaradi prenosa pri vsoti in dodaj '0' na desni strani za množenje signala `dat2` z 2:

```
sum1 <= ("00" & dat1) + ('0' & dat2 & '0');
```

Dodaj še stavek za drugo vsoto in opiši deljenje s 4 tako, da zadnji vsoti odrežeš dva bita. Preizkusi delovanje vezja na simulatorju. Najprej določi uro, nastavi vhodne podatke na 0 in izvedi simulacijo za vsaj 3 cikle, da bodo vsi registri na 0. Nato spremeni vhod na 1 in opazuj spreminjanje izhodov, po nekaj ciklih pa postavi vhod na višjo vrednost in opazuj izhode.