



Delavnica Xilinx Zynq in Vivado

razvoj vgrajenih sistemov na čipu

v laboratoriju LRNV, 3.12.2014, 14^h-18^h



Program

- 14^h-15^h⁴⁵
- Uvodna delavnica
 - Kratka predstavitev Xilinx Zynq in orodja Vivado (Andrej Trost, FE)
 - Praktično delo z orodjem Vivado (Gašper Jeriček, Silica)
 - Vodena laboratorijska vaja: VHDL opis enostavne računske enote, izdelava gradnika IP, izdelava sistema na osnovi vzorčnega primera in aplikacija na plošči ZedBoard
 - Odmor
- 16^h-18^h
- Nadaljevalna delavnica
 - Postopki načrtovanja strojne opreme in demonstracija orodja za sintezo gradnika IP iz funkcije v jeziku C (A. Trost)
 - Praktično delo: razvoj grafičnega sistema z lastnimi gradniki IP
 - Laboratorijska vaja vključuje izdelavo gradnika IP s pomnilniškim vmesnikom iz VHDL opisa, povezavo s procesorjem preko krmilnika in pomnilnika BRAM, izdelavo testne aplikacije in preizkus na plošči.