



Vabilo

Delavnica Xilinx Zynq in Vivado razvoj vgrajenih sistemov na čipu

v laboratoriju LRNV, 13.11.2013, 14^h15-19^h

Program

- 14^h15-16^h
- Uvod v sisteme na čipu (SoC) in orodja (Andrej Trost, FE)
 - Predstavitev SoC Zynq in razvojne plošče (Gašper Jeriček, Silica)
 - Primer uporabe: merilna naprava Red Pitaya slovenskega proizvajalca (Instrumentation Technologies)
 - Praktično delo z orodjem Vivado in ZedBoard (G. Jeriček)
 1. vaja: VHDL opis enostavne računske enote in izdelava IP
 2. vaja: izdelava sistema na osnovi vzorčnega primera, vključitev komponente IP in osnovna »helloworld« aplikacija
 - Odmor
- 16^h15-19^h
- Razvoj sistema z grafično periferno enoto (A. Trost)
 3. vaja: izdelava blokovnega diagrama osnovnega sistema
 4. vaja: izdelava projekta z grafičnim VGA vmesnikom, preizkus vmesnika in izdelava komponente IP
 5. vaja: povezava komponente v sistem in izdelava aplikacije

Vabljeni vsi, ki se ukvarjate s tehnologijo FPGA in s procesorji ARM, pričakujemo predznanje jezikov VHDL ali Verilog in programskega jezika C. Na delavnici bomo uporabljali brezplačno programsko opremo Xilinx Vivado 2013.3 (www.xilinx.com) in razvojne plošče ZedBoard (www.zedboard.org).

Prijave pošljite na: andrej.trost@fe.uni-lj.si. Število mest je omejeno!

