

2

Digitalni signali

Digitalni signali so signali, ki lahko zavzamejo le končno število različnih stanj. Imenujemo jih tudi *diskretni signali*. Preprost primer digitalnega signala je število dvignjenih prstov na roki – število je lahko le ena izmed vrednosti iz diskretnega območja med 0 in 10. Beseda *digitalni* prihaja iz latinskega izraza *digitus*, ki pomeni prst. V tem poglavju bomo predstavili digitalne signale v obliki dvojiškega zapisa in napetostnih nivojev v elektronskem vezju.

2.1 Binarni signali



V digitalnih elektronskih vezjih se največkrat uporabljajo *binarni* signali, ki lahko zavzemajo le dve možni stanji, označeni kot:

- napačno (false) ali pravilno (true),
- nizko (potencial V_L) ali visoko (V_H),
- številka 0 ali 1.

Dve stanji opisujeta preproste pojave, kot so prižgana oziroma ugasnjena žarnica ali stikalo. Predstavljata lahko logično trditev, ki je pravilna ali napačna. Zapis stanj v obliki pravilno (true) ali napačno (false) je primeren za obravnavo vezij, ki izvajajo odločitvene operacije. Primer preproste logične operacije je negacija: napačno stanje spremenimo v pravilno in obratno. Element, ki izvaja logično negacijo, imenujemo logični negator ali inverter.

Najpogostejši zapis digitalnih stanj je v obliki številskih vrednosti 0 ali 1. Takšen zapis ni samo najkrajši, ampak je tudi primeren za računanje, saj digitalna vezja velikokrat izvajajo računske operacije. Vrednost 0 ali 1, ki jo zavzame enostaven signal, imenujemo binarna številka

ali *bit* (angl. binary digit). Vodila v digitalnih vezjih pa prenašajo večbitne vrednosti v dvojiškem zapisu. Za razumevanje dvojiških vrednosti si najprej pogledjmo, kako so sestavljena večmestna desetiška števila. Vrednost desetiškega števila lahko zapišemo kot vsoto števk, pomnoženih s koeficienti potence 10. Enice množimo z 10^0 , desetice z 10^1 , stotice z 10^2 itn. Primer:

$$523_{(10)} = 5 \cdot 10^2 + 2 \cdot 10^1 + 3 \cdot 10^0$$

Popolnoma enako velja za dvojiška števila, le da pri izračunu desetiške vrednosti uporabimo potence števila 2. Posamezne številke dvojiškega števila pomnožimo s potencami števila 2 in seštejemo. Pri zapisu celega števila množimo skrajno desno dvojiško številko z 2^0 , naslednjo z 2^1 in tako dalje. Pogledjmo si primer izračuna desetiške vrednosti 4-bitnega števila:

$$1100_{(2)} = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 8 + 4 = 12_{(10)}$$

Pretvorbo najlažje naredimo tako, da nad vsako številko zapišemo ustrezno potenco števila 2 in seštejemo tiste potence, pod katerimi je binarna številka 1:

$$\begin{array}{cccc} 8 & 4 & 2 & 1 \\ \hline 1 & 1 & 0 & 0 \end{array}_{(2)} = 8 + 4 = 12$$

Prvi digitalni mikroprocesor Intel 4004 je računal s 4-bitnimi vrednostmi, ki v desetiškem sistemu pokrijejo območje le ene desetiške številke. Če bi želeli računati z dvomestnimi desetiškimi števili (vrednosti med 0 in 99), bi potrebovali 7-bitni dvojiški zapis z območjem med 0 in 127. Pri delu z dvojiškimi signali je koristno, če znamo potence števila 2 na pamet. Te določajo zgornjo mejo območja vrednosti, kot prikazuje tabela 2.1.

N	N-bitna števila	2^N	območje vrednosti
2	00–11	4	0–3
3	000–111	8	0–7
4	0000–1111	16	0–15
5	00000–11111	32	0–31
6	000000–111111	64	0–63
7	0000000–1111111	128	0–127
8	00000000–11111111	256	0–255
9	000000000–111111111	512	0–511
10	0000000000–1111111111	1024	0–1023

Tabela 2.1: Območja vrednosti binarnih pozitivnih števil.

Obseg vrednosti N-bitnega števila izračunamo s potenco 2^N . Do sedaj smo se ukvarjali z naravnimi števili, ki so samo pozitivna. Če želimo predstaviti cela števila, ki so pozitivna in negativna, moramo dodati še en bit za predznak. Ker je delo z velikimi dvojiškimi vrednostmi nerodno, se v modelih digitalnih vezij uporablja *šestnajstiški* zapis, ker je precej kompakten in nudi enostavno pretvorbo v desetiškega. Vsaka šestnajstiška številka je zapisana z natanko štirimi dvojiškimi, kot prikazuje tabela 2.2. Dvojiški zapis pretvorimo v šestnajstiškega tako, da združujemo in pretvarjamo po 4 številke hkrati.

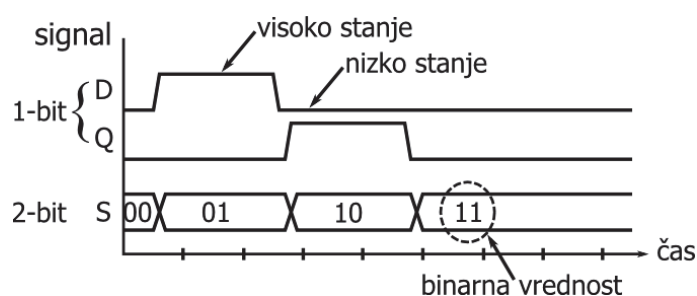
Primer pretvorbe 8-bitne vrednosti:

$$\frac{8421}{0001} \frac{8421}{1100}_{(2)} = 1_{(10)} \quad 12_{(10)} = 1C_{(16)}$$

b_3	b_2	b_1	b_0	desetiško	šestnajstiško
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	2	2
0	0	1	1	3	3
0	1	0	0	4	4
0	1	0	1	5	5
0	1	1	0	6	6
0	1	1	1	7	7
1	0	0	0	8	8
1	0	0	1	9	9
1	0	1	0	10	A
1	0	1	1	11	B
1	1	0	0	12	C
1	1	0	1	13	D
1	1	1	0	14	E
1	1	1	1	15	F

Tabela 2.2: Celoštevilsko kodiranje 4-bitnih binarnih vrednosti.

Potek signalov, ki se spreminjajo s časom, opazujemo na časovnem diagramu (angl. waveform). Običajno opazujemo več signalov, ki jih vrišemo v en diagram z enako časovno skalo za vse signale. Za opazovanje signalov, ki v vezju zelo hitro spreminjajo stanja, uporabimo ustrezen merilni inštrument: osciloskop ali logični analizator.



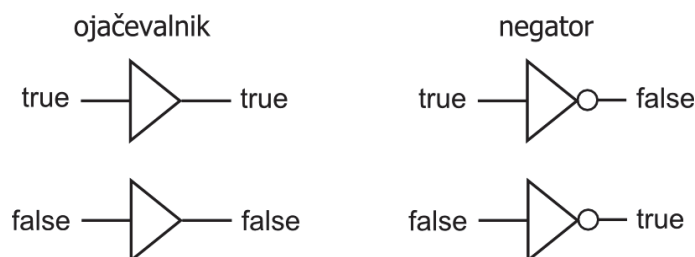
Slika 2.1: Časovni diagram digitalnih signalov.

Večbitne signale predstavimo v časovnem diagramu na traku, v katerem so zapisane trenutne vrednosti signala. Programska oprema za prikazovanje časovnega diagrama omogoča nastavitvev prikaza v binarni obliki ali dekodirani decimalni, šestnajstiški, znakovni ASCII ipd.

2.2 Logični napetostni nivoji



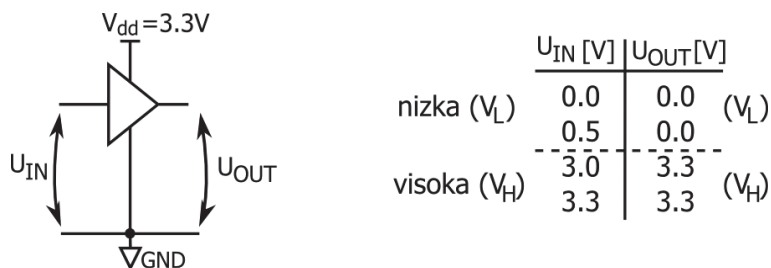
Gradniki digitalnih vezij imajo vhodne priključke, na katerih zaznavajo stanje binarnih signalov in izhodne priključke, na katere vsiljujejo binarne vrednosti. Za primer vzemimo dva najbolj enostavna gradnika, ki imata le en vhod in izhod: logični ojačevalnik in negator. Ojačevalnik ima na izhodu enako logično stanje, kot je na vhodu, pri negatorju pa je stanje na izhodu obrnjeno.



Slika 2.2: Logični ojačevalnik in logični negator.

V elektronskem vezju predstavlja logično stanje potencial na priključku oziroma napetost priključka proti masi. Stanje logične ničle je določeno z nizkim (V_L) potencialom, stanje logične enice pa z visokim (V_H) potencialom signala oziroma nizko in visoko napetostjo proti masi.

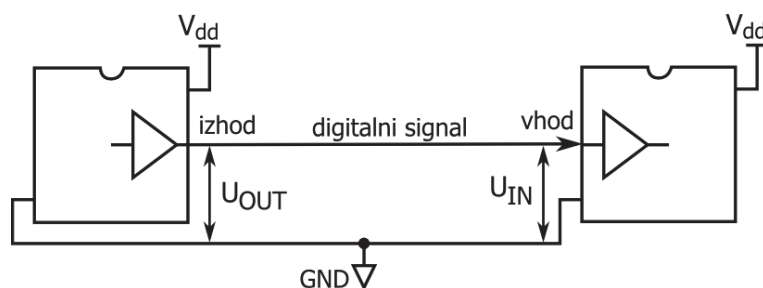
Slika 2.3 prikazuje napetosti na logičnem ojačevalniku pri nizkem in visokem stanju na vhodu. Iz priložene tabele vidimo, da predstavljajo različne napetosti enako logično stanje, zato potrebujemo dogovor o logičnih napetostnih nivojih.



Slika 2.3: Potenciali in napetosti na vhodu in izhodu ojačevalnika.

Osnovni gradniki digitalnih vezij se obnašajo kot preprosta elektronska stikala, ki preklaplajo med potencialom V_L in V_H . Elektronska stikala so bila včasih narejena z releji ali elektronkami, danes pa z različnimi elementi v polprevodniški tehnologiji. Z razvojem elektronike se spreminjajo tudi osnovni elementi in njihove električne lastnosti. Da bi digitalna vezja v različnih tehnologijah lahko povezali med seboj, moramo uvesti nek dogovor, ki določa potencialne za nizko in visoko stanje na vhodih in izhodih vezja. Vrednosti potencialov oz. napetosti gledamo v ustaljenem stanju, zato se dogovor imenuje statični red (angl. static discipline).

Elektronska stikala v digitalnih vezjih niso idealna, saj imajo neko upornost, ki povzroči, da visoko stanje V_H ni enako napajalnemu potencialu V_{dd} in da je nizko stanje V_L nekoliko višje od potenciala mase. Prav tako moramo upoštevati možne razlike v napajalnih napetostih



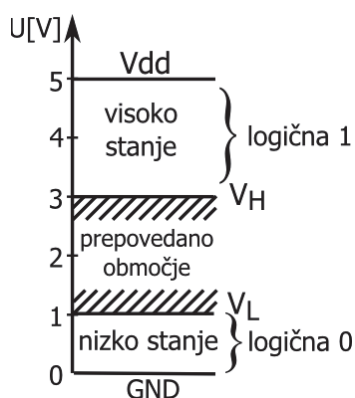
Slika 2.4: Povezava dveh digitalnih vezij.

integriranih vezij. Statični red omogoča pravilno interpretacijo signalov, ki potujejo med dvema digitalnima vezjema. Vzemimo najpreprostejši in pogost primer digitalne povezave, ko je izhod enega vezja vezan na vhod drugega, kot prikazuje slika 2.4. Enostaven dogovor bi lahko določal, da predstavljajo vse napetosti med V_{dd} in $V_{dd}/2$ visoko stanje (logično 1), napetosti med 0 in $V_{dd}/2$ pa nizko stanje (logično 0):

$$\text{logična 0: } 0 \text{ V} \leq V_L \leq V_{dd}/2$$

$$\text{logična 1: } V_{dd}/2 \leq V_H \leq V_{dd}$$

Pri takšnem dogovoru se pojavi težava, če dobi sprejemnik na vhod napetost $V_{dd}/2$. Da bi lahko sprejemnik nedvoumno razločeval med logično 0 in 1, dodamo prepovedano območje potencialov na signalni liniji. Vpeljali bomo dva nova potenciala: V_{IH} je minimalni potencial, ki se na vhodu logičnega vezja interpretira kot visoko stanje, V_{IL} pa maksimalni, ki predstavlja nizko stanje.

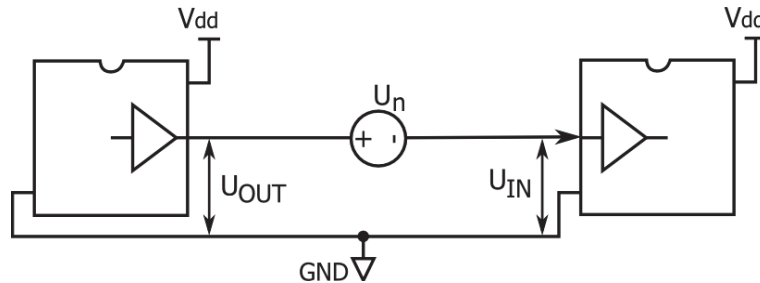


Slika 2.5: Dogovor o potencialih za nizko in visoko stanje.

Konkretne vrednosti so odvisne od tehnologije in zahtev – večje prepovedano območje poveča robustnost sistema, večje območje pravih stanj pa združljivost z več tehnologijami.

Na signalni povezavi se lahko inducira šum, ki ga modeliramo kot dodatno napetost U_n na signalni povezavi. Šum lahko povzroči neveljavno stanje na vhodu sprejemnika, kljub temu da je na oddajni strani stanje z veljavnim potencialom. Inducirani šum je v splošnem pozitivna ali negativna napetost. Denimo, da se na povezavi inducira $U_n = 200 \text{ mV}$ šumne napetosti.

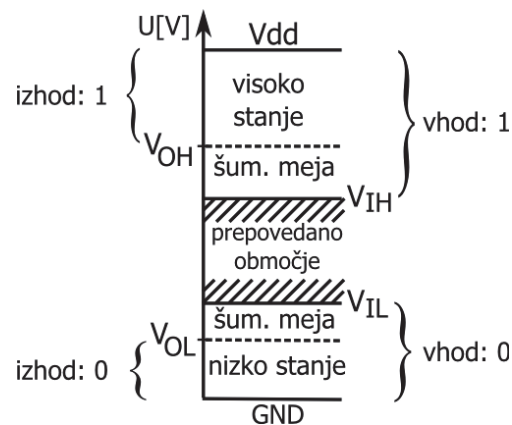
Če je na izhodu vezja v tehnologiji CMOS nizko stanje z napetostjo $0.9 V$, bo vsota napetosti $0.9 V + 0.2 V = 1.1 V$ že v prepovedanem območju.



Slika 2.6: Model povezave med dvema vezjema, ki upošteva inducirani šum.

Odpornost logičnih vezij na šum naredimo z ožjim območjem veljavnih potencialov na izhodni strani in širšim na vhodni strani vezja. Razlika v širini območja se imenuje šumna meja in zagotavlja določeno odpornost na inducirani šum pri komunikaciji. Veljavno območje potencialov na oddajni in sprejemni strani je podano z enačbami:

	<i>oddajnik</i>	<i>sprejemnik</i>
logična 0:	$0 V \leq V_L \leq V_{OL}$	$0 V \leq V_L \leq V_{IL}$
logična 1:	$V_{OH} \leq V_H \leq V_{dd}$	$V_{IH} \leq V_H \leq V_{dd}$



Slika 2.7: Statični red z upoštevanjem šumne meje.

Vrednosti potencialov določajo standardi, npr. TTL, CMOS, LVCMOS. Izjava proizvajalca digitalnih integriranih vezij o skladnosti s standardom zagotavlja, da bomo brez težav povezali signale različnih vezij med seboj.

Inducirani šum lahko povzroči, da bo vrednost signala zunaj meja napajalnih napetosti: višja od V_{dd} ali nižja od GND (negativna napetost). Takšen signal se na sprejemniku sicer pravilno interpretira, lahko pa povzroči uničenje vezja, če preseže določene meje.

Tabela podaja primer vrednosti potencialov za vezja CMOS z napajalno napetostjo 5 V in za LVCMOS z napetostjo 3.3 V (standard JEDEC).

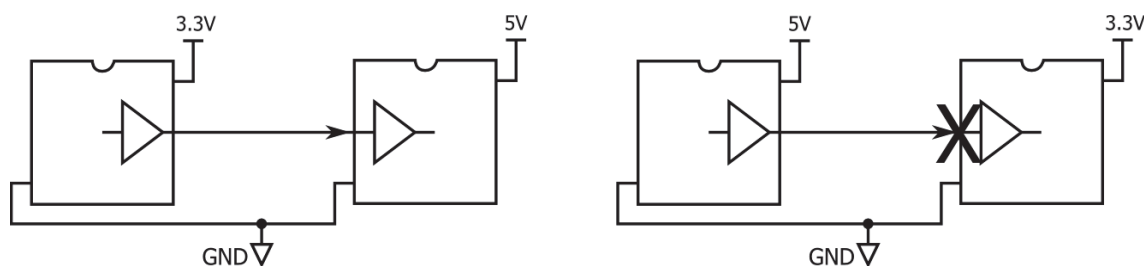
oznaka	pomen	CMOS [V]	LVCMOS [V]
V_{dd}	napajalna napetost	5.0	3.0–3.6
V_{IH}	vhodni visok nivo	3.0	2.0
V_{IL}	vhodni nizek nivo	1.0	0.8
V_{OH}	izhodni visok nivo	3.1	$V_{dd} - 0.2$
V_{OL}	izhodni nizek nivo	0.2	0.2

Tabela 2.3: Statični parametri 5-voltnih CMOS in 3.3-voltnih LVCMOS vezij.

2.3 Povezovanje različnih standardov



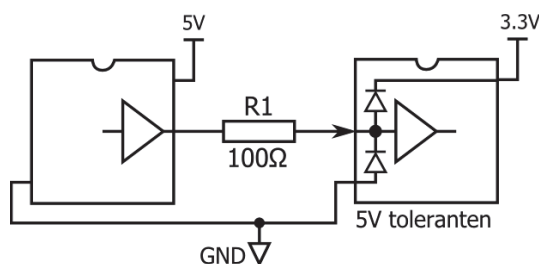
Včasih potrebujemo povezavo med integriranimi vezji, ki uporabljajo različne standarde. Poglejmo si primer povezave 5-voltnega in 3.3-voltnega vezja. Izhod 3.3-voltnega vezja brez težav krmili vhod 5-voltnega vezja. Visoko stanje vezja tehnologije LVCMOS je vsaj 3.1 V, kar je dovolj velik potencial, da se interpretira kot logična 1 v drugem vezju. Nizko stanje na izhodu je največ 0.2 V, kar ponovno zadošča za 5-voltno tehnologijo CMOS. Zavedati se moramo le, da smo s takšno povezavo znižali šumno mejo.



Slika 2.8: Povezovanje 5-voltnih na 3.3-voltna vezja.

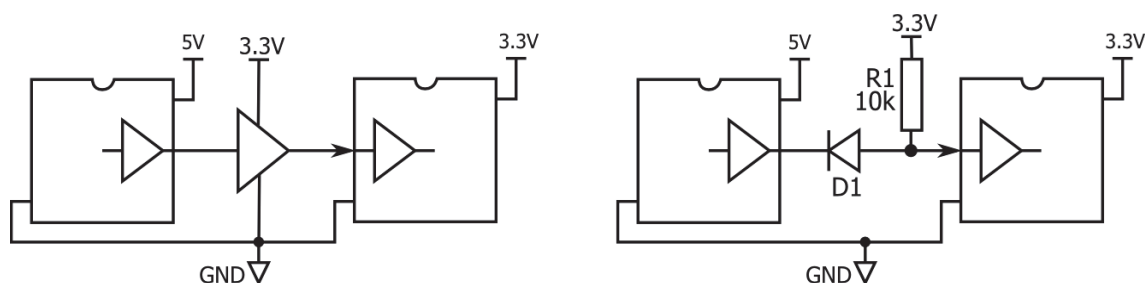
Pri obratni povezavi s 5-voltnega izhoda na vhod 3.3-voltna logike moramo biti precej previdnejši in jo brez pregleda specifikacij elementov ne smemo narediti. Visoko stanje 5-voltna logike je namreč precej nad napajalnim nivojem LVCMOS, zato bo po signalni liniji stekel velik enosmerni tok čez vhod vezja proti 3.3-voltni napajalni liniji. To je posledica delovanja zaščitnih diod na vseh vnosih vezja, ki pri previsoki napetosti kratko sklenejo vhod proti napajalni povezavi. Tok skozi vhod omejimo z zaporedno vezanim zaščitnim upornikom.

Tipična upornost zaščitnega upornika je nekaj $100\ \Omega$ in je kompromis med visoko vrednostjo, ki povzroči počasnejši prenos signala, in nizko, pri kateri teče višji tok. Poleg omejitve toka je treba upoštevati tudi omejitve napetosti, saj sodobna vezja uniči že statična napetost na vhodu. Trend v tehnologiji integriranih vezij gre namreč proti zmanjševanju dimenzij in strukture v vezju so tako majhne, da hitro pride do preboja, ki jih trajno poškoduje. Sodobna integrirana vezja



Slika 2.9: Povezava 5-voltnega vezja na 3.3-voltno preko zaščitnega upora.

lahko poškoduje že napetost, višja od 4 V. Če želimo takšno vezje priklopiti na izhod CMOS, ne zadošča le zaščitni upornik. Najboljša rešitev je z uporabo namenskega ojačevalnika za pretvorbo potencialnih nivojev, za manj zahtevne primere pa naredimo vezje za omejitev napetosti iz pasivnih elementov.



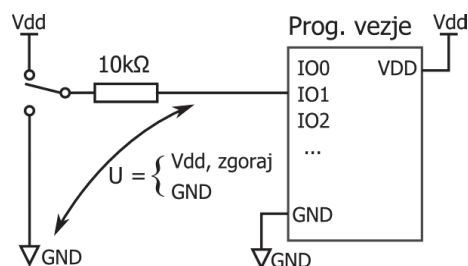
Slika 2.10: Pretvorba logičnih nivojev za občutljiva vezja LVCMOS.

Dioda D1 prevaja, ko je na izhodu oddajnega vezja nizko stanje. V tem primeru je na diodi napetost okoli 0.7 V, ki jo zazna vezje kot logično 0 na vhodu. Kadar je na izhodu napetost 5 V, je dioda zaprta in na vhod drugega vezja pride prek upora R1 napetost 3.3 V. Vrednost upora R1 naj bo nekaj $k\Omega$.

2.4 Pozitivna in negativna logika

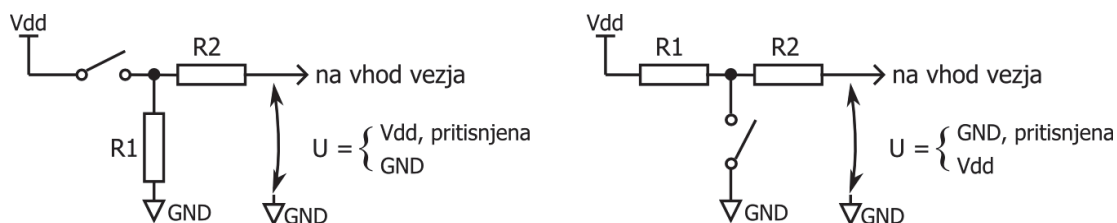
Vhodni signali v digitalna vezja prihajajo od drugih vezij ali neposredno od uporabnika. Uporabniške vhodne naprave so stikala, posamezne tipke ali tipkovnica, rotacijski kodirniki ipd. Na razvojnih sistemih bomo največkrat zasledili posamezne tipke ali preklonpa stikala, ki dajo na vhod vezja napetost V_{dd} ali GND glede na maso.

Za vklop napajanja električnega vezja običajno uporabljamo stikalo, v digitalnih vezjih pa tudi za nastavljanje signalnih vhodov. Slika 2.11 prikazuje vezavo preklonnega dvopolnega stikala na vhod vezja. Preklonni priključek stikala je vezan na vhod vezja prek upora, ki služi za zaščito programirljivega vezja. Programirljivim vezjem namreč šele v postopku programiranja določimo, ali bo posamezni signal vhod ali izhod. Če bi pomotoma povezali izhodni signal prek stikala neposredno na napajalno napetost ali maso, bi naredili kratek stik in poškodovali vezje. Upor z dovolj veliko upornostjo v tem primeru omeji tok in do poškodb ne pride.



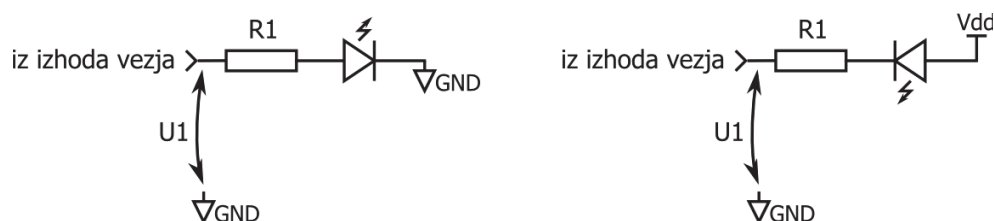
Slika 2.11: Vezava preklopnega stikala na programirljivo vezje.

Enopolna stikala ali tipke vežemo, kot prikazuje slika 2.12. Tipka je, zaporedno z uporom R1 vezana na napajalno napetost in maso, prek zaščitnega upora R2 pa je priključena na vhod vezja. Tipične vrednosti obeh uporov so nekaj $k\Omega$. Razlika med obema vezavama je, da je enkrat pri pritisnjeni tipki na vhodu vezja V_{dd} , pri spuščeni pa GND; pri drugi vezavi je ravno obratno.



Slika 2.12: Vezava tipke s pozitivno in negativno logiko.

Delovanje digitalnega vezja opazujemo na izhodih prek izhodnih naprav. Primeri izhodnih naprav so monitorji, LCD-prikazovalniki, prikazovalniki iz svetlečih diod (LED) in preprosti indikatorji z žarnico ali svetlečo diodo. Slika 2.13 prikazuje dve možni vezavi indikatorja s svetlečo diodo, ki se uporabljata na razvojnih sistemih. Svetleča dioda je zaporedno z uporom priključena med izhodom vezja in eno od napajalnih sponk (V_{dd} ali GND).

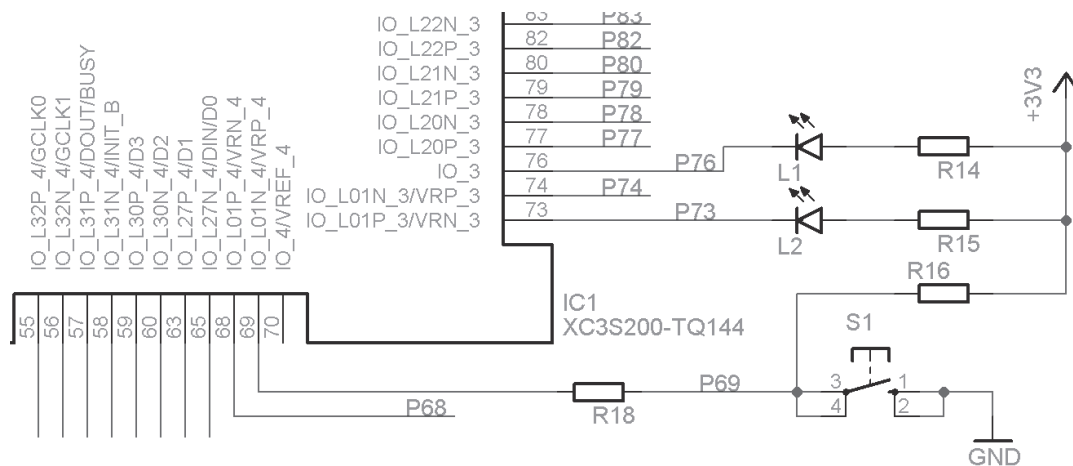


Slika 2.13: Vezava svetleče diode (LED) s pozitivno in negativno logiko.

Svetleča dioda je polprevodniški element, ki zasveti, ko je med njenima priključkoma napetost okoli 2 V (natančna vrednost je odvisna od vrste in barve) in teče tok v smeri trikotnika. Za majhne indikatorske LED zadošča tok nekaj mA . Iz teh podatkov in napajalne napetosti lahko izračunamo vrednost zaporednega upora, npr. $(3.3\text{ V} - 2\text{ V})/3.3\text{ mA} = 390\ \Omega$.

Naloge

1. Preglej izsek sheme digitalnega razvojnega sistema in ugotovi, kako so priključene vhodne tipke in izhodne LED. Kakšna je napetost na vhodu vezja IC1 ob pritisnjeni tipki? Kakšna napetost mora biti na izhodu IC1, da bo LED svetila?



2. Poišči na spletu statične parametre logičnih gradnikov v tehnologiji TLL.

$$V_{IH} = \underline{\hspace{2cm}}$$

$$V_{IL} = \underline{\hspace{2cm}}$$

$$V_{OH} = \underline{\hspace{2cm}}$$

$$V_{OL} = \underline{\hspace{2cm}}$$

3. Ugotovi, kako bi sestavil vezavo tipke in svetleče diode, da bi ob pritisku na tipko LED ugasnila, hkrati pa bi na vhodu digitalnega vezja bila napetost GND.