

2

Digitalni signali

Digitalni signali so signali, ki lahko zavzamejo le končno število različnih stanj. Imenujemo jih tudi *diskretni signali*. Preprost primer digitalnega signala je število dvignjenih prstov na roki - število je lahko le ena izmed vrednosti iz diskretnega območja med 0 in 10. Beseda *digitalni* prihaja iz latinskega izraza *digitus*, ki pomeni prst. V tem poglavju bomo predstavili digitalne signale v obliki dvojiškega zapisa in napetostnih nivojev v elektronskem vezju.

V digitalnih elektronskih vezjih se največkrat uporabljajo *binarni* signali, ki lahko zavzemajo le dve možni stanji označeni kot:

- napačno (false) ali pravilno (true),
- nizko (potencial V_L) ali visoko (V_H),
- številka 0 ali 1.

Dve stanji opisujeta preproste pojave, kot so prižgana oziroma ugasnjena žarnica ali stikalo. Predstavljata lahko logično trditev, ki je pravilna ali napačna. Zapis stanj v obliki pravilno (true) ali napačno (false) je primeren za obravnavo vezij, ki izvajajo odločitvene operacije. Primer preproste logične operacije je negacija: napačno stanje spremenimo v pravilno in obratno. Element, ki izvaja logično negacijo imenujemo logični negator ali inverter.

Najbolj pogost zapis digitalnih stanj je v obliki številskih vrednosti 0 ali 1. Takšen zapis ni samo najkrajši, ampak je tudi primeren za računanje, saj digitalna vezja velikokrat izvajajo računske operacije. Vrednost 0 ali 1, ki jo zavzame enostaven signal, imenujemo binarna številka ali *bit* (angl. binary digit). Vodila v digitalnih vezjih pa prenašajo večbitne vrednosti v dvojiškem zapisu.

Za razumevanje dvojiških vrednosti si najprej pogledjmo kako so sestavljena večmestna desetiška števila. Vrednost desetiškega števila lahko zapišemo kot vsoto števk pomnoženih s koeficienti potence 10. Enice množimo z 10^0 , desetice z 10^1 , stotice z 10^2 itn. Primer:

$$523_{(10)} = 5 \cdot 10^2 + 2 \cdot 10^1 + 3 \cdot 10^0$$

Popolnoma enako velja za dvojiška števila, le da pri izračunu desetiške vrednosti uporabimo potence števila 2. Posamezne številke dvojiškega števila pomnožimo s potencami števila 2 in seštejemo. Pri zapisu celega števila množimo skrajno desno dvojiško številko z 2^0 , naslednjo z 2^1 in tako dalje. Poglejmo si primer izračuna desetiške vrednosti 4-bitnega števila:

$$1100_{(2)} = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 8 + 4 = 12_{(10)}$$

Pretvorbo najlažje naredimo tako, da nad vsako številko zapišemo ustrezno potenco števila 2 in seštejemo tiste potence, pod katerimi je binarna številka 1:

$$\begin{array}{r} 8 \ 4 \ 2 \ 1 \\ 1 \ 1 \ 0 \ 0 \end{array}_{(2)} = 8 + 4 = 12$$

Prvi digitalni mikroprocesor Intel 4004 je računal s 4-bitnimi vrednostmi, ki v desetiškem sistemu pokrijejo območje le ene desetiške številke. Če bi želeli računati z dvomestnimi desetiškimi števili (vrednosti med 0 in 99), bi potrebovali 7-bitni dvojiški zapis z območjem med 0 in 127. Pri delu z dvojiškimi signali, je koristno če na pamet poznamo potence števila 2, ki določajo zgornjo mejo območja vrednosti, kot prikazuje tabela 1.1.

N	N-bitna števila	2^N	območje vrednosti
2	00 - 11	4	0 - 3
3	000 - 111	8	0 - 7
4	0000 - 1111	16	0 - 15
5	00000 - 11111	32	0 - 31
6	000000 - 111111	64	0 - 63
7	0000000 - 1111111	128	0 - 127
8	00000000 - 11111111	256	0 - 255
9	000000000 - 111111111	512	0 - 511
10	0000000000 - 1111111111	1024	0 - 1023

Tabela 2.1: Območja vrednosti binarnih pozitivnih števil

Tabela prikazuje območja vrednosti 2- do 10-bitnih binarnih števil. Obseg vrednosti N-bitnega števila izračunamo s potenco 2^N . Do sedaj smo se ukvarjali le z naravnimi števili, ki so samo pozitivna. Če želimo predstaviti cela števila, ki so pozitivna in negativna, moramo dodati še en bit za predznak.

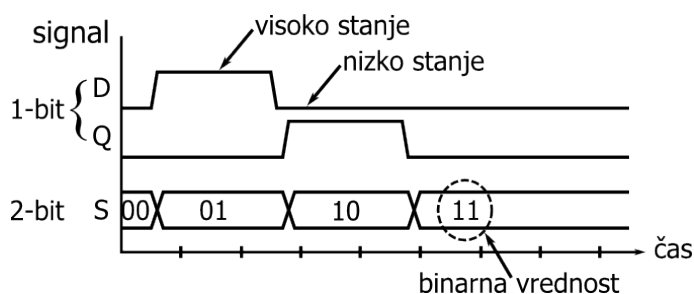
Ker je delo z velikimi dvojiškimi vrednostmi nerodno se v modelih digitalnih vezij uporablja šestnajstiški zapis, ker je precej kompakten in nudi enostavno pretvorbo v dvojiškega. Vsaka šestnajstiška številka je zapisana z natanko štirimi dvojiškimi, kot prikazuje tabela 1.2. Dvojiški zapis pretvorimo v šestnajstiški tako, da združujemo in pretvarjamo po 4 številke hkrati. Primer pretvorbe 8-bitne vrednosti:

$$\begin{array}{r} 8 \ 4 \ 2 \ 1 \\ 0 \ 0 \ 0 \ 1 \end{array} \quad \begin{array}{r} 8 \ 4 \ 2 \ 1 \\ 1 \ 1 \ 0 \ 0 \end{array}_{(2)} = 1_{(10)} \quad 12_{(10)} = 1C_{(16)}$$

b_3	b_2	b_1	b_0	desetiško	šestnajstiško
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	2	2
0	0	1	1	3	3
0	1	0	0	4	4
0	1	0	1	5	5
0	1	1	0	6	6
0	1	1	1	7	7
1	0	0	0	8	8
1	0	0	1	9	9
1	0	1	0	10	A
1	0	1	1	11	B
1	1	0	0	12	C
1	1	0	1	13	D
1	1	1	0	14	E
1	1	1	1	15	F

Tabela 2.2: Celoštevilsko kodiranje 4-bitnih binarnih vrednosti

Potek signalov, ki se spreminjajo s časom, opazujemo na časovnem diagramu (angl. waveform). Običajno opazujemo več signalov, ki jih vrišemo v en diagram z enako časovno skalo za vse signale, kot prikazuje slika 1.1. Za opazovanje signalov, ki v vezju zelo hitro spreminjajo stanja, uporabimo ustrezen merilni inštrument: osciloskop ali logični analizator.



Slika 2.1: Časovni diagram digitalnih signalov

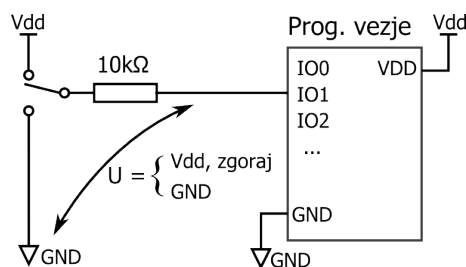
Večbitne signale predstavimo v časovnem diagramu kot en signal v katerem so zapisane trenutne vrednosti celotnega vodila. Programska oprema za prikazovanje časovnega diagrama omogoča nastavitve prikaza v binarni obliki ali pa dekodirani decimalni, šestnajstiški, ASCII ipd.

2.0.1 Pozitivna in negativna logika

Vhodni signali v digitalna vezja prihajajo od drugih vezij ali pa neposredno od uporabnika. Uporabniške vhodne naprave so stikala, posamezne tipke ali tipkovnica, rotacijski kodirniki ipd. Na

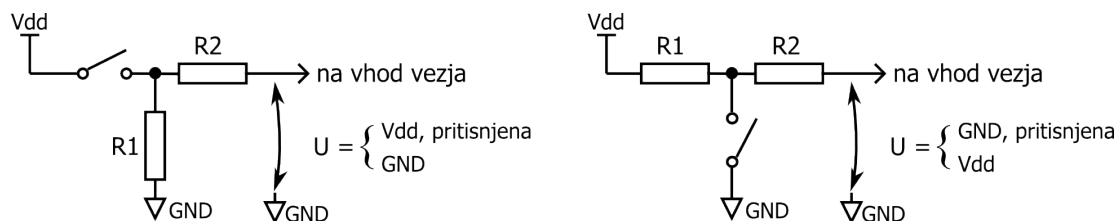
razvojnih sistemih bomo največkrat posamezne tipke ali preklopna stikala, ki dajo na vhod vezja napetost Vdd ali GND glede na maso.

Običajno uporabljamo stikalo za vklop napajanja električnega vezja, v digitalnih vezjih pa tudi za nastavljanje signalnih vhodov. Slika 1.2 prikazuje vezavo preklopnega dvopolnega stikala na vhod vezja. Preklopni priključek stikala je vezan na vhod vezja preko upora, ki služi za zaščito programirljivega vezja. Programirljivim vezjem namreč šele v postopku programiranja določimo, ali bo posamezni signal vhod ali izhod. Če bi pomotoma povezali izhodni signal preko stikala neposredno na napajalno napetost ali maso, bi naredili kratek stik in poškodovali vezje. Upor z dovolj veliko upornostjo v tem primeru omeji tok in do poškodb ne pride.



Slika 2.2: Vezava preklopnega stikala na programirljivo vezje

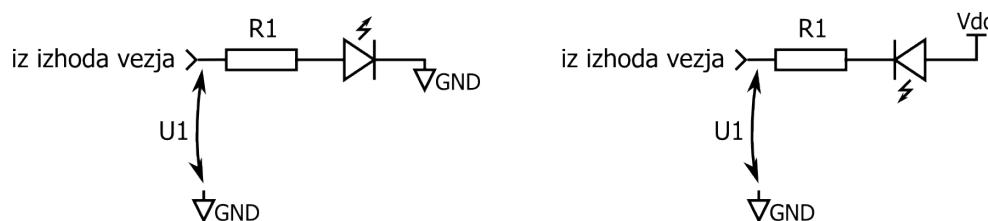
Enopolna stikala ali tipke vežemo, kot prikazuje slika 1.3. Tipka je zaporedno z uporom R1 vezana na napajalno napetost in maso, preko zaščitnega upora R2 pa je priključena na vhod vezja. Tipične vrednosti obeh uporov so nekaj $k\Omega$. Razlika med obema vezavama je, da je enkrat pri pritisknjeni tipki na vhodu vezja Vdd, pri spuščeni pa GND, pri drugi vezavi pa je ravno obratno.



Slika 2.3: Vezava tipke s pozitivno in negativno logiko

Delovanje digitalnega vezja opazujemo na izhodih preko izhodnih naprav. Primeri izhodnih naprav so monitorji, LCD prikazovalniki, prikazovalniki iz svetlečih diod (LED) in preprosti indikatorji z žarnico ali svetlečo diodo. Slika 1.4 prikazuje dve možni vezavi indikatorja s svetlečo diodo, ki se uporabljata na razvojnih sistemih. Svetleča dioda je zaporedno z uporom priključena med izhod vezja in eno od napajalnih sponk (Vdd ali GND).

Svetleča dioda je polprevodniški element, ki zasveti, ko je med njenima priključkoma napetost okoli 2V (natančna vrednost je odvisna od vrste in barve) in teče tok v smeri trikotnika. Za majhne indikatorske LED zadošča tok nekaj mA . Iz teh podatkov in napajalne napetosti lahko izračunamo vrednost zaporednega upora (npr. $3.3V - 2V / 3.3mA = 390\Omega$).

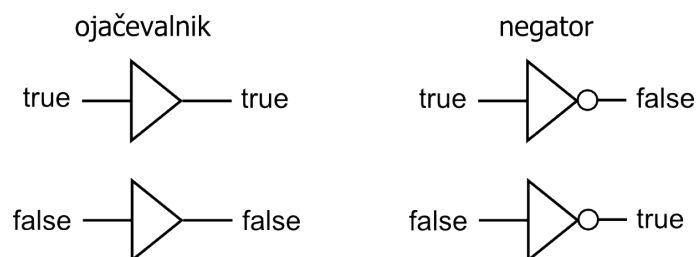


Slika 2.4: Vezava svetleče diode (LED) s pozitivno in negativno logiko

2.0.2 Logični napetostni nivoji



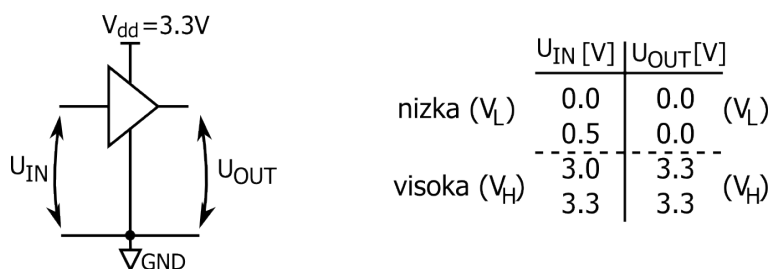
Gradniki digitalnih vezij imajo vhodne priključke, na katerih zaznavajo stanje binarnih signalov in izhodne priključke, na katere vsiljujejo binarne vrednosti. Za primer vzemimo dva najbolj enostavna gradnika, ki imata le en vhod in izhod. Slika 1.5 prikazuje delovanje logičnega ojačevalnika in logičnega negatorja. Ojačevalnik ima na izhodu enako logično stanje, kot je na vhodu, pri negatorju pa je stanje na izhodu obrnjeno.



Slika 2.5: Logični ojačevalnik in logični negator

V elektronskem vezju predstavlja logično stanje potencial na priključku oziroma napetost priključka proti masi. Stanje logične ničle je določeno z nizkim (V_L) potencialom, stanje logične enice pa z visokim (V_H) potencialom signala oziroma nizko in visoko napetostjo proti masi.

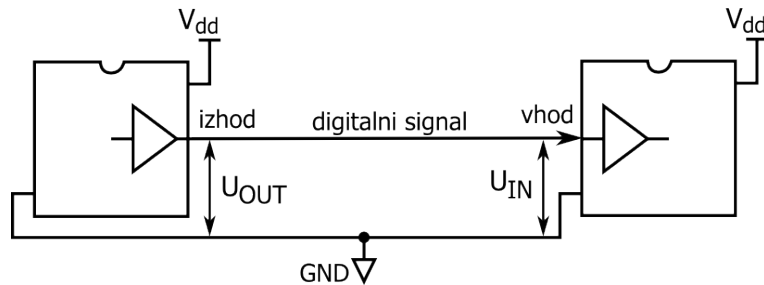
Slika 1.6 prikazuje napetosti na logičnem ojačevalniku pri nizkem in visokem stanju na vhodu. Iz priložene tabele vidimo, da predstavljajo različne napetosti enako logično stanje, zato potrebujemo dogovor o logičnih napetostnih nivojih.



Slika 2.6: Potenciali in napetosti na vhodu in izhodu ojačevalnika

Osnovni gradniki digitalnih vezij se obnašajo kot preprosta elektronska stikala, ki preklapljajo med potencialom V_L in V_H . Elektronska stikala so bila včasih narejena z releji ali elek-

trunkami, danes pa z različnimi elementi v polprevodniški tehnologiji. Z razvojem elektronike se spreminjajo tudi osnovni elementi in njihove električne lastnosti. Da bi digitalna vezja v različnih tehnologijah lahko povezali med seboj, moramo uvesti nek dogovor, ki določa potencialne za nizko in visoko stanje na vseh in izhodih vezja. Vrednosti potencialov oz. napetosti gledamo v ustaljenem stanju, zato se dogovor imenuje statični red (angl. static discipline).



Slika 2.7: Povezava dveh digitalnih vezij

Elektronska stikala v digitalnih vezjih niso idealna, imajo neko upornost, ki povzroči da visoko stanje V_H ni enako napajalnemu potencialu V_{dd} in da je nizko stanje V_L nekoliko višje od potenciala mase. Prav tako moramo upoštevati možne razlike v napajalnih napetostih integriranih vezij. Statični red omogoča pravilno interpretacijo signalov, ki potujejo med dvema digitalnima vezjema. Vzemimo najbolj preprost in pogost primer digitalne povezave, ko je izhod enega vezja vezan na vhod drugega, kot prikazuje slika 1.7. Enostaven dogovor bi lahko določal, da predstavljajo vse napetosti med V_{dd} in $V_{dd} / 2$ visoko stanje (logično '1'), napetosti med 0 in $V_{dd} / 2$ pa nizko stanje (logično '0'):

$$\text{logična '0': } 0V \leq V_L \leq V_{dd}/2$$

$$\text{logična '1': } V_{dd}/2 \leq V_H \leq V_{dd}$$

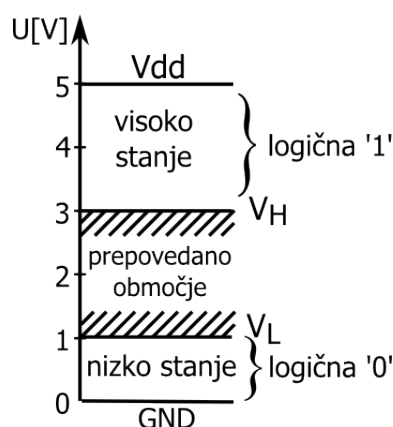
Pri takšnem dogovoru se pojavi težava, če dobi sprejemnik na vhod napetost $V_{dd} / 2$. Da bi lahko sprejemnik nedvoumno razločeval med logično '0' in '1' dodamo prepovedano območje potencialov na signalni liniji, kot prikazuje slika 1.8. Vpeljali smo dva nova potenciala: V_{IH} je minimalni potencial, ki se na vhodu logičnega vezja interpretira kot visoko stanje, V_{IL} pa maksimalni, ki predstavlja nizko stanje.

Konkretni vrednosti so odvisne od tehnologije in zahtev - večje prepovedano območje poveča robustnost sistema, večje območje pravičnih stanj pa združljivost z več tehnologijami. Za neko 5V CMOS tehnologijo, bi lahko uporabili vrednosti:

$$\text{logična '0': } 0V \leq V_L \leq 1V$$

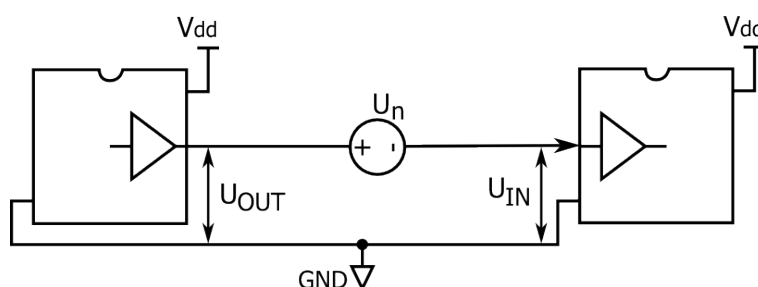
$$\text{logična '1': } 3V \leq V_H \leq 5V$$

Na signalni povezavi se lahko inducira šum, ki ga modeliramo kot dodatno napetost U_n na signalni povezavi. Šum lahko povzroči neveljavno stanje na vhodu sprejemnika, kljub temu da je na oddajni strani stanje z veljavnim potencialom. Inducirani šum je v splošnem pozitivna ali negativna napetost. Denimo, da se na povezavi inducira $U_n = 200 \text{ mV}$ šumne napetosti. Če je



Slika 2.8: Dogovor o potencialih za nizko in visoko stanje

na izhodu CMOS vezja nizko stanje z napetostjo 0.9 V, bo vsota napetosti $0.9\text{ V} + 0.2\text{ V} = 1.1\text{ V}$ že v prepovedanem območju.



Slika 2.9: Model povezave med dvema vezjema, ki upošteva inducirani šum

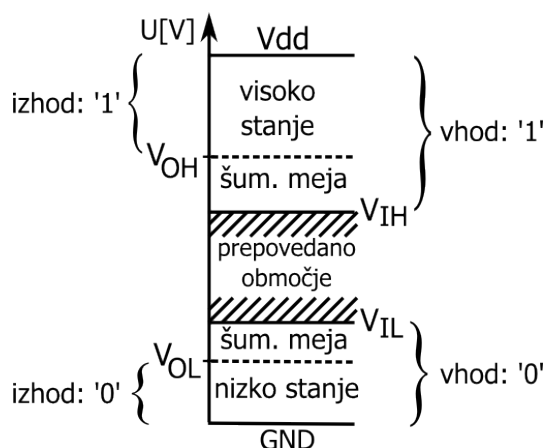
Slika 1.9 prikazuje bolj realen model povezave med dvema integriranimi vezjema. Odpornost na šum naredimo tako, da določimo ožje območje veljavnih potencialov na izhodni strani in širše na vhodni strani, kot prikazuje slika 1.10. Razlika v širini območja se imenuje šumna meja in zagotavlja določeno odpornost na inducirani šum pri komunikaciji.

Veljavno območje potencialov na oddajni in sprejemni strani je sedaj podano z enačbami:

	<i>oddajnik</i>	<i>sprejemnik</i>
logična '0':	$0V \leq V_L \leq V_{OL}$	$0V \leq V_L \leq V_{IL}$
logična '1':	$V_{OH} \leq V_H \leq V_{dd}$	$V_{IH} \leq V_H \leq V_{dd}$

Vrednosti potencialov določajo standardi, npr. TTL, CMOS, LVCMOS. Izjava proizvajalca digitalnih integriranih vezij o skladnosti s standardom zagotavlja, da bomo brez težav povezali signale različnih vezij med seboj.

Inducirani šum lahko povzroči, da bo vrednost signala izven meja napajalnih napetosti: višja od Vdd ali nižja od GND (negativna napetost). Takšen signal se na sprejemniku sicer pravilno interpretira, lahko pa povzroči uničenje vezja, če preseže določene meje.



Slika 2.10: Statični red z upoštevanjem šumne meje

Primer vrednosti potencialov za vezja CMOS z napajalno napetostjo 5 V podaja tabela 1.3, za vezja v 3.3 V tehnologiji LVCMOS pa tabela 1.4.

oznaka	pomen	napetost [V]
V_{IH}	vhodni visok nivo	3
V_{IL}	vhodni nizek nivo	1
V_{OH}	izhodni visok nivo	3.1
V_{OL}	izhodni nizek nivo	0.2

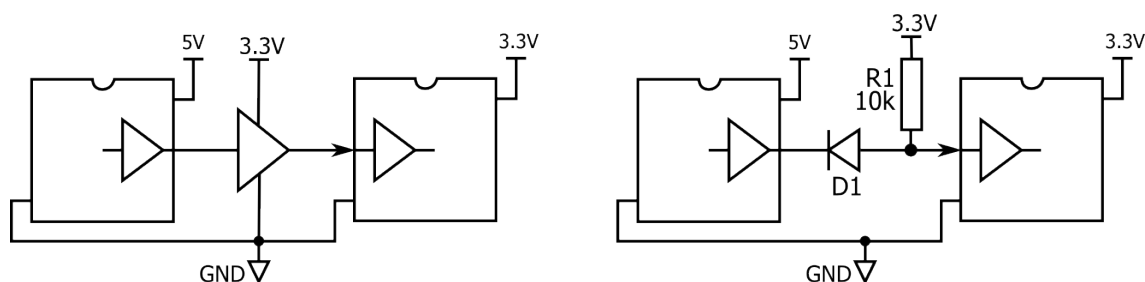
Tabela 2.3: Statični parametri vezij CMOS pri $V_{dd} = 5V$

oznaka	pomen	<i>min</i>	<i>max</i>
V_{dd}	napajalna napetost	3.0V	3.6V
V_{IH}	vhodni visok nivo	2V	$V_{dd} + 0.3V$
V_{IL}	vhodni nizek nivo	-0.3V	+0.8V
V_{OH}	izhodni visok nivo	$V_{dd} - 0.2V$	
V_{OL}	izhodni nizek nivo		+0.2V

Tabela 2.4: Statični parametri LVCMOS pri normalnem razponu V_{dd} (JEDEC)

2.0.3 Povezovanje različnih standardov

Včasih potrebujemo povezavo med integriranimi vezji, ki uporabljajo različne standarde. Pogledjmo si primer povezave 5V CMOS in 3.3V LVCMOS vezja. Izhod 3.3V vezja lahko brez težav krmili vhod 5V vezja, kot prikazuje leva stran slike 1.11. Visoko stanje LVCMOS je vsaj 3.1V, kar je dovolj velik potencial, da se interpretira kot logična '1' v drugem vezju. Nizko stanje



Slika 2.13: Pretvorba logičnih nivojev za občutljiva vezja LVC MOS

Naloge

1. Preglej shemo digitalnega razvojnega sistema in ugotovi, kako so priključene vhodne tipke in izhodne LED. Ugotovi kakšna je napetost na vhodu vezja ob ugasnjeni in pritisnjeni tipki. Kakšna napetost mora biti na izhodu digitalnega vezja, da bo LED svetila?
2. Na vhod logičnega gradnika s statičnimi parametri: $V_{dd} = 3.3V$, $V_{IH} = 2V$, $V_{IL} = 0.8V$ pripeljemo signal z napetostjo $U = 2.5V$ proti masi. Kako bo gradnik ta signal intepretiral:
 - (a) kot visoko stanje (logična 1)
 - (b) kot nizko stanje (logična 0)
 - (c) kot nedovoljeno stanje
 - (d) kot kratek stik
3. Ugotovi, kako bi sestavil vezavo tipke in svetleče diode, da bi ob pritisku na tipko LED ugasnila, hkrati pa bi na vhodu digitalnega vezja bila napetost GND?