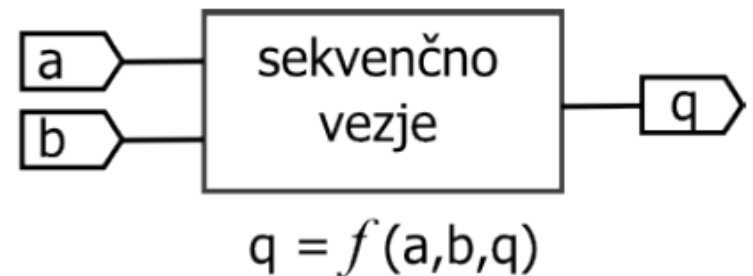
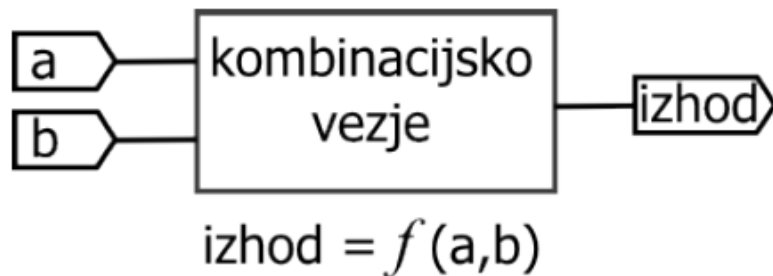


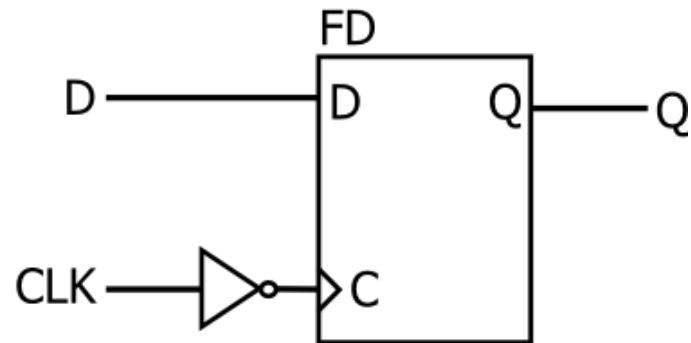
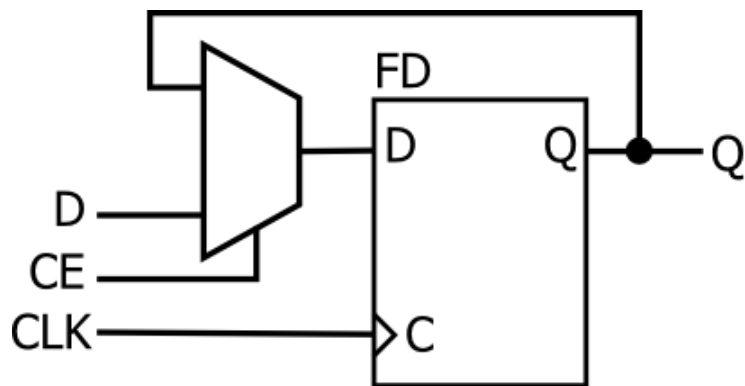
# Kombinacijska in sekvenčna vezja - teorija

- ▶ dele vezja ali gradnike obravnavamo kot črno škatlo
  - ▶ opazujemo le vhodne in izhodne signale

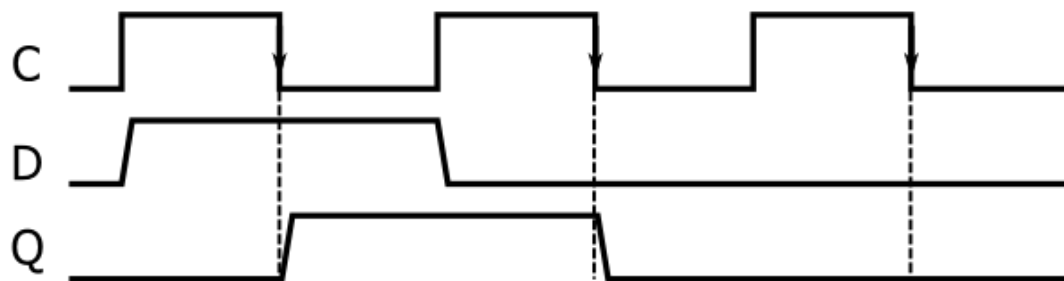
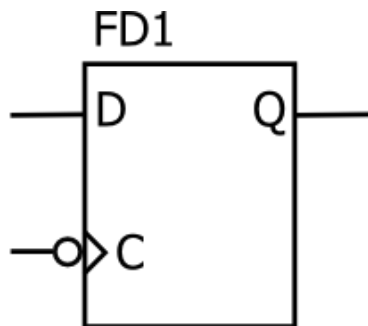


- ▶ **Kombinacijsko vezje**
  - ▶ sestavljeno iz logičnih vrat brez povratnih zank
  - ▶ če ima  $n$  vhodov, ga opišemo s tabelo z  $2^n$  vrsticami
- ▶ **Sekvenčno vezje**
  - ▶ vsebuje pomnilne elemente, ki določajo stanje vezja
  - ▶ če vsebuje  $n$  flip-flopov, ima  $2^n$  različnih stanj
  - ▶ **sekvenčno vezje ima uro!**

# Preprosta sekvenčna vezja



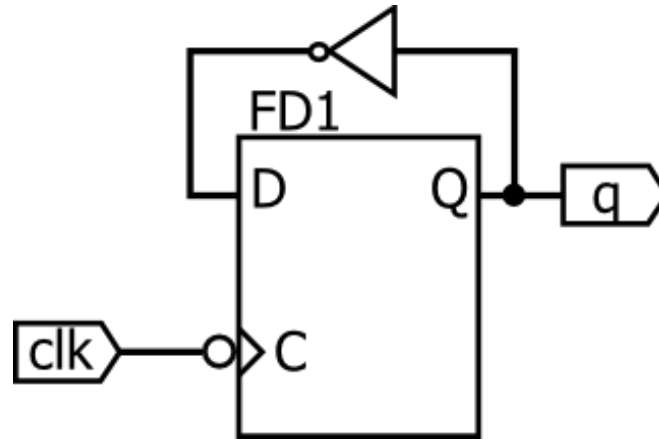
- ▶ vezje z enim flip-flopom ima dve logični stanji (0 in 1)
- ▶ Flip-flop, ki proži na zadnjo fronto-ure:



# Preprosta sekvenčna vezja

---

- ▶ Flip-flop, ki preklaplja vrednost na izhodu



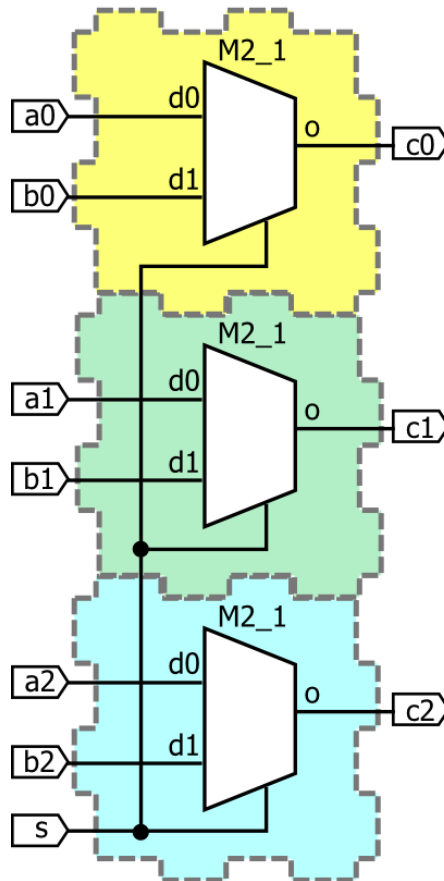
- ▶ Kako naredimo flip-flop, ki preklaplja ali ohranja vrednost ?
  - ▶ angl. **Toggle Flip-Flop**

T q	d
0 0	0
0 1	1
1 0	1
1 1	0

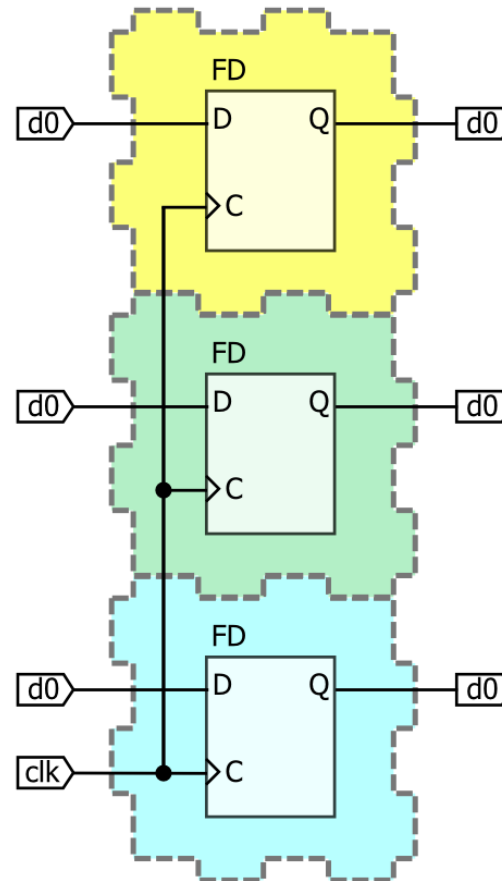
# Vzporedna vezava logičnih gradnikov

- ▶ posamezni podatkovni signali niso med seboj povezani
  - ▶ krmilni signali so lahko vezani skupaj
- ▶ zakasnitev taka, kot če bi imeli en gradnik

3-bitni izbiralnik

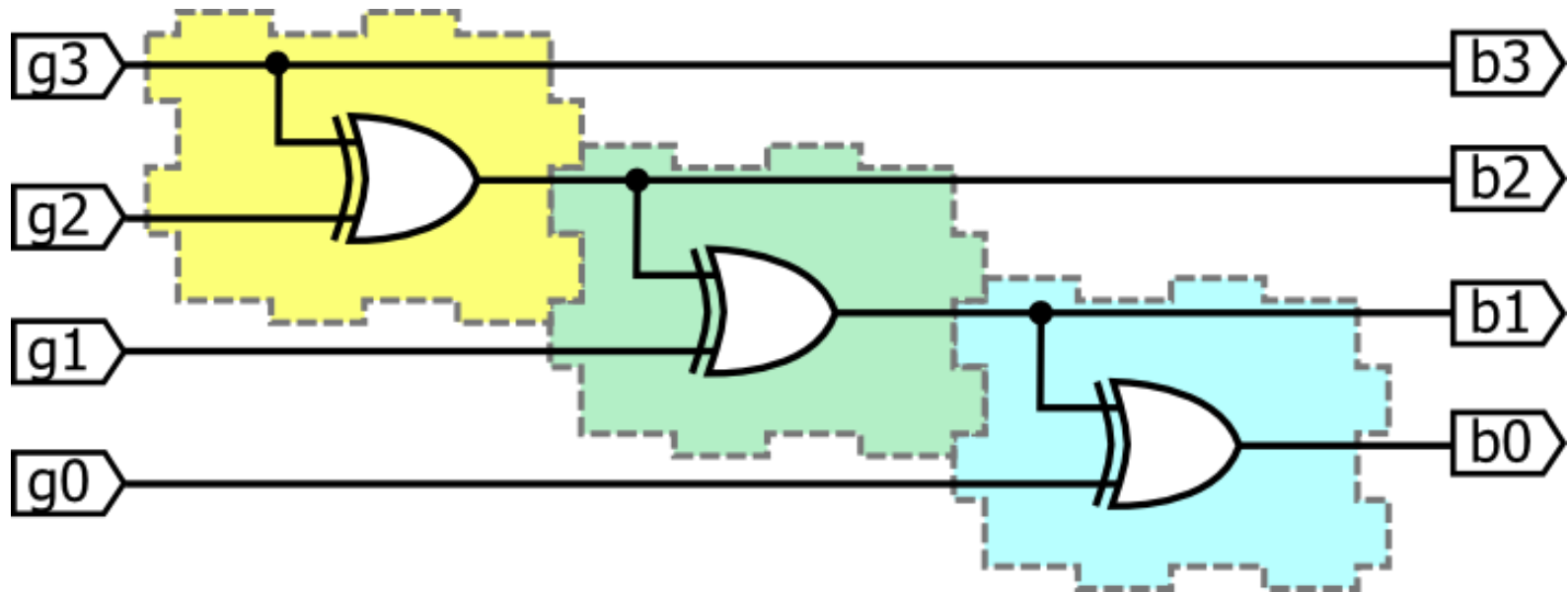


3-bitni register



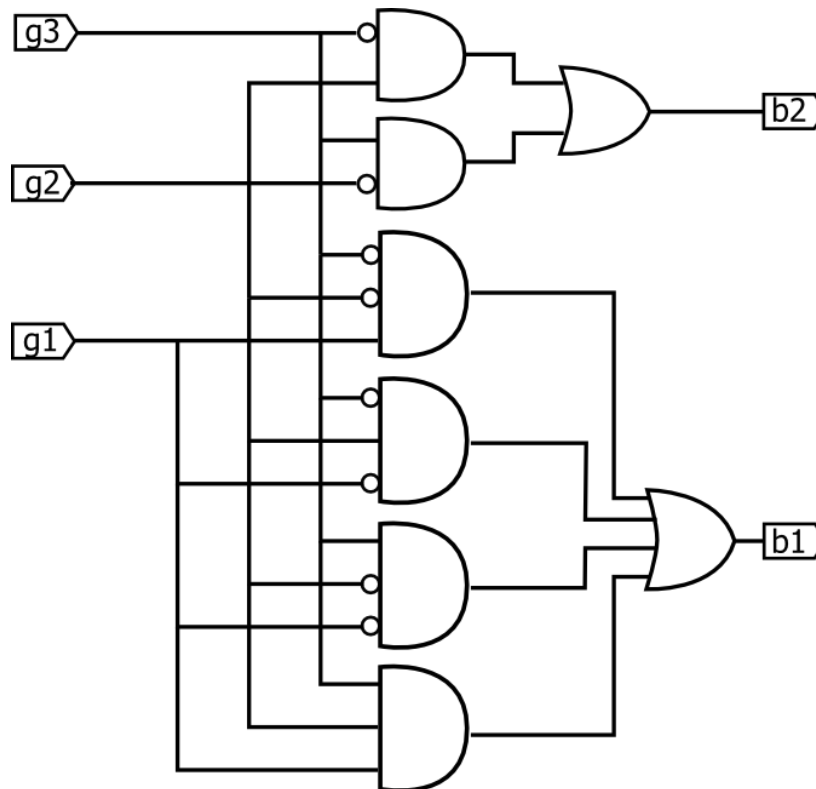
# Zaporedna vezava kombinacijskih gradnikov

- ▶ signali se pri zaporednem prehodu čez gradnike zakasnjajo
  - ▶ prek  $n$  kombinacijskih elementov je zakasnitev  $n$ -krat večja
- ▶ npr. dekodirnik Grayeve kode



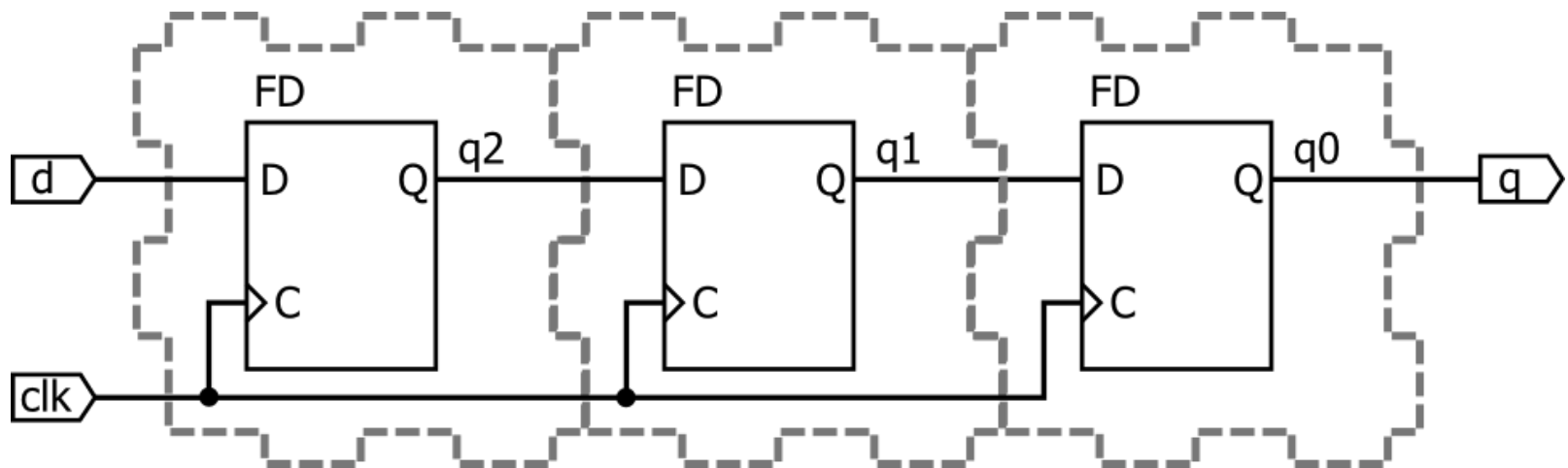
# Prednosti zaporedne vezave

- ▶ nekateri gradniki zasedejo v zaporedni vezavi precej manjšo površino (manj logičnih vrat)
- ▶ npr. dvonivojska izvedba Grayevega dekodirnika
  - ▶ min. vezje: dve 2-vhodni AND, štiri 3-vh AND, osem 4-vh AND...



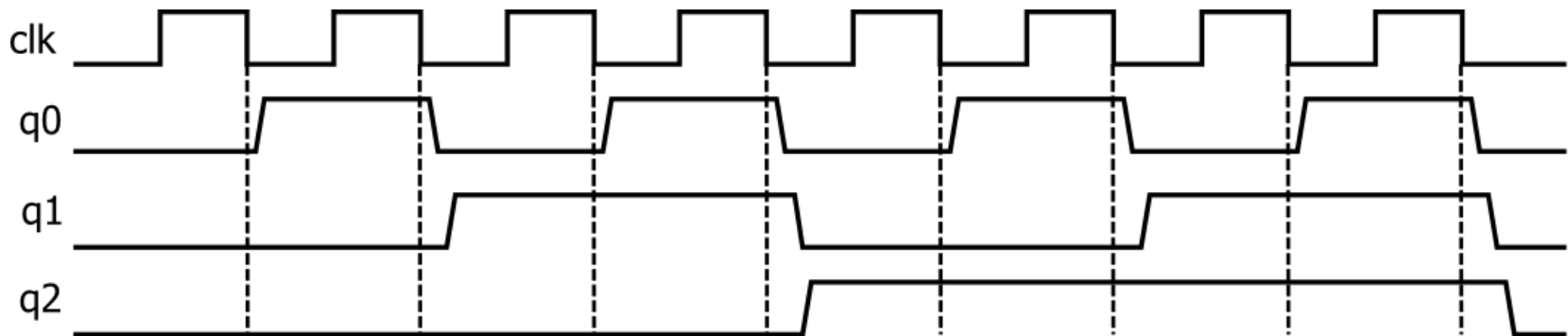
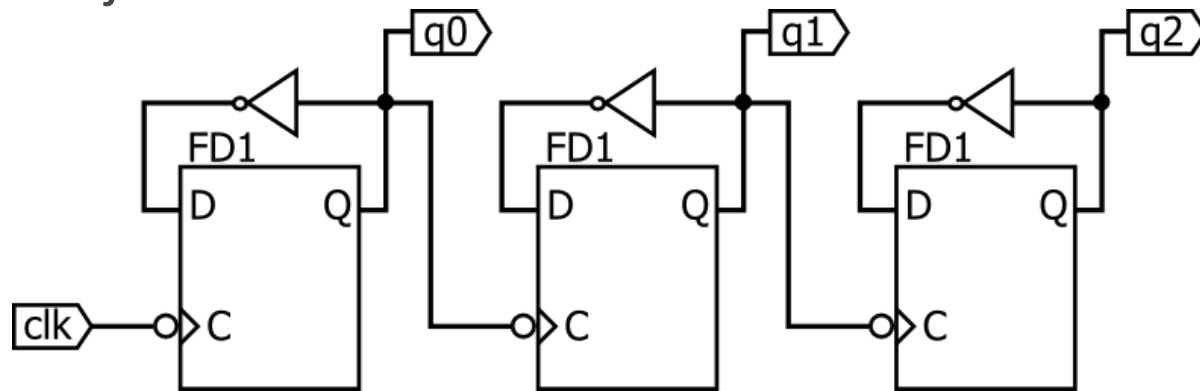
# Zaporedna vezava sekvenčnih gradnikov

- ▶ podatki se pri zaporednem prehodu čez **n** gradnikov zakasnijo za **n** urnih ciklov
  - ▶ krmilni signali (clk) so vezani skupaj
- ▶ npr. pomikalni register iz zaporednih flip-flopov



# Serijski (zaporedni) števec

- ▶ z zaporedno vezavo flip-flopov T naredimo serijski števec
  - ▶  $2^3 = 8$  stanj



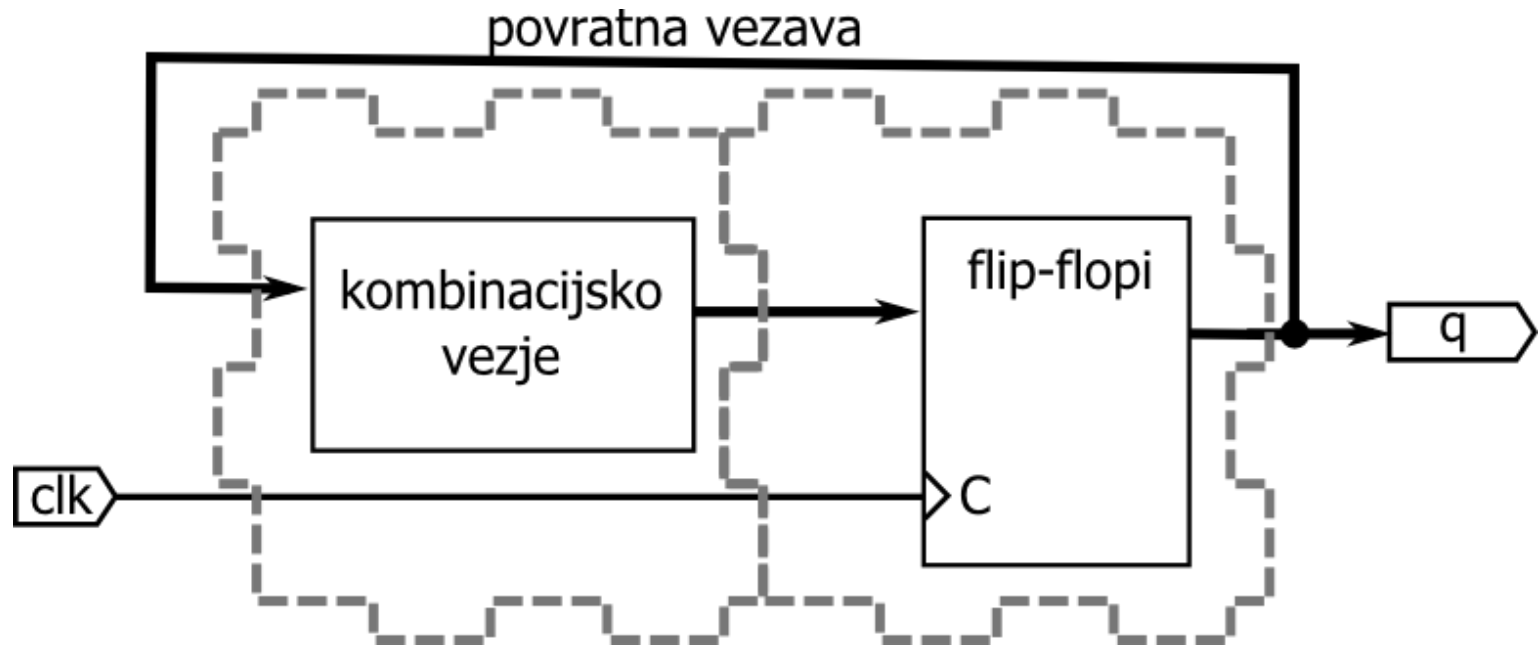
- ▶ izhodni signali niso popolnoma sinhroni z uro
  - ▶ vsak izhodni bit je nekoliko bolj zakasnjjen !



# Povratna vezava

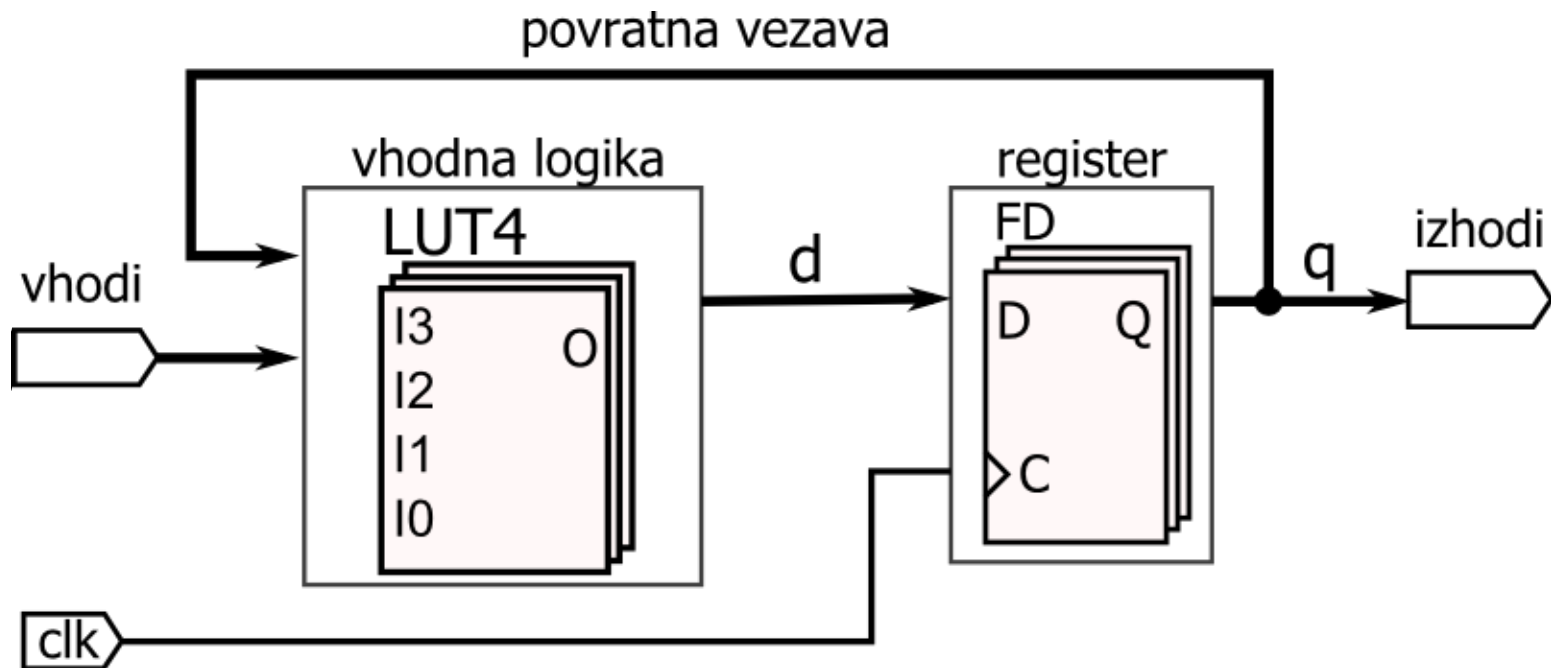
---

- ▶ podatkovni izhod preko enega ali več gradnikov vezan na vhod istega gradnika
- ▶ **sinhrono sekvečno vezje**: flip-flop (register) v povratni vezavi:



# Izdelava sinhronih vezij

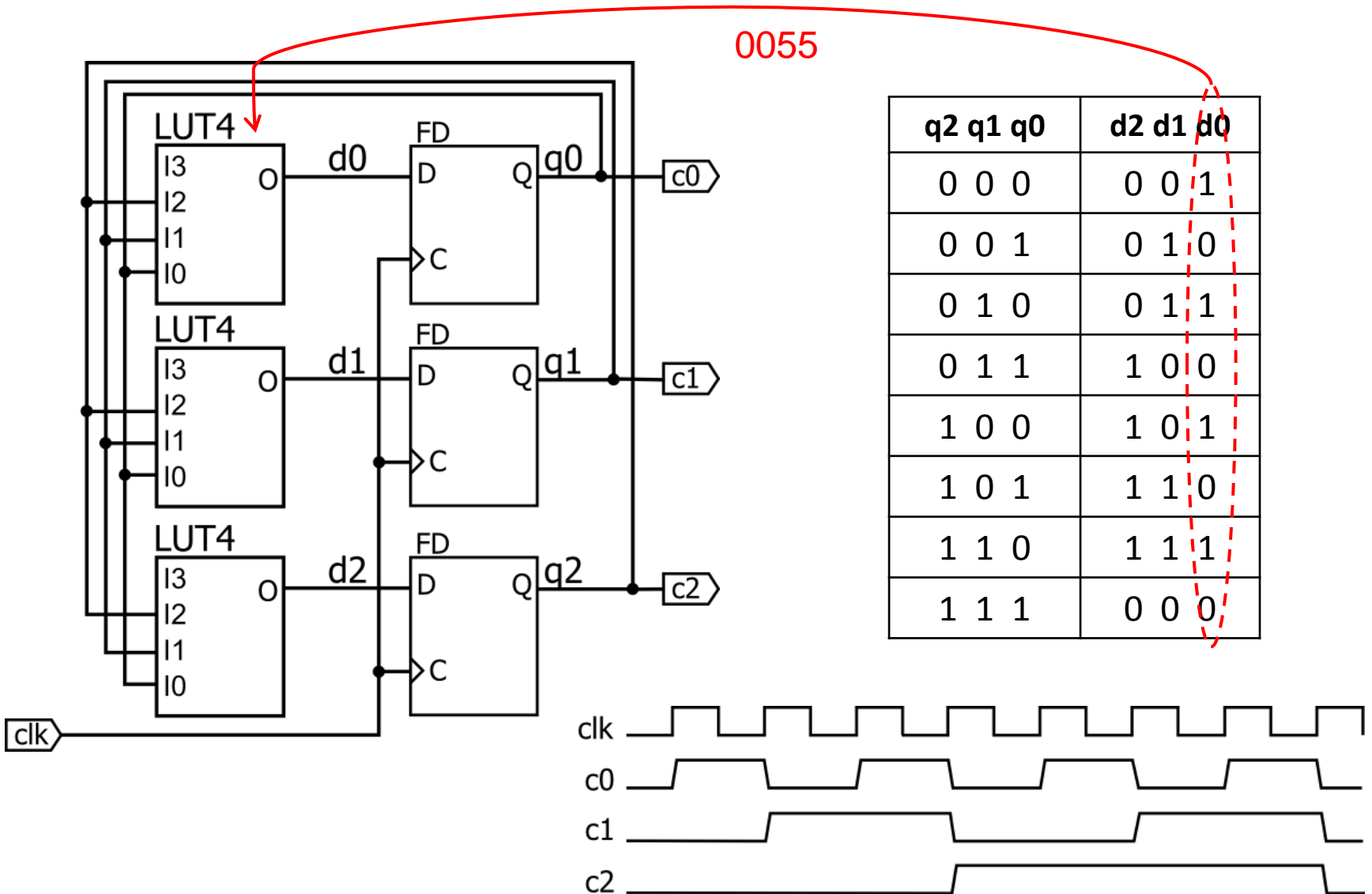
- ▶ sekvenčna vezja s povratno vezavo



- ▶ sinhrona vezja v tehnologiji FPGA
  - ▶ vhodna logika iz LUT
  - ▶ register iz flip-flopov

# Sinhroni števec

## ▶ 3-bitni sinhroni števec



# Sinhroni števec gor-dol

- ▶ s krmilnim vhodom določamo smer štetja

dol	q1	q0	d1	d0
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	1
1	1	1	1	0

