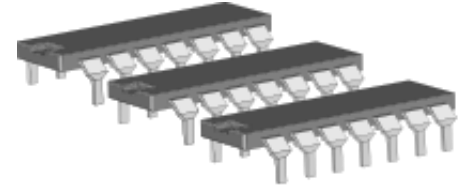


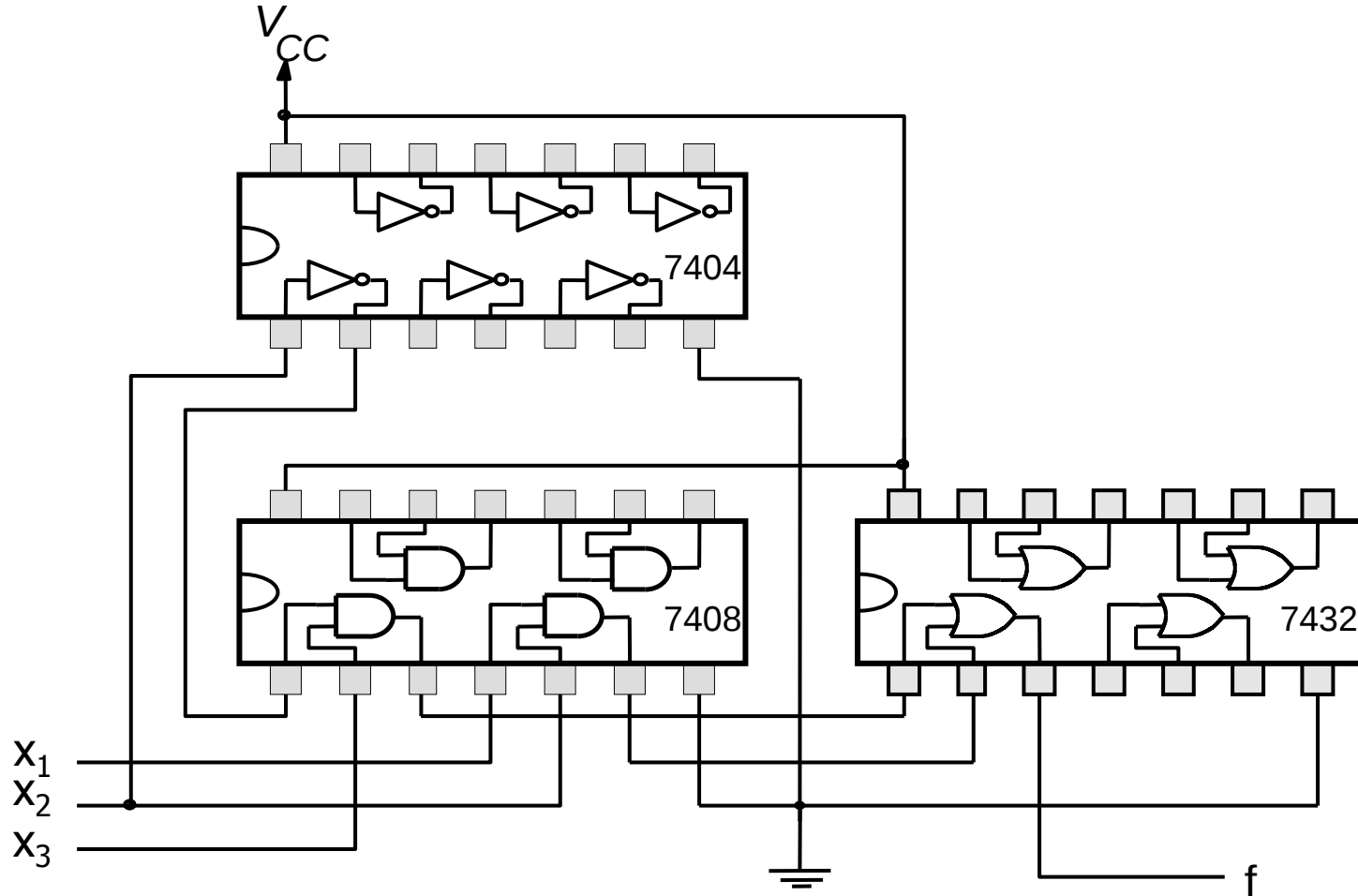
Integrirana vezja

- ▶ standardni čipi: TTL družina 7400...
- ▶ gradniki z vnapirej določeno funkcijo
 - ▶ vsebujejo <100 transistorjev
 - ▶ dogovor med proizvajalci o oznaki čipa, ki določa funkcijo
 - ▶ funkcija neodvisna od tehnologije
- ▶ razvijalec vezij določi kako povezati več čipov za izvedbo naloge
 - ▶ 1980 v industrijski uporabi, danes se uporabljajo manjša in zmogljivejša vezja

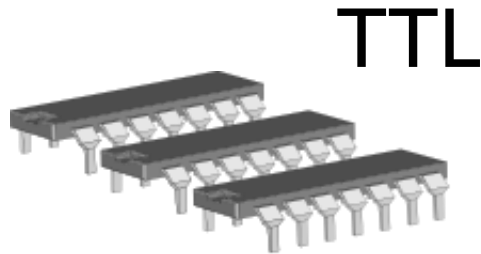


Izvedba vezja z gradniki 7400

$$f = (x_1 \text{ AND } x_2) \text{ OR } (x_3 \text{ AND NOT } (x_2))$$



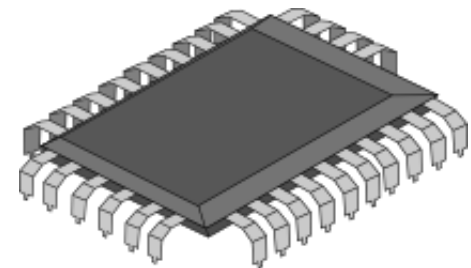
Razvoj integriranih vezij



TTL

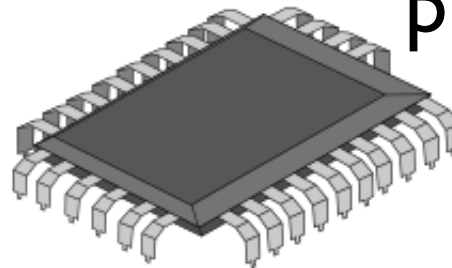
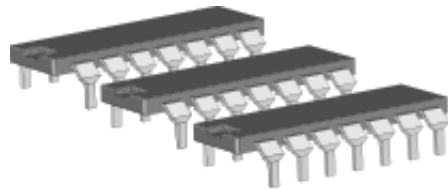
mikroprocesor

ASIC



- ▶ Application Specific Integrated Circuit
 - ▶ namensko razvita vezja so majhna in hitra
 - ▶ razvoj je dolgotrajen, izdelava je draga in zahtevna
 - ▶ primerna za velikoserijsko proizvodnjo

Programirljive naprave – PLD

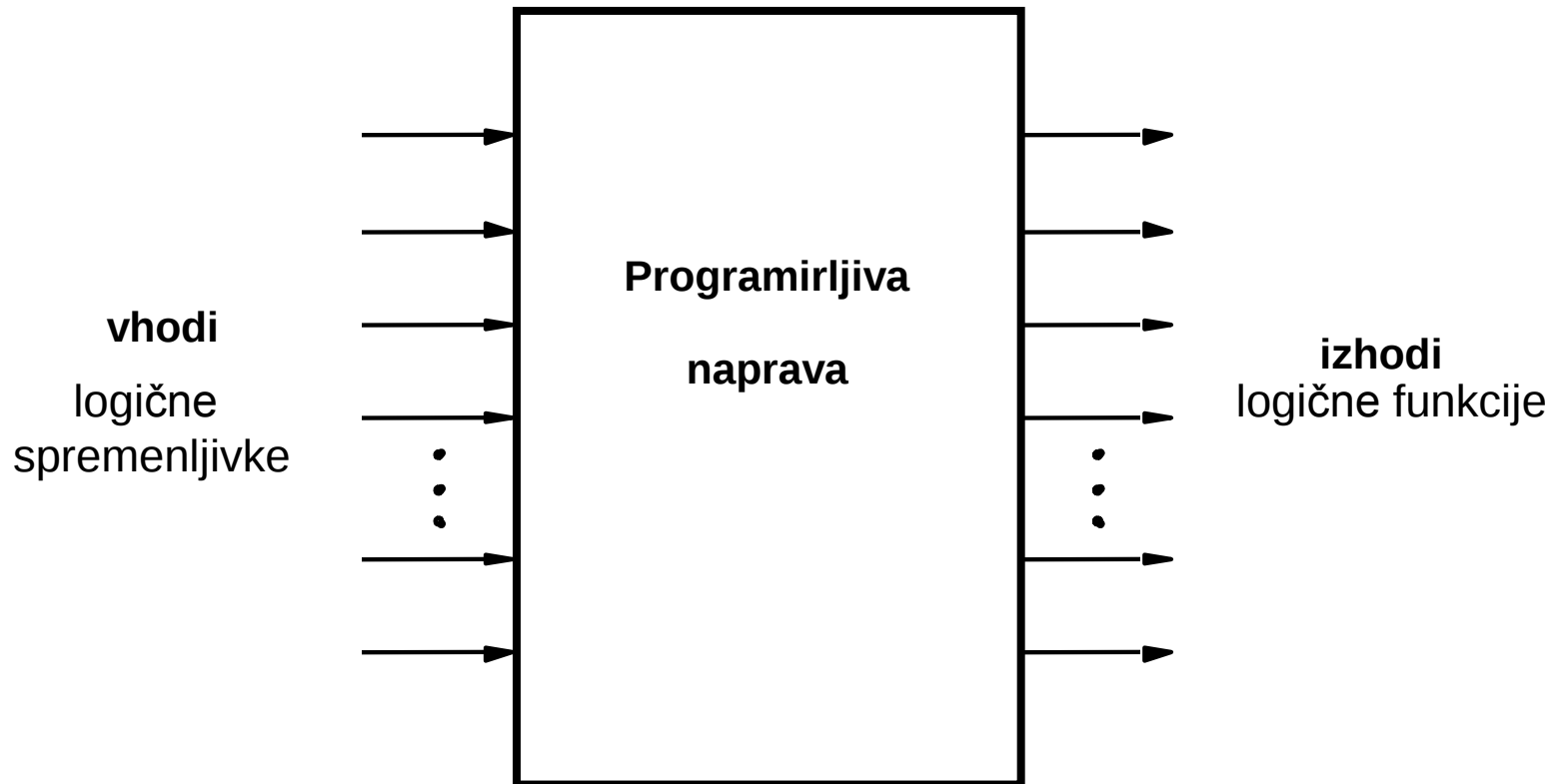


programirljivo
vezje

- ▶ razvijalec določi funkcijo programirljive naprave
- ▶ izvedba kompleksnejših funkcij
 - ▶ PAL, PLA
 - ▶ CPLD
 - ▶ FPGA
- ▶ programirljive naprave se pogosto uporabljajo v industriji

Programirljivo vezje

- ▶ za izvedbo kombinacijskih funkcij lahko uporabimo ROM
 - ▶ neoptimalna izvedba, omejeni smo s številom vhodov in izhodov



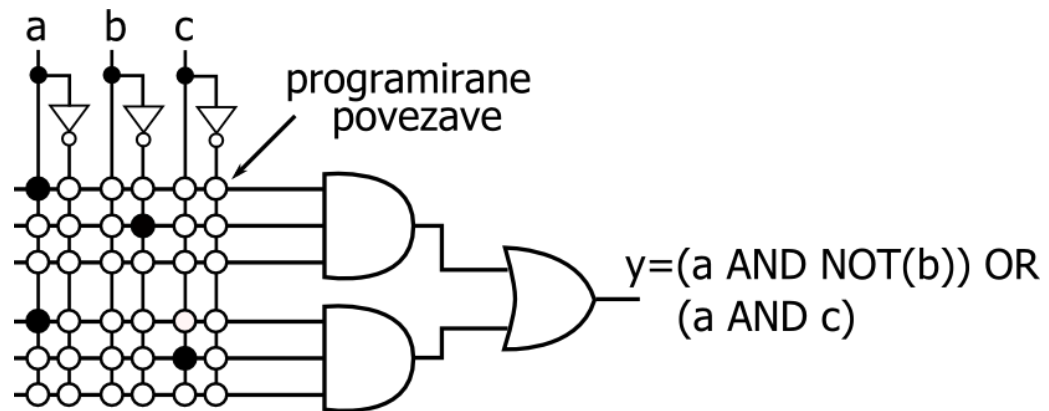
Programirljiva kombinacijska matrika

- ▶ Boolova algebra: kombinacijsko funkcijo pretvorimo v obliko AND-OR

alarm = vklop AND (NOT(vrata) or gib)

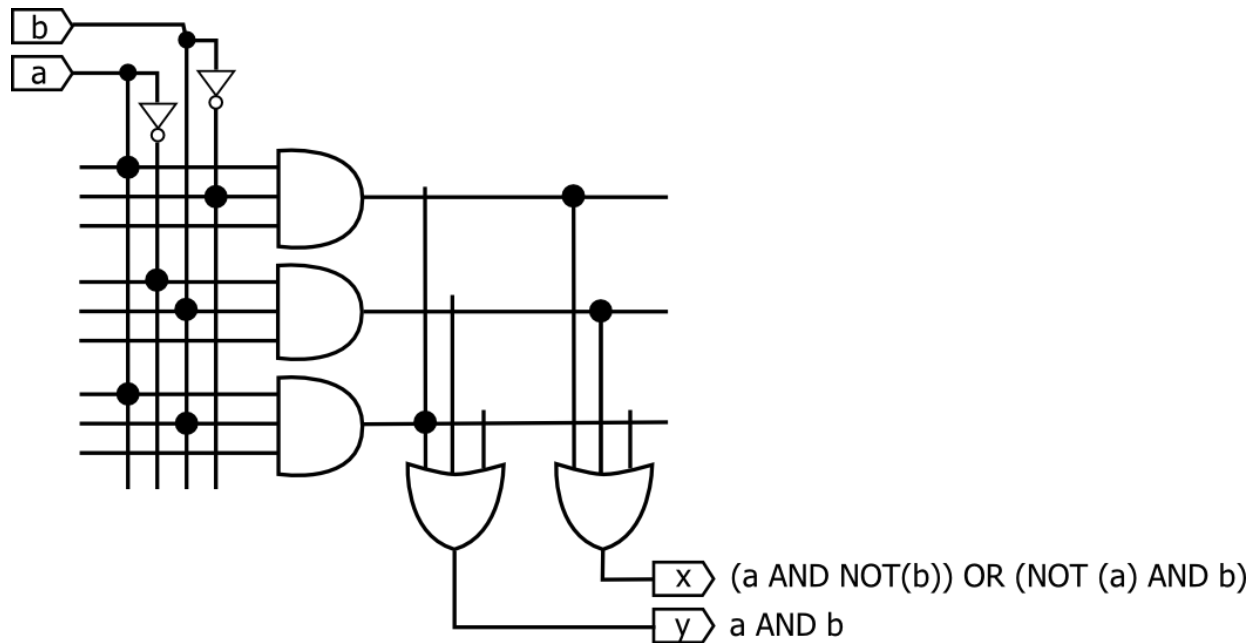
alarm = (vklop AND NOT(vrata)) OR (vklop AND gib)

PAL
Programmable
Array Logic



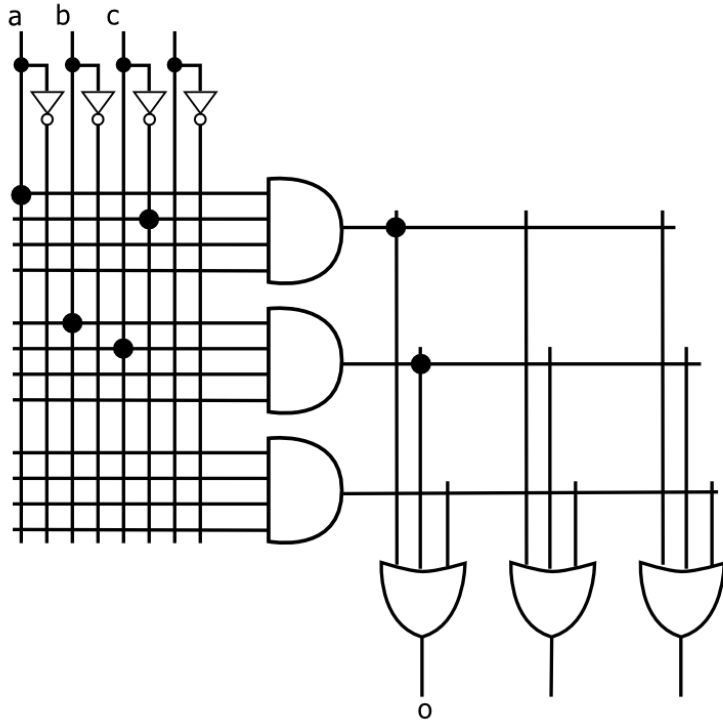
Programirljiva matrika PLA

- ▶ programirljiva AND in OR matrika
- ▶ matrice PLA come in various sizes
 - ▶ tipična PLA ima 16 vhodov, 32 produktnih členov (AND) in 8 izhodov
- ▶ vezalna shema PLA:

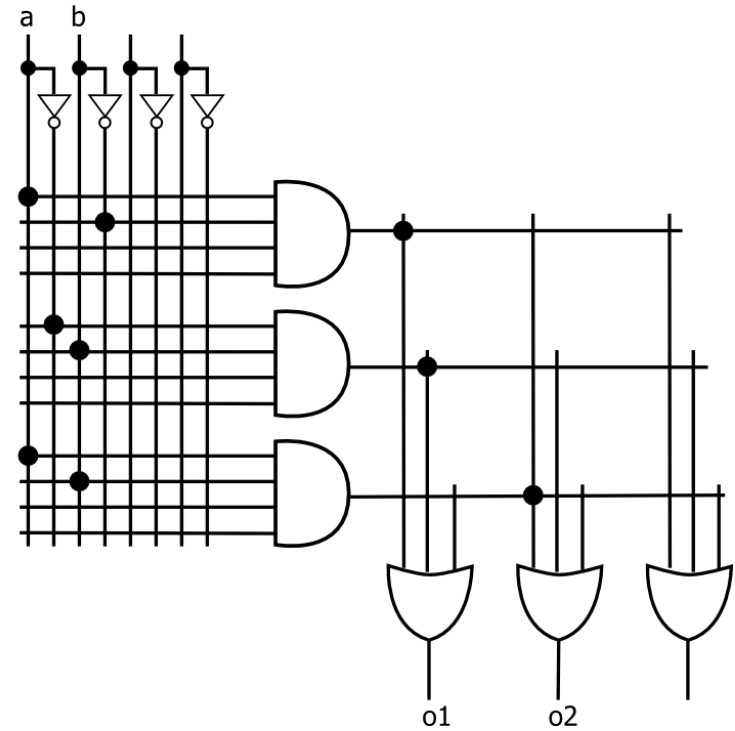


Izvedba kombinacijskih funkcij

a)

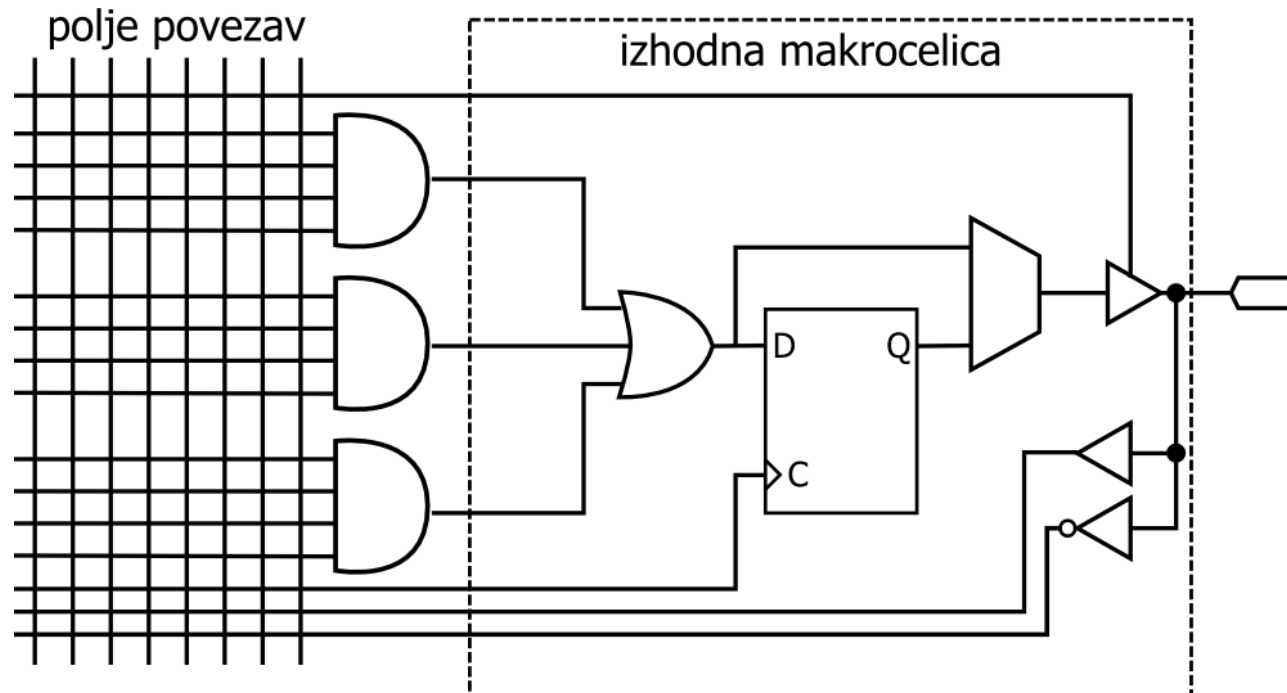


b)



Izhodne makrocelice

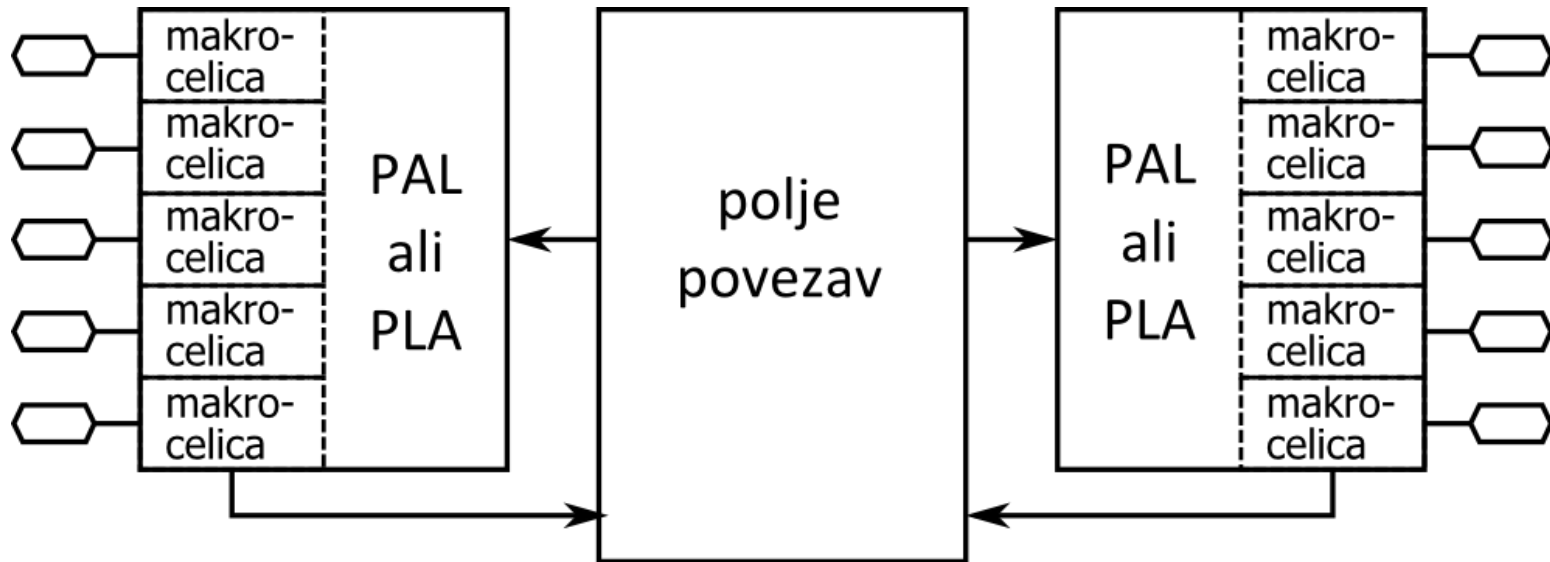
- ▶ Programirljiva matrika ima lahko na izhodu vrat OR dodatno vezje
- ▶ izhodna makrocelica vsebuje pomnilni element in povratne povezave nazaj na vhode



Programirljive naprave - CPLD

► **C**omplex **P**rogrammable **L**ogic **D**evice

- več blokov PLD in polje povezav
- 1.000-20.000 log. vrat, 50-500 FF
- FLASH tehnologija, 1.8V

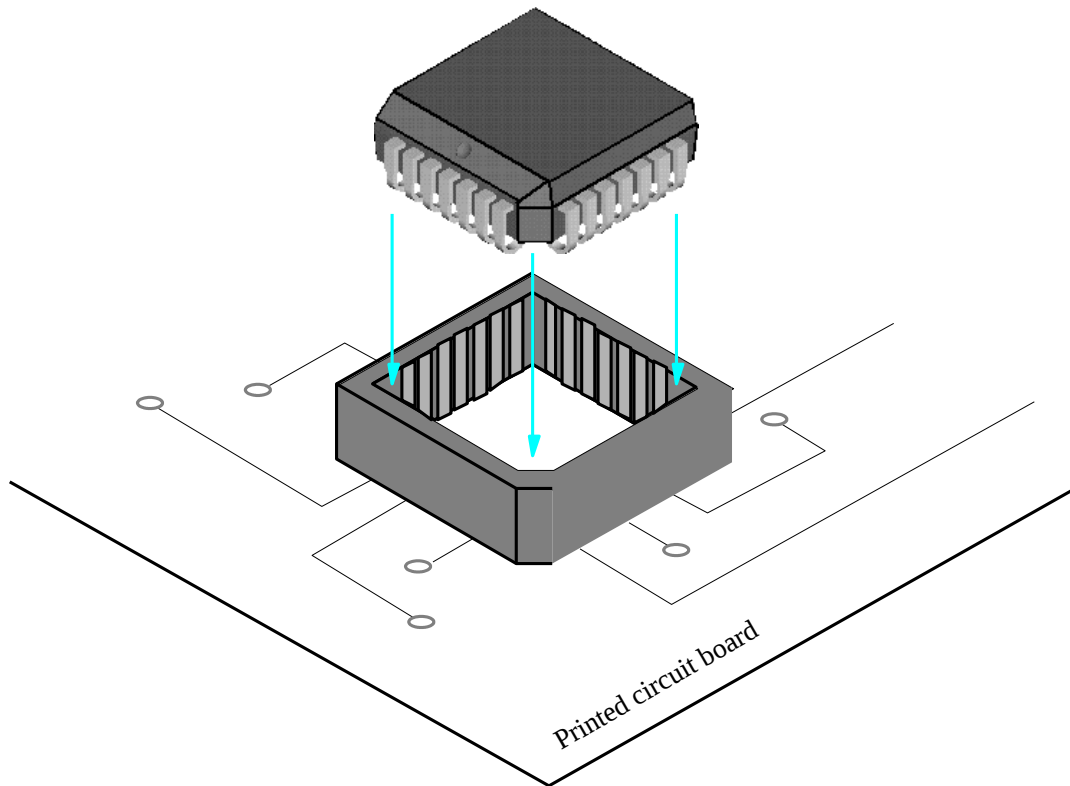


Programiranje vezij PLD

- ▶ razvojna orodja CAD (Computer Aided Design)
 - ▶ s prevajanjem sheme vezja določijo katere povezave morajo biti vzpostavljene
- ▶ programiranje vezja v programatorju
 - ▶ integrirana vezja s podnožjem na tiskanem vezju
 - ▶ preproste naprave: PAL, PLA in preprost
- ▶ programiranje na sistemu (ISP)
 - ▶ programiranje preko nekaj priključkov na tiskanem vezju
 - ▶ tehnika programiranja za kompleksne programirljive naprave

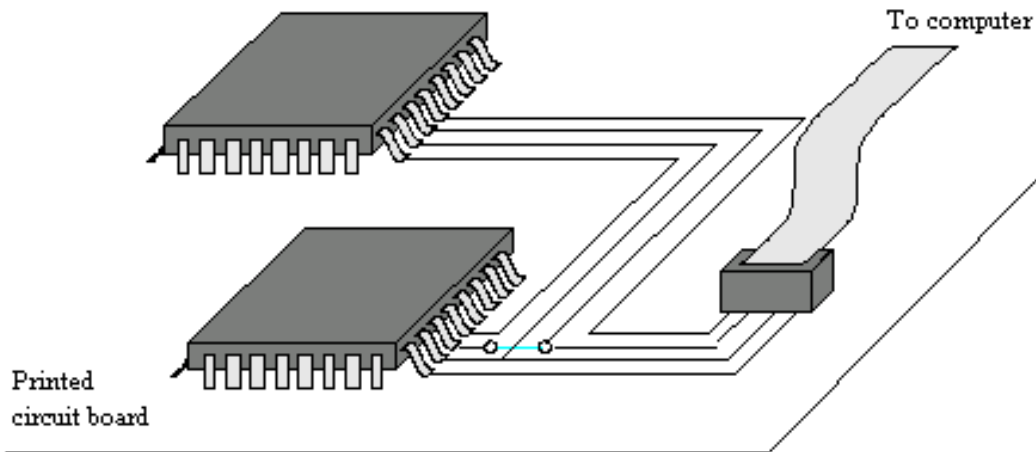
Programiranje s programatorjem

- ▶ ohišje PLCC (plastic-leaded chip carrier)



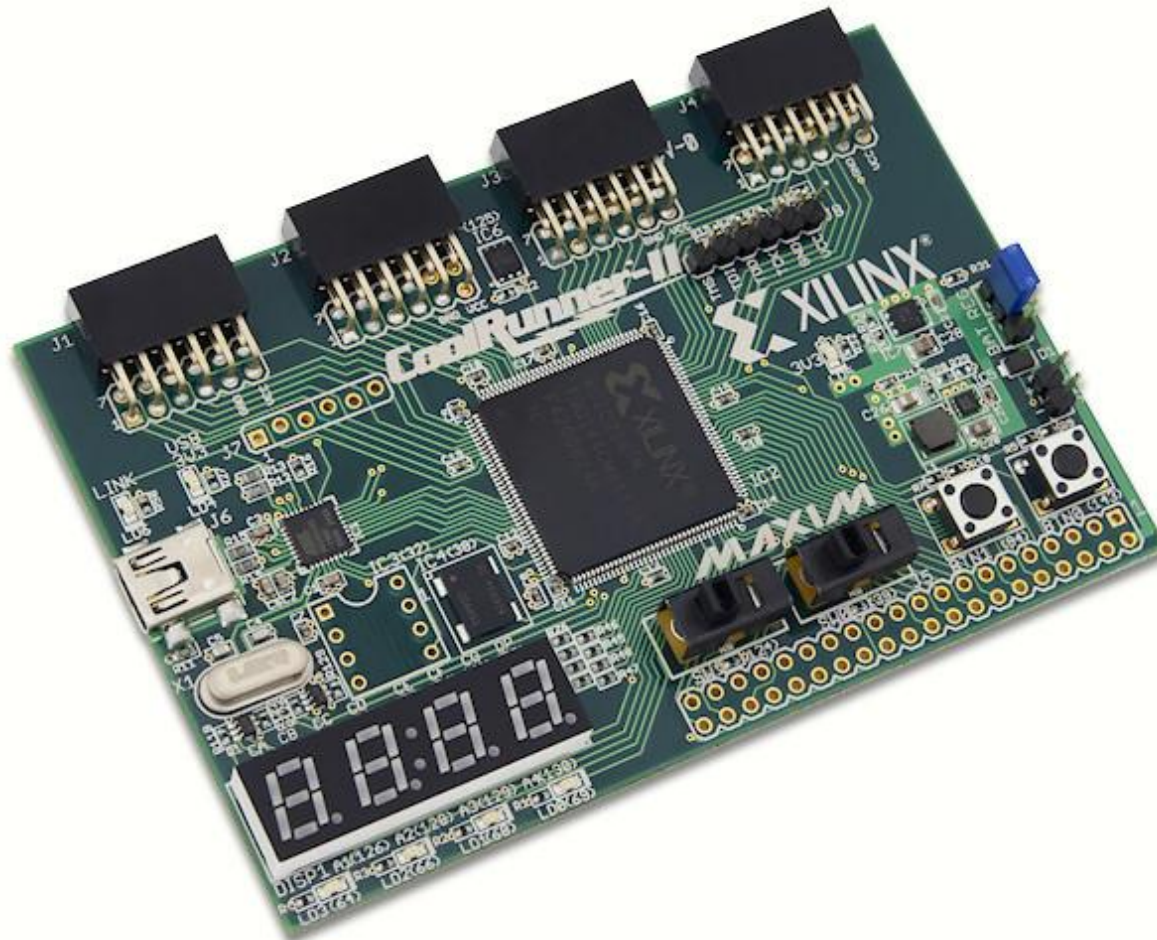
Programiranje na sistemu

- ▶ programirljiva vezja z veliko priključki
 - ▶ npr. ohišje QFP s 100, 144, 208 priključki...
- ▶ JTAG vmesnik



Programiranje na razvojni plošči

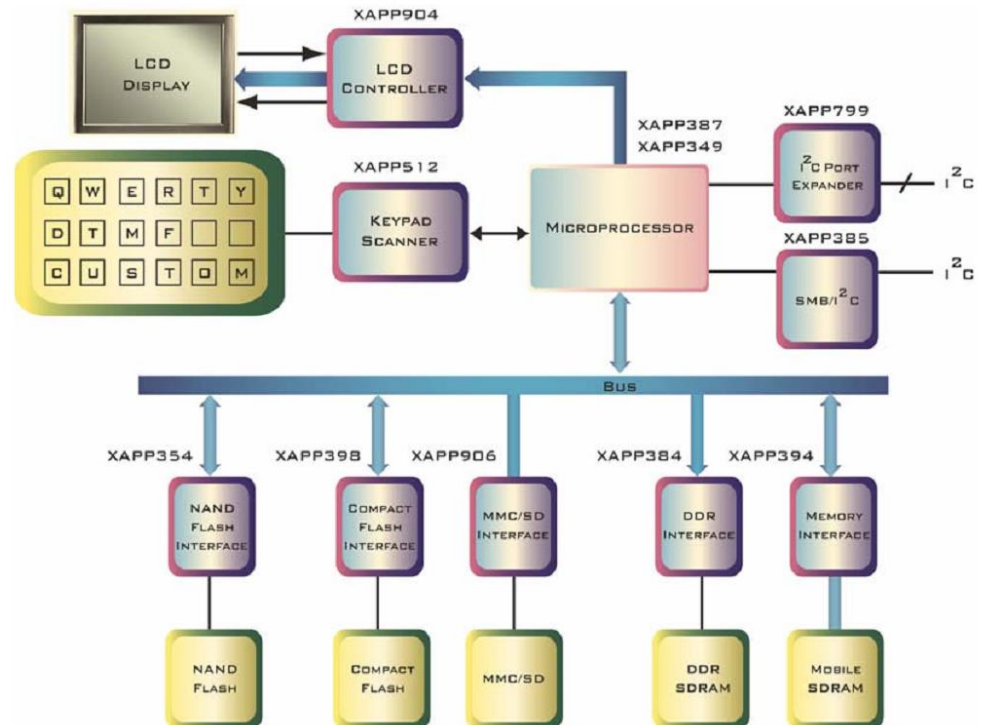
- ▶ ISP vmesnik vgrajen v razvojno ploščo
- ▶ povezava z računalnikom preko USB



Uporaba programirljivih naprav

CPLD

- ▶ enostavni vmesniki
 - ▶ povezovalna logika
 - ▶ pretvorniki log. nivojev
- ▶ hitri števci in avtomati
- ▶ senzorski vmesniki
- ▶ krmiljenje LED matrice



Digitalna integrirana vezja

Mikroprocesor

- ▶ **univerzalno** vezje, zaporedje ukazov, enostaven razvoj aplikacij

SLABOSTI

- ▶ počasen odziv na dogodke
- ▶ zmogljivost odvisna od kompleksnosti algoritma

Application Specific Integrated Circuit

- ▶ vezje za **določen namen**, paralelno delovanje
- ▶ hiter odziv na dogodke

SLABOSTI

- ▶ zahtevno za načrtovanje
- ▶ s kompleksnostjo algoritma narašča velikost in cena vezja

Programirljiva vezja so vnaprej izdelana

- ▶ krajši čas razvoja, ni stroškov priprave proizvodnje (milijoni \$)
- ▶ hiter odziv in paralelna obdelava, kot ASIC
- ▶ v primerjavi z ASIC so počasnejša, imajo večjo površino in večjo porabo