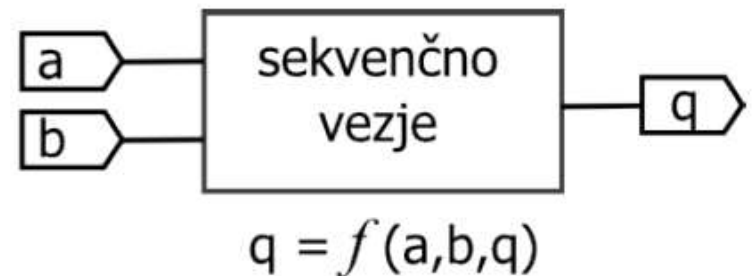
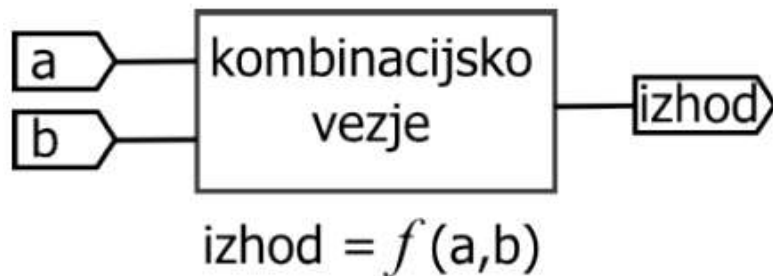


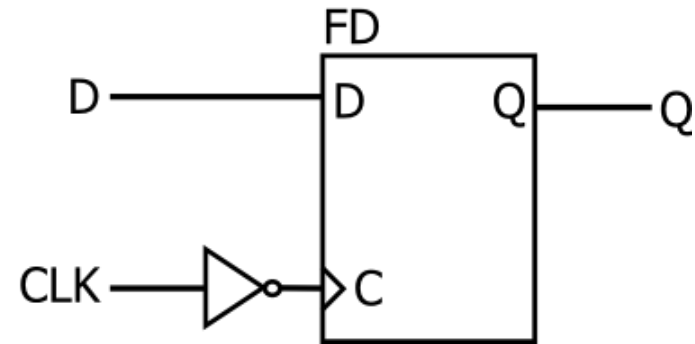
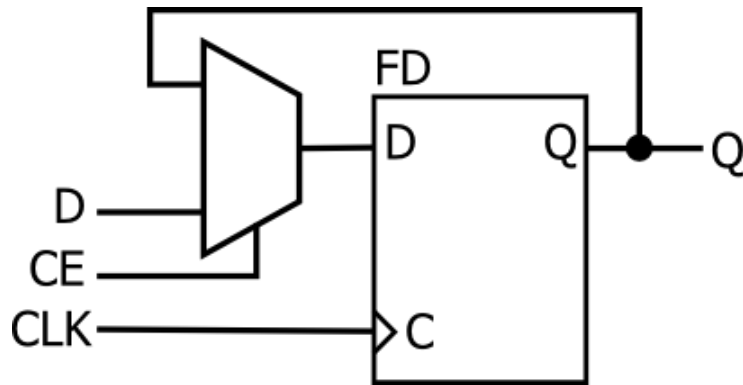
Kombinacijska in sekvenčna vezja - teorija

- ▶ Dele vezja ali gradnike obravnavamo kot črno škatlo
 - ▶ opazujemo le vhodne in izhodne signale

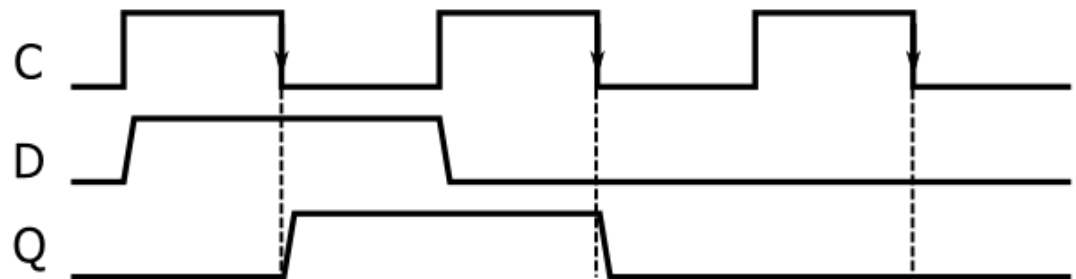
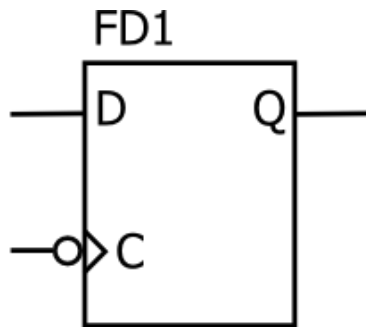


- ▶ Kombinacijsko vezje
 - ▶ sestavljeno iz logičnih vrat brez povratnih zank
 - ▶ če ima n vhodov, ga opišemo s tabelo z 2^n vrsticami
- ▶ Sekvenčno vezje
 - ▶ vsebuje pomnilne elemente, ki določajo stanje vezja
 - ▶ če vsebuje n flip-flopov, ima 2^n različnih stanj
 - ▶ **sekvenčno vezje ima uro!**

Preprosta sekvenčna vezja

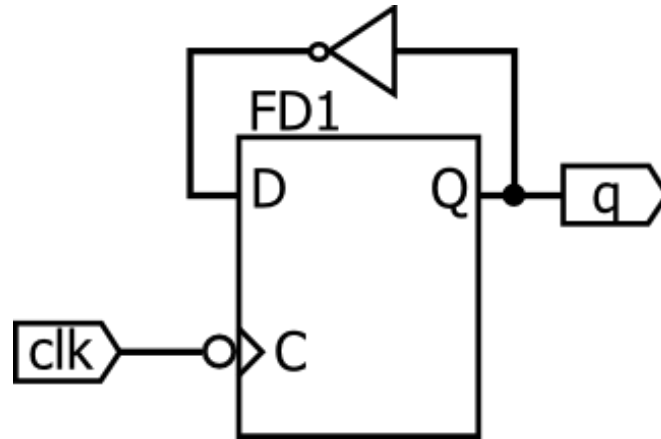


- ▶ Vezje z enim flip-flopom ima eno notranje stanje (Q)
- ▶ Flip-flop, ki proži na zadnjo fronto-ure:



Preprosta sekvenčna vezja

- ▶ Flip-flop, ki preklaplja vrednost na izhodu

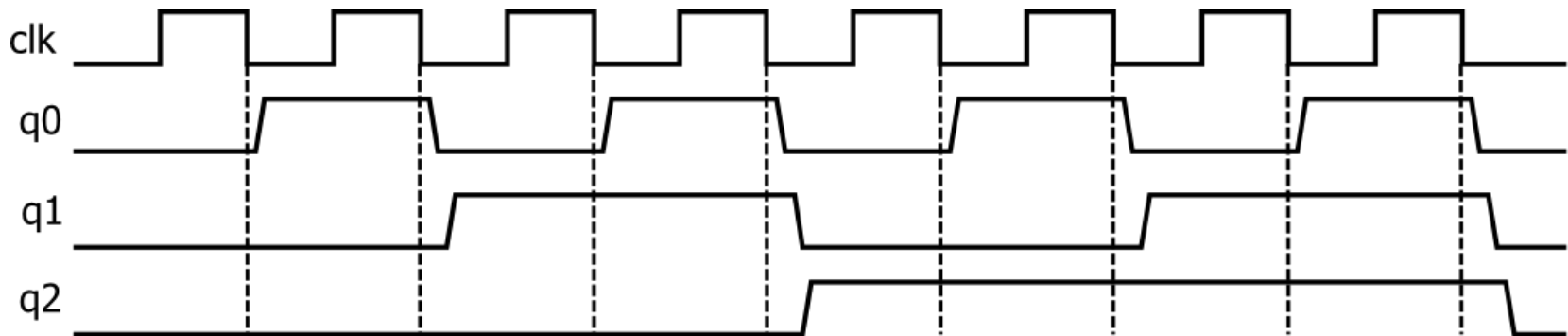
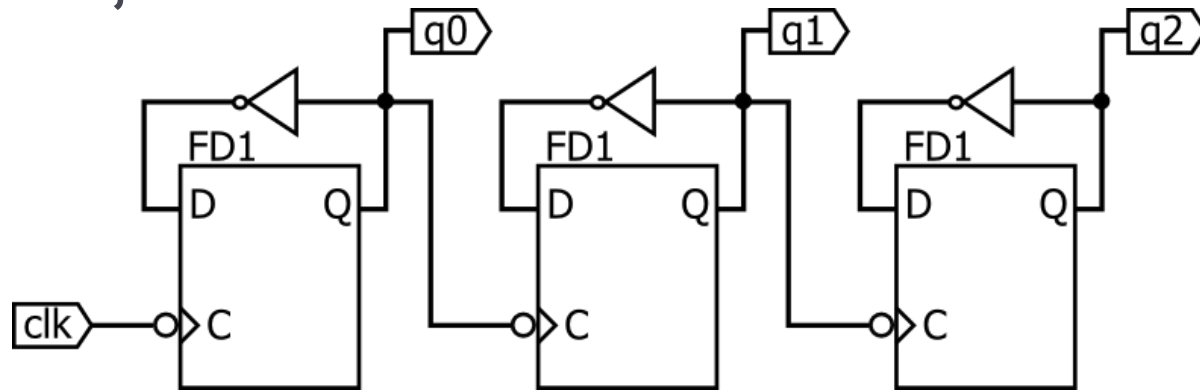


- ▶ Kako naredimo flip-flop, ki preklaplja ali ohranja vrednost ?
 - ▶ angl. **Toggle Flip-Flop**

T q	d
0 0	0
0 1	1
1 0	1
1 1	0

Števec

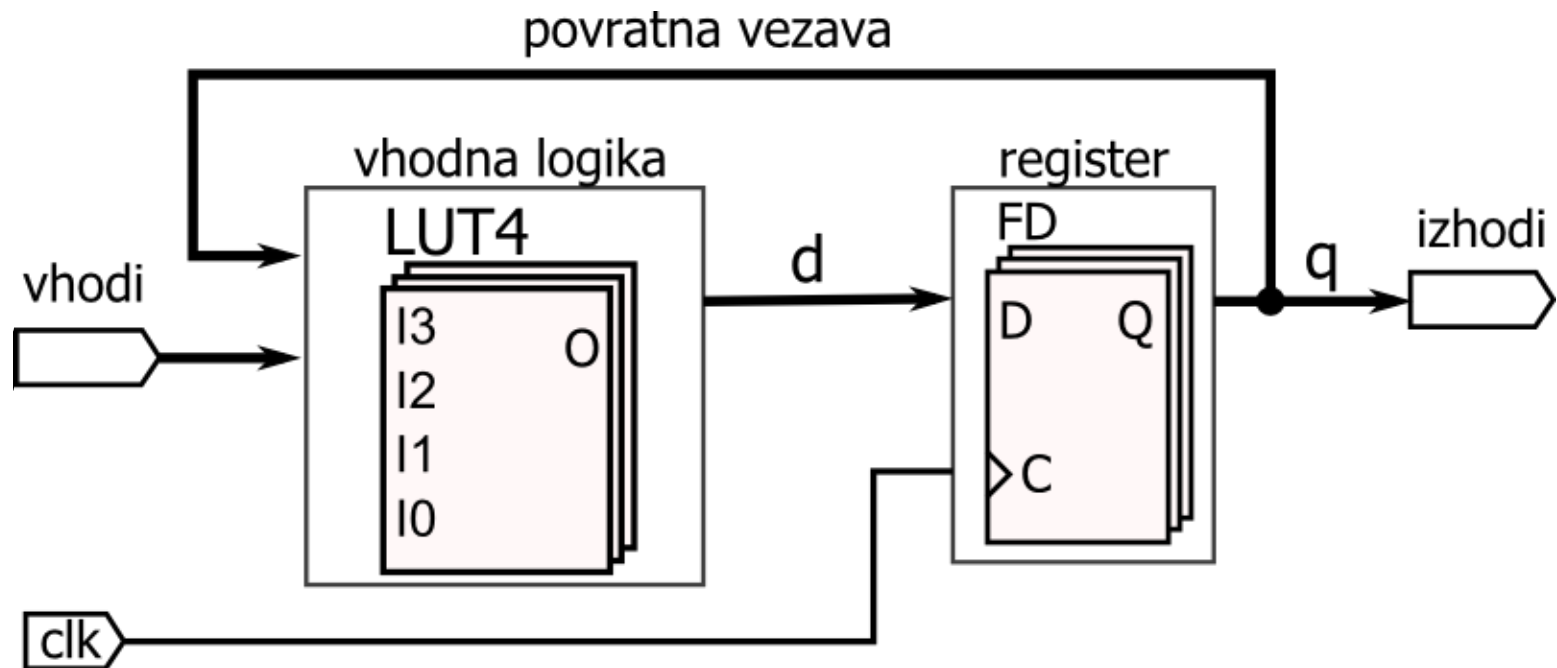
- ▶ Z zaporedno vezavo flip-flopov T naredimo serijski števec
 - ▶ $2^3 = 8$ stanj



- ▶ Izhodni signali niso popolnoma sinhroni z uro
 - ▶ vsak izhodni bit je nekoliko bolj zakasnjen !

Izdelava sinhronih vezij

► Sekvenčna vezja s povratno vezavo

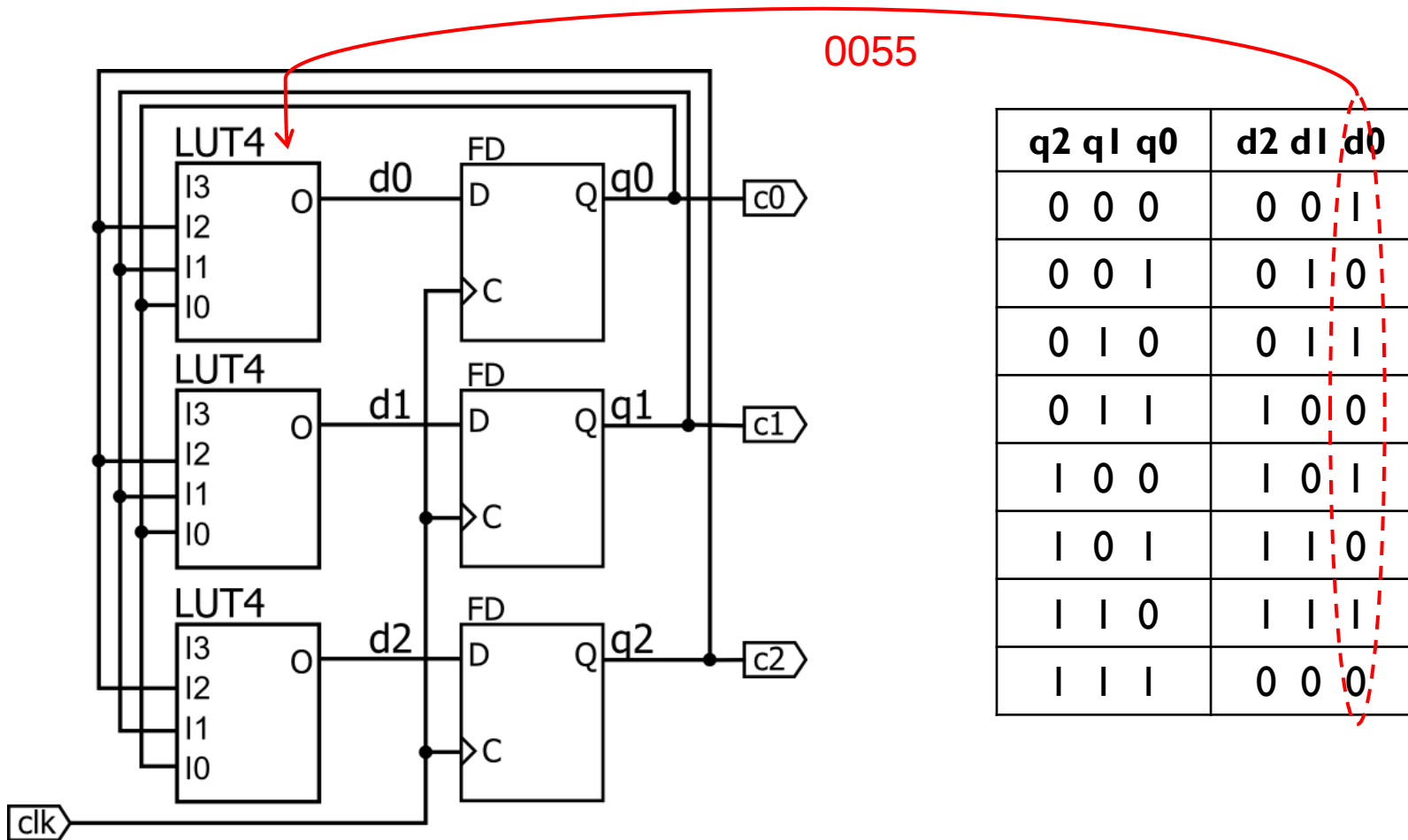


► Sinhrona vezja v tehnologiji FPGA

- vhodna logika iz LUT
- register iz flip-flopov

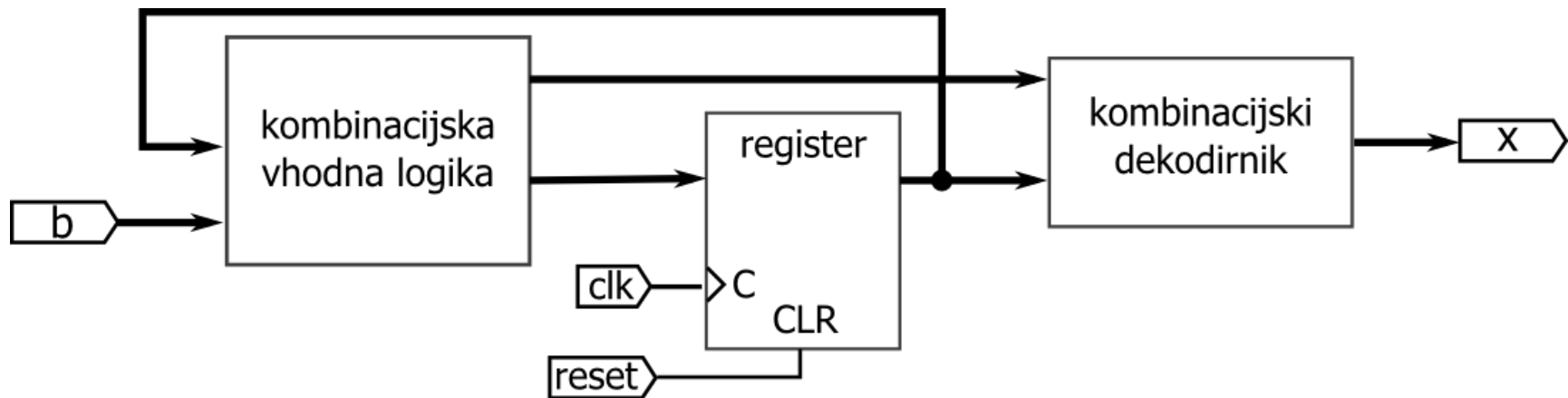
Sinhroni števec

► 3-bitni sinhroni števec



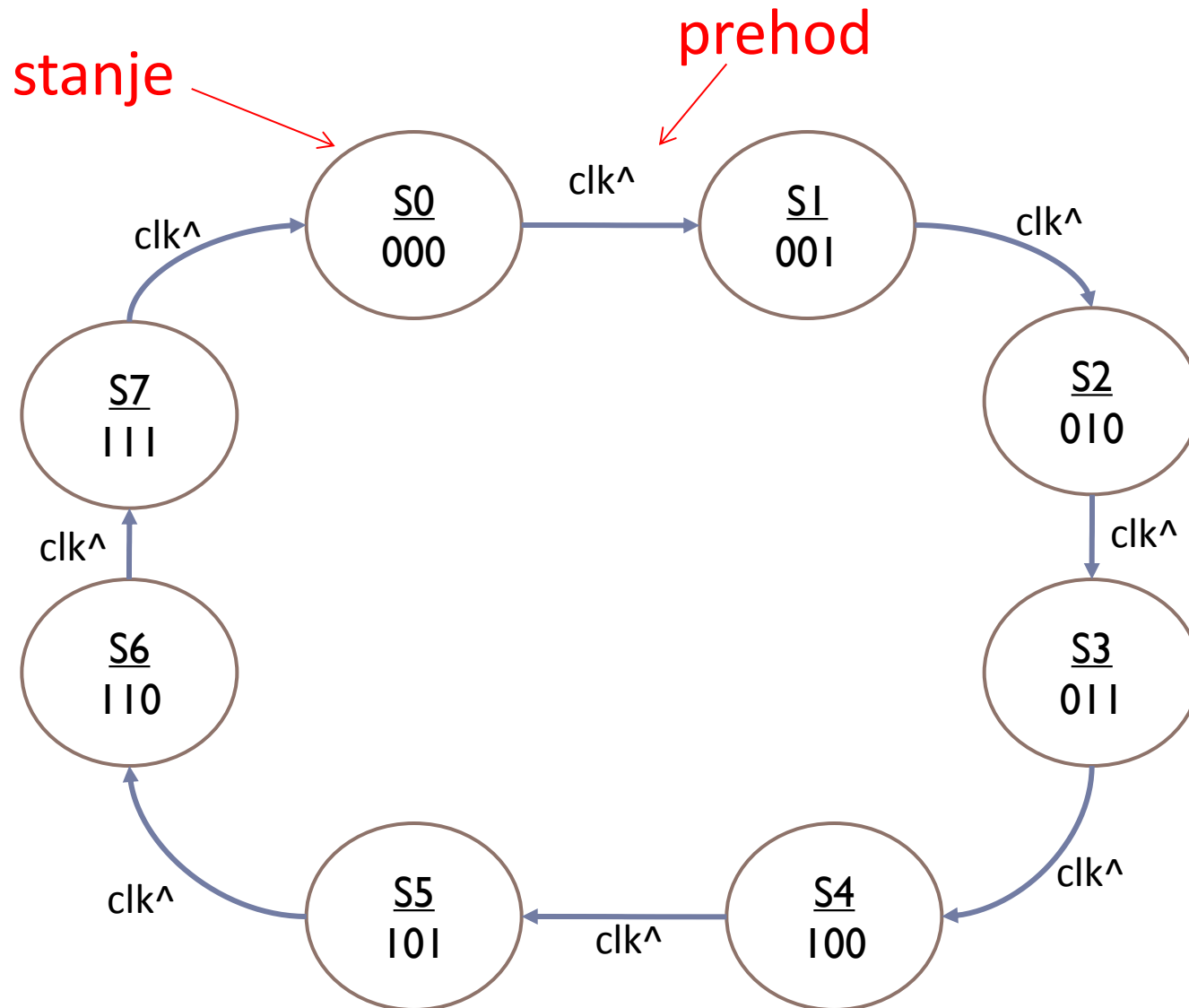
Splošen sekvenčni gradnik – sekvenčni stroj

- ▶ Končni stroj stanj (angl. **Finite State Machine**)
 - ▶ vezje vsebuje n-bitni register za 2^n stanj
 - ▶ kombinacijska logika na vhodu in izhodu
- ▶ Moorovo vezje (avtomat):



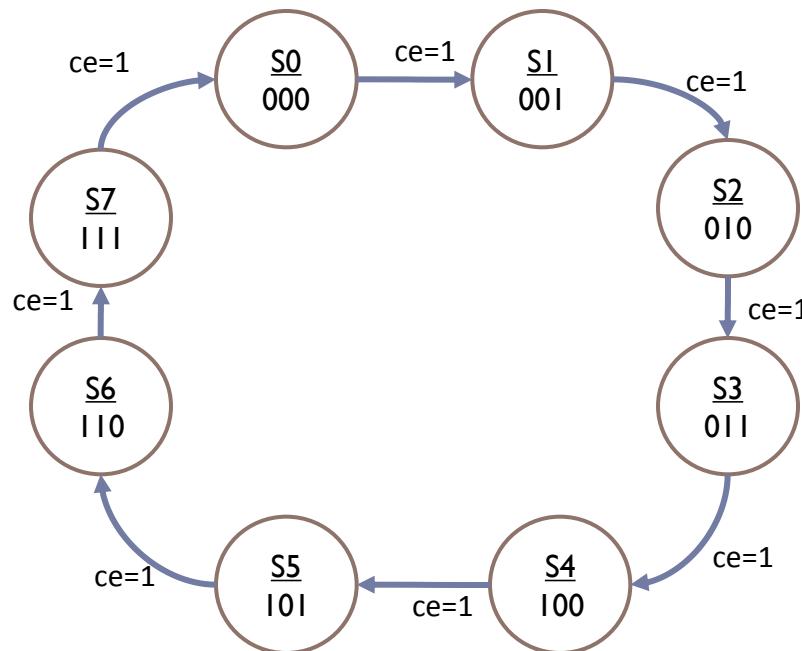
- ▶ Vezja, ki spreminjajo stanja v časovnem zaporedju, ciklu...
 - ▶ npr. ciklični števec, semafor

Opis sekvenčnega vezja z diagramom stanj



Pravila za konstrukcijo diagrama stanj

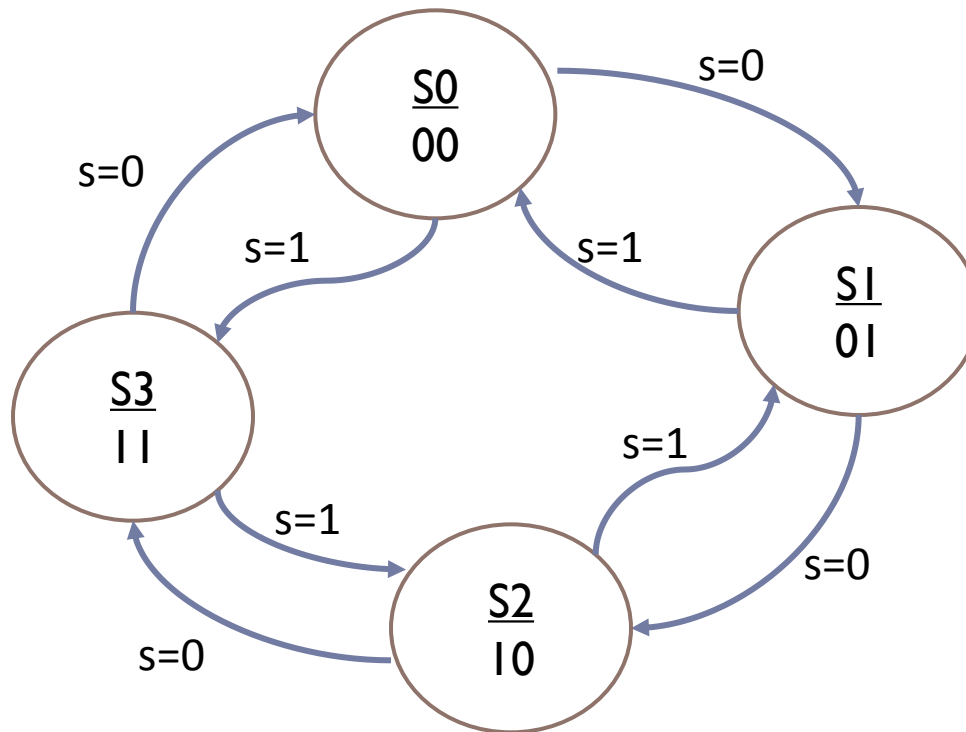
- ▶ Narišemo vsa stanja v katerih določimo izhode
- ▶ Zapišemo pogoje za prehod med stanji
 - ▶ v sinhronih vezjih so vsi flip-flopi vezani na skupno uro, zato je fronta ure ($clk^{\wedge}$) vedno pogoj in jo na sliki izpustimo!
 - ▶ pogoj za prehod so lahko še drugi vhodni signali, npr. vhod za omogočanje števca CE



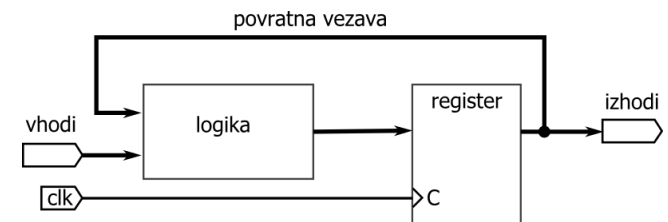
- ▶ stanja označimo s simboli, npr. S0, S1...
- ▶ pod črto zapišemo vrednost izhodov

Opis dvosmernega števca z diagramom stanj

- ▶ Več prehodov iz posameznega stanja
 - ▶ signal s določa ali štejemo naprej ali nazaj



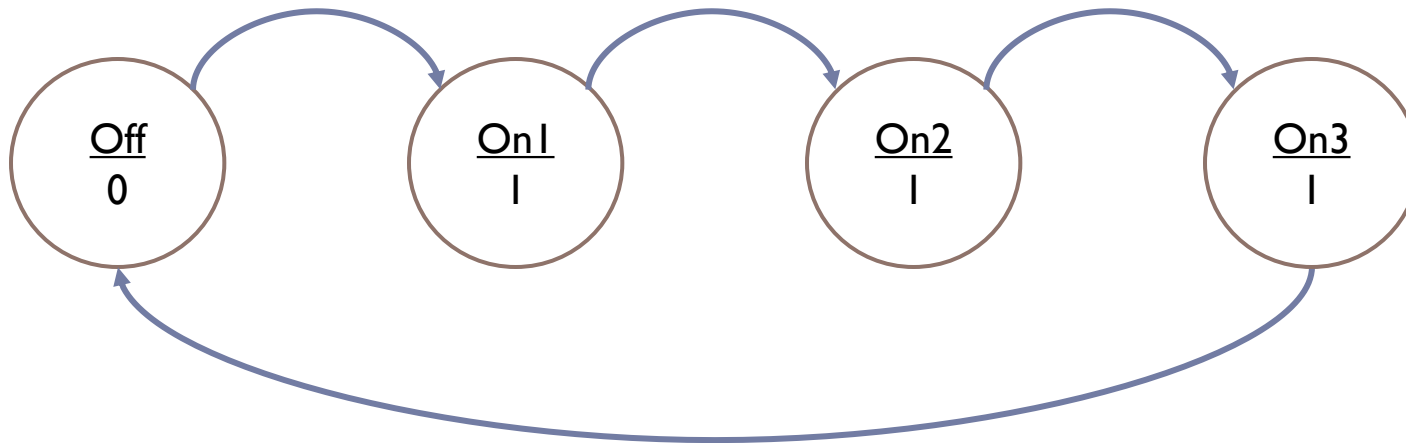
- ▶ če so izhodi enolične kombinacije, ne potrebujemo dodatne izhodne logike



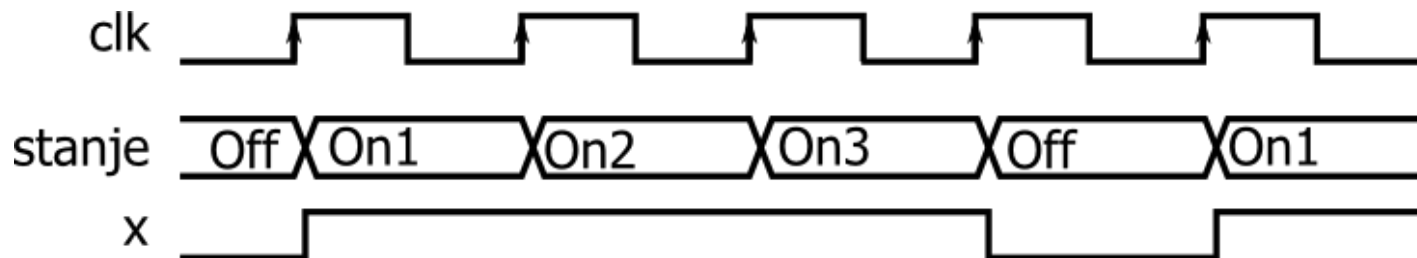
Primer: generator impulzov (poseben števec)

- ▶ Na izhodu je impulz dolg 3 urne cikle

- ▶ izhodna logika

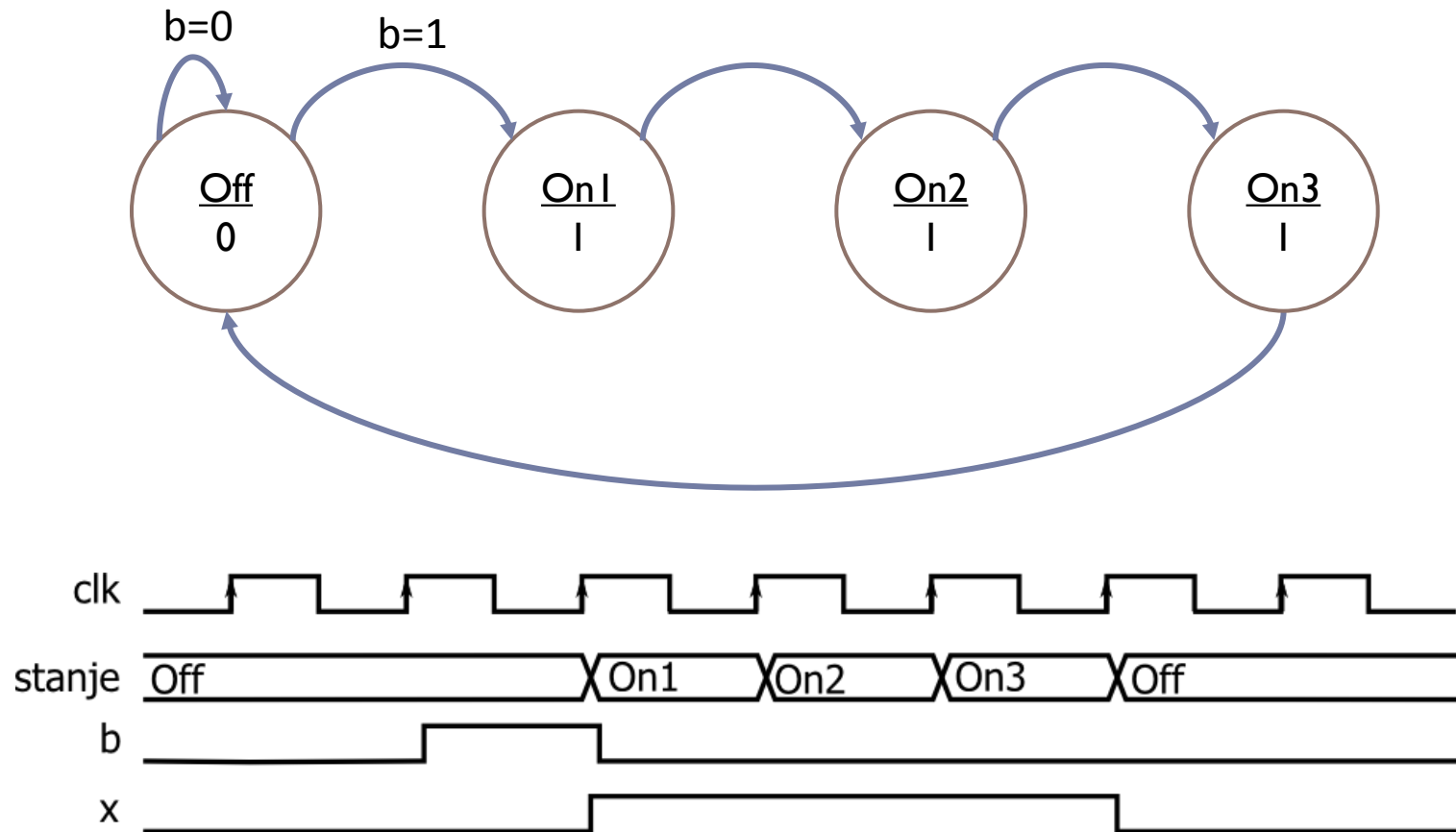


stanje	o
0 0	0
0 1	1
1 0	1
1 1	1



Primer: generator impulzov - 2

- ▶ Impulz dolg 3 urne cikle se pojavi, po tem ko se postavi vhod b na 1



Stroj za detekcijo zaporedja vhodov

- Izhod naj se postavi na 1, če se vhodni signal vh spreminja skladno z uro (clk) v zaporedju: 1, 1, 0, 1

