

Digitalna integrirana vezja

Mikroprocesor

- ▶ **univerzalno** vezje, zaporedje ukazov, enostaven razvoj aplikacij

SLABOSTI

- ▶ počasen odziv na dogodke
- ▶ zmogljivost odvisna od kompleksnosti algoritma

Application Specific Integrated Circuit

- ▶ vezje za **določen namen**, paralelno delovanje
- ▶ hiter odziv na dogodke

SLABOSTI

- ▶ zahtevno za načrtovanje
- ▶ s kompleksnostjo algoritma narašča velikost in cena vezja

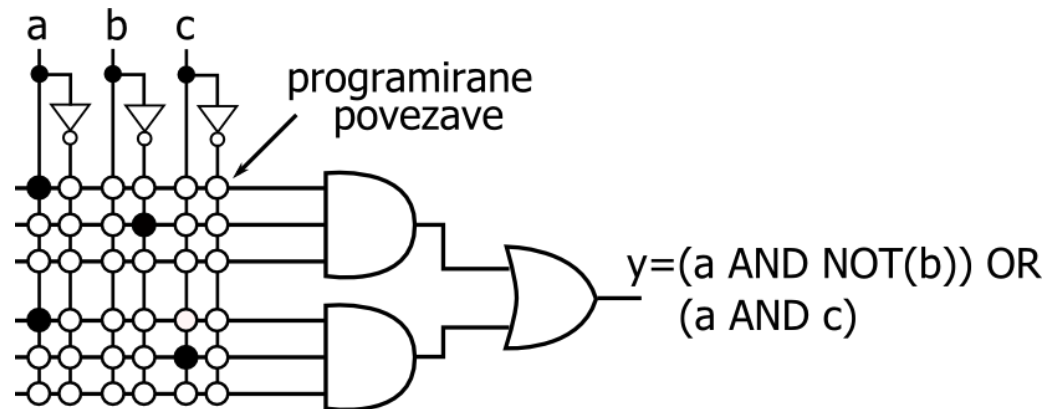
Programirljiva vezja so vnaprej izdelana

- ▶ krajši čas razvoja, ni stroškov priprave proizvodnje (milijoni \$)
- ▶ hiter odziv in paralelna obdelava, kot ASIC
- ▶ v primerjavi z ASIC so počasnejša, imajo večjo površino in večjo porabo

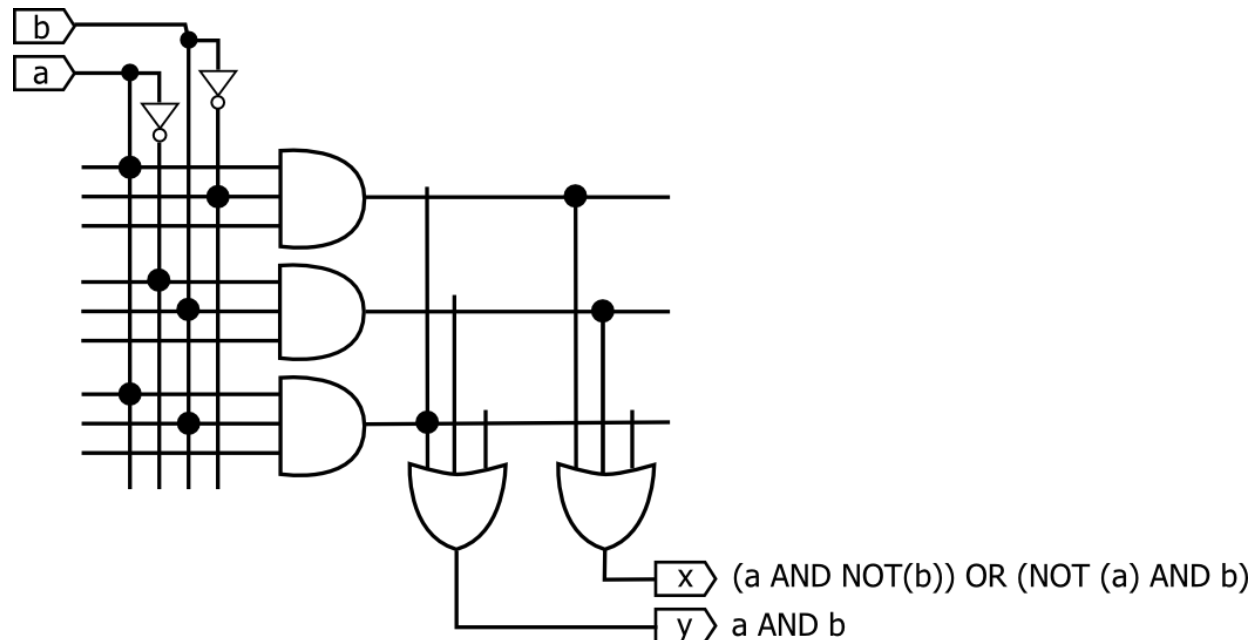
Programirljiva kombinacijska matrika

PAL

Programmable
Array Logic

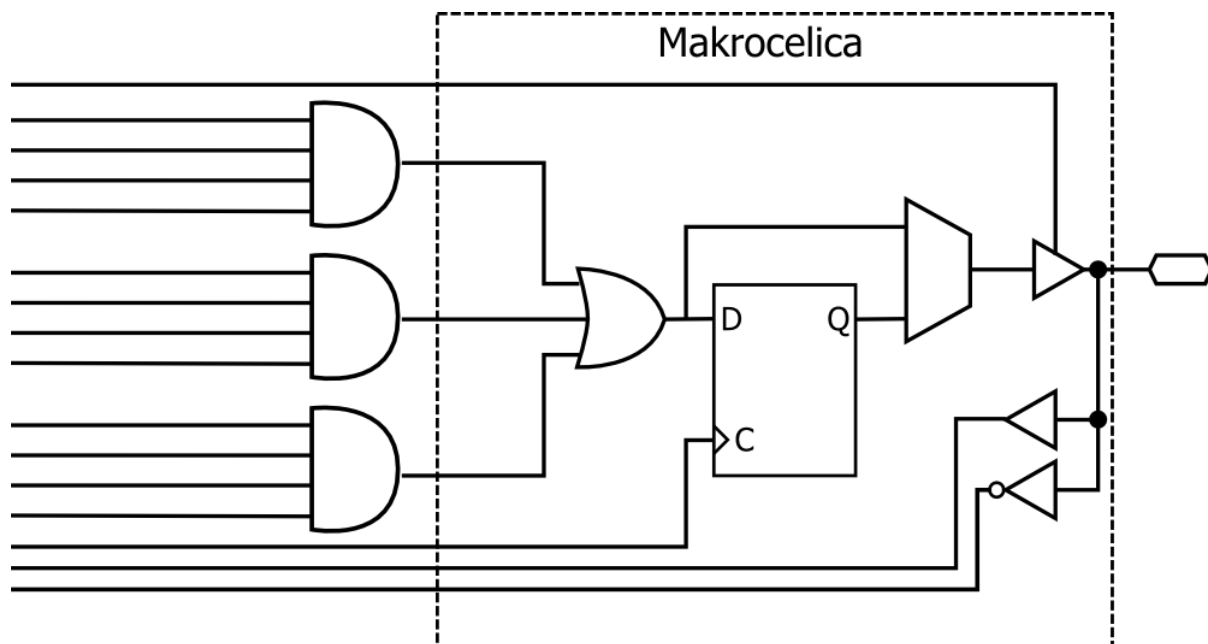


► Programirljiva AND in OR matrika - **PLA**



Programirljiva sekvenčna vezja

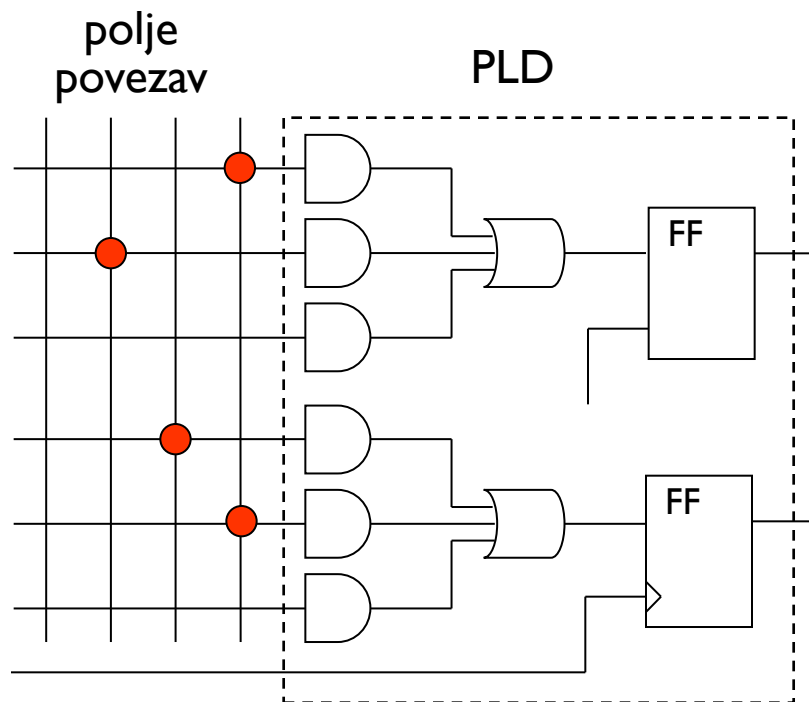
- ▶ Sestavljena iz PAL ali PLA in izhodnih makrocelic
- ▶ Izhodna makrocelica vezja PLD (**programmable logic device**) vsebuje flip-flop



Programirljiva vezja: CPLD, FPGA

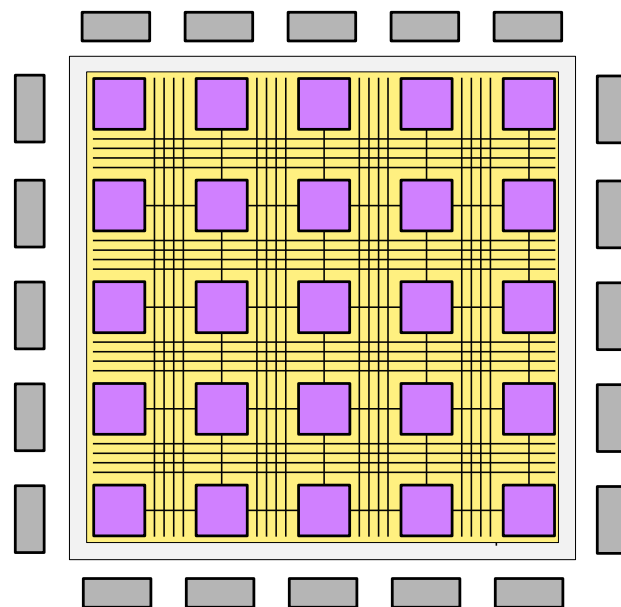
Complex Programmable Logic Device

- ▶ Več blokov PLD in polje povezav
- ▶ 1.000-20.000 log. vrat, 50-500 FF
- ▶ FLASH tehnologija, 1.8V

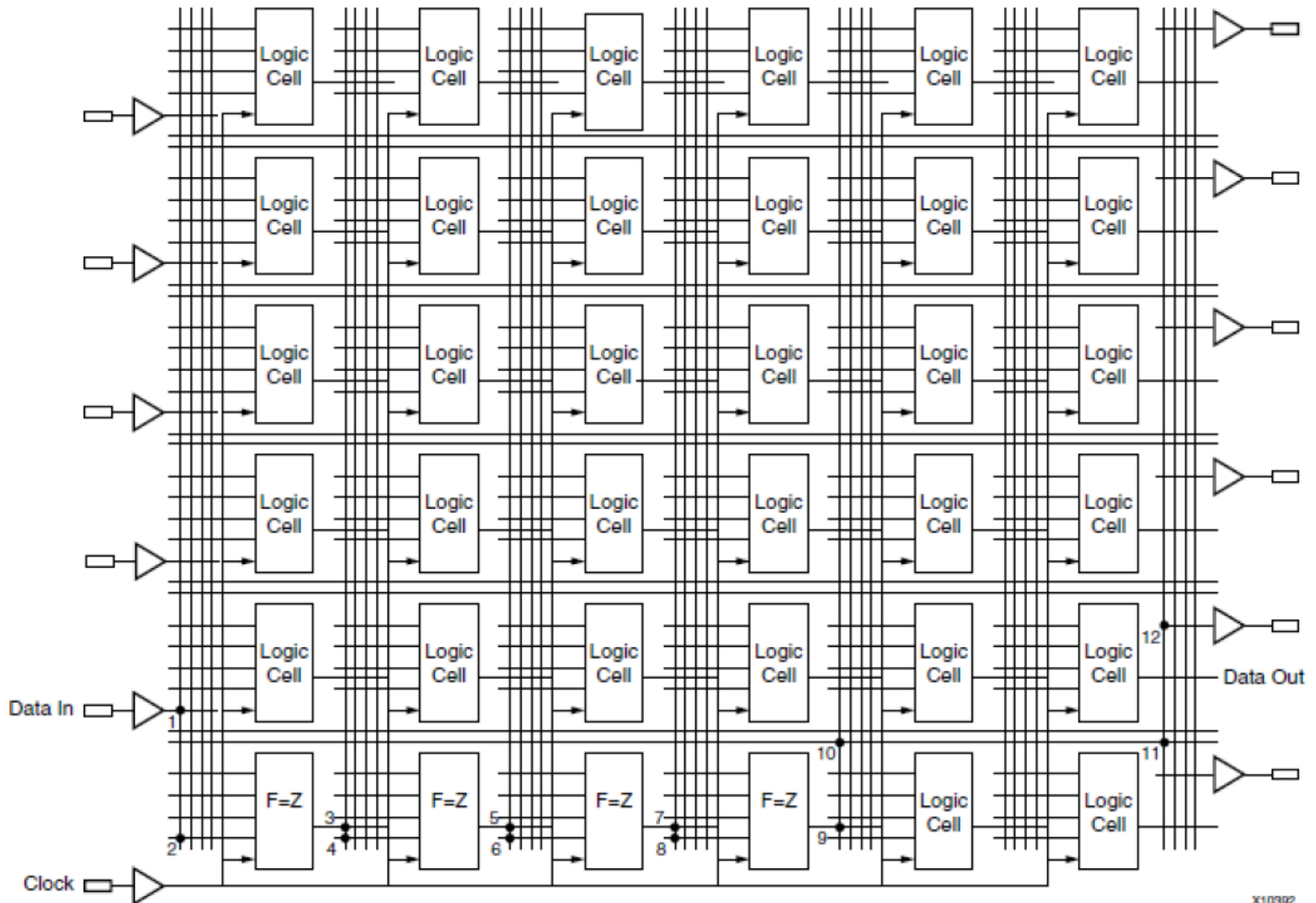


Field Programmable Gate Array

- ▶ Matrika log. celic in povezovalno polje
- ▶ 10.000-10.000.000 vrat, 100k RAM
- ▶ CMOS tehnologija, 1.2V

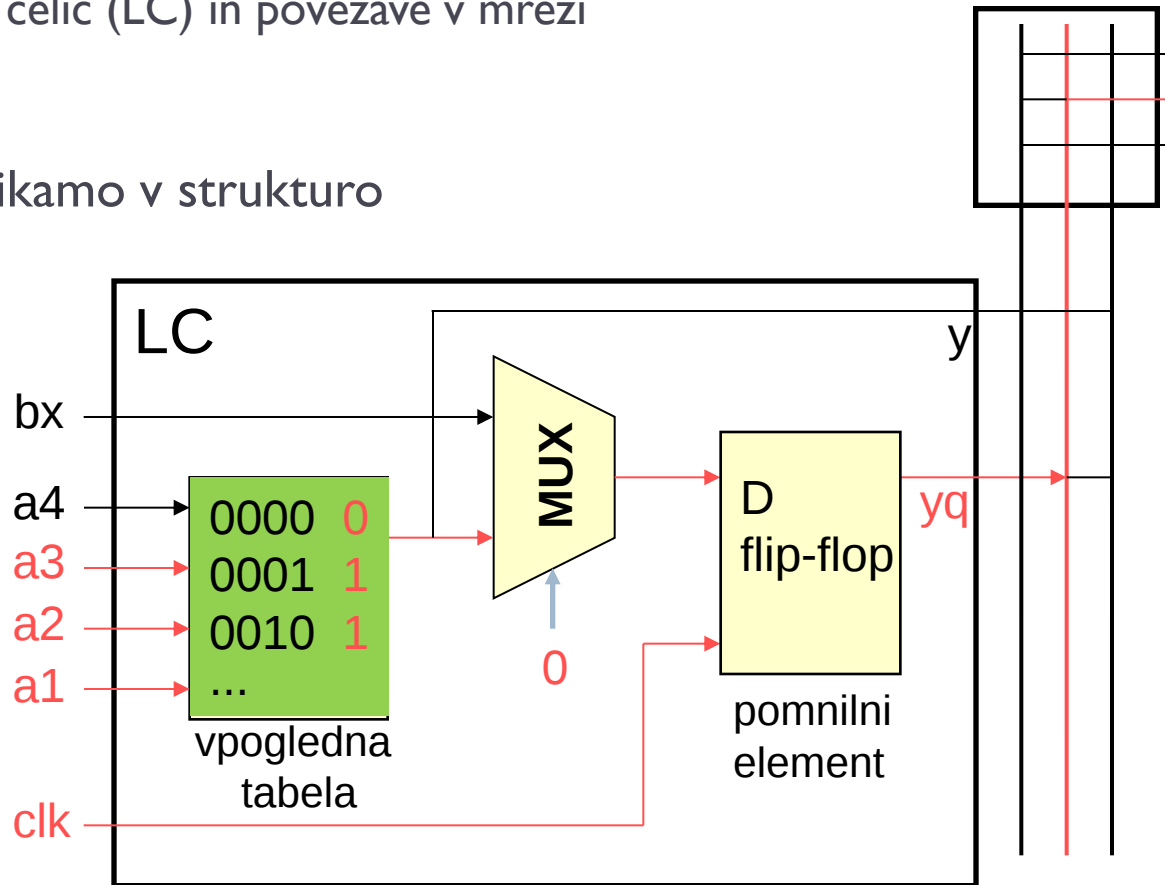


FPGA: matrika logičnih celic



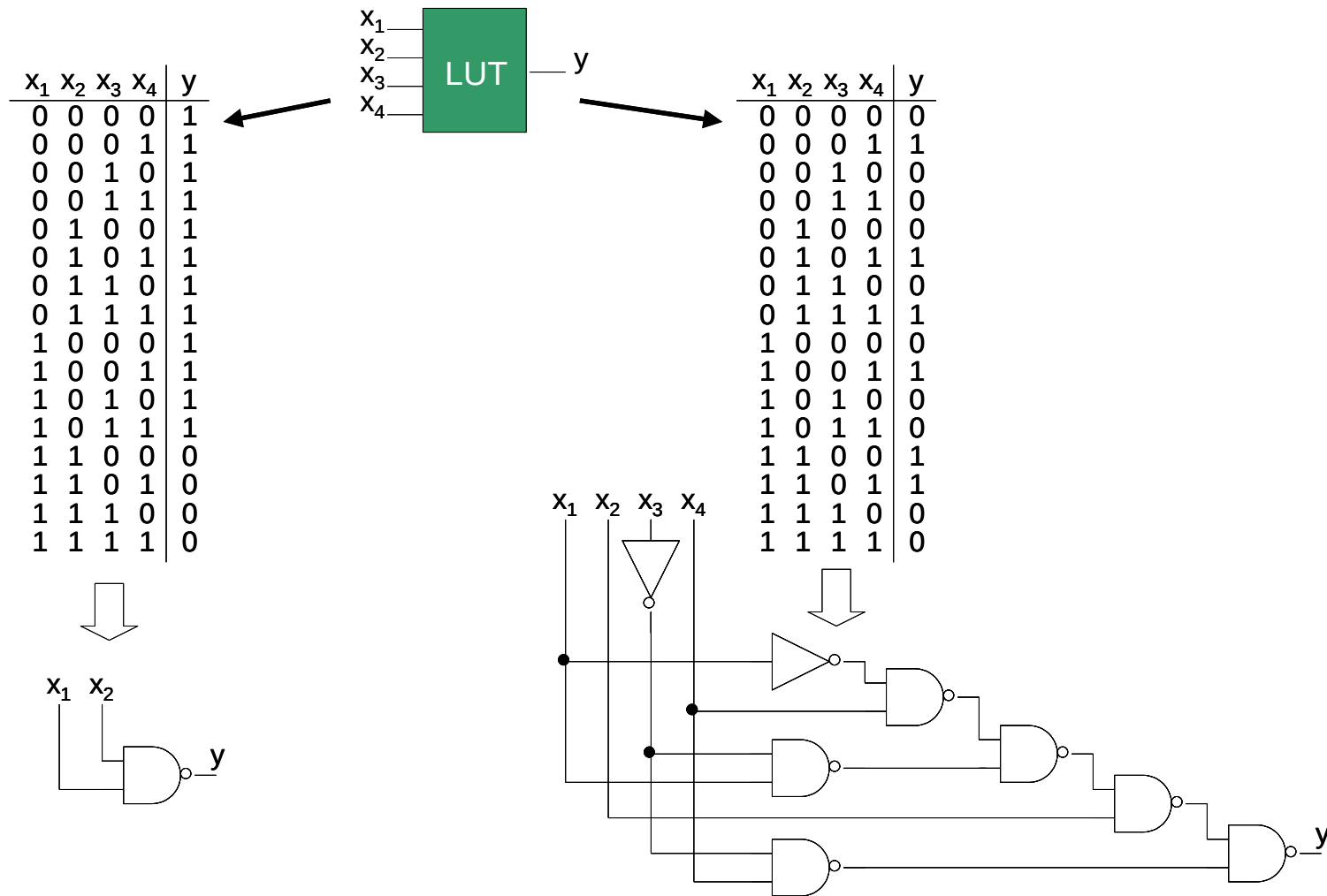
Zgradba FPGA logične celice

- ▶ pri programiranju vpišemo vrednosti v konfiguracijski RAM
 - ▶ določa delovanje logičnih celic (LC) in povezave v mreži
- ▶ tehnološka preslikava
 - ▶ načrtovane veze preslikamo v strukturo vezja FPGA
- ▶ logična celica
 - ▶ LUT, MUX, DFF
 - ▶ prenosna logika
 - ▶ dodatne funkcije



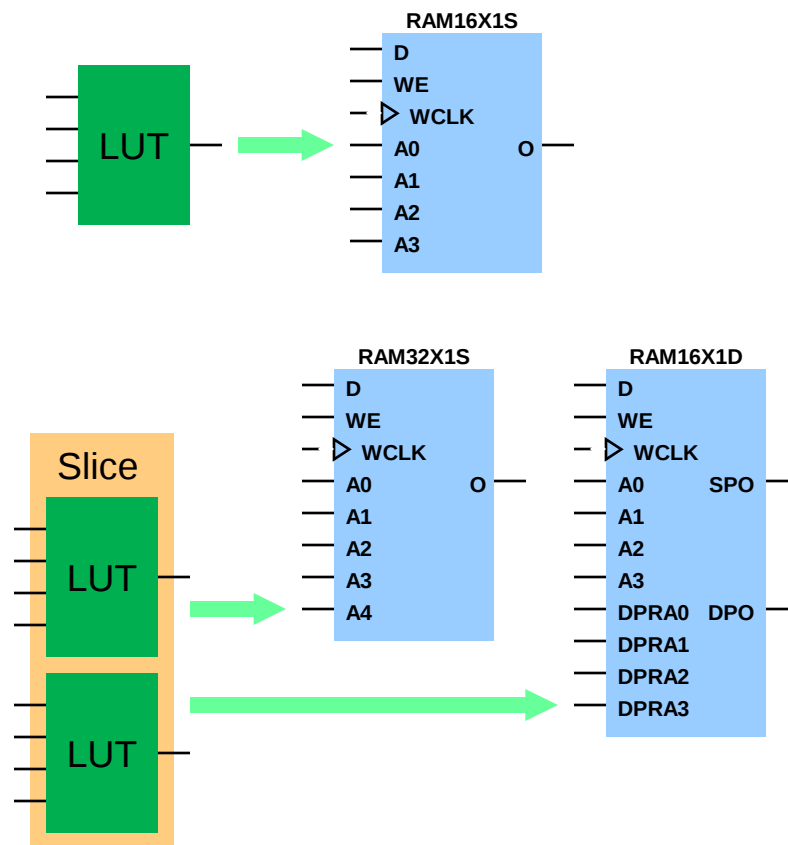
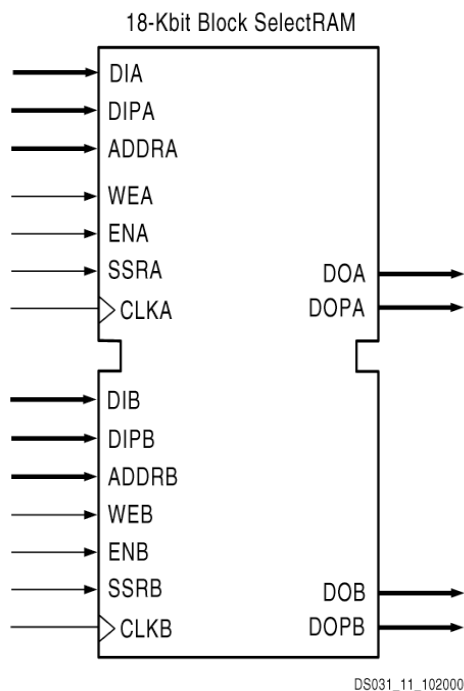
Izvedba logičnih funkcij

- ▶ 4-vhodna vpogledna tabela (LUT) za kombinacijske f.
- ▶ 2 tabeli LUT/rezino, možnost izvedbe ene 5-vhodne

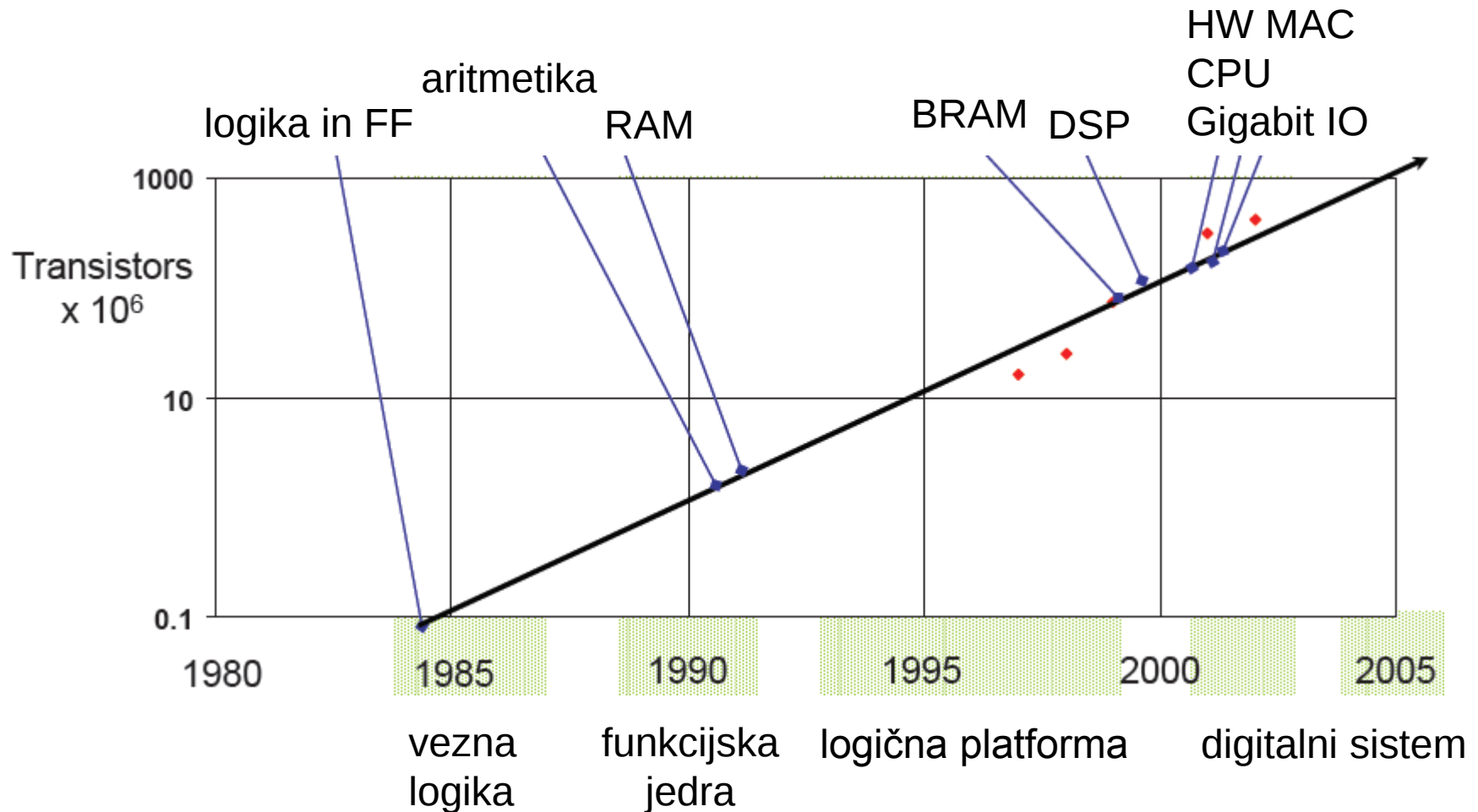


Pomnilnik - RAM

- ▶ LUT je pomnilnik, ki ga vpisujemo med programiranjem
 - ▶ uporabniku so na voljo kontrolni signali (WE, WCLK, D)
 - ▶ s sestavljanjem več LUT naredimo ROM/RAM (**distributed**)
- ▶ dodatni 18kB RAM bloki



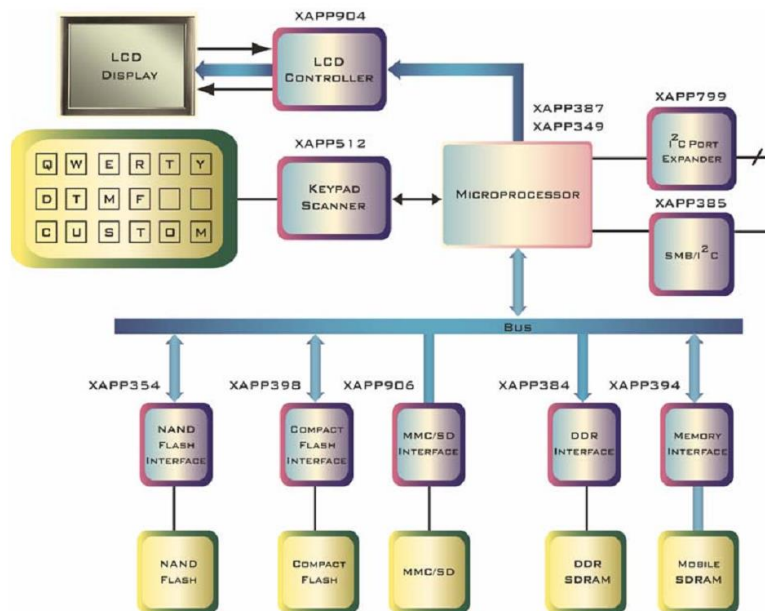
Razvoj vezij FPGA (Xilinx)



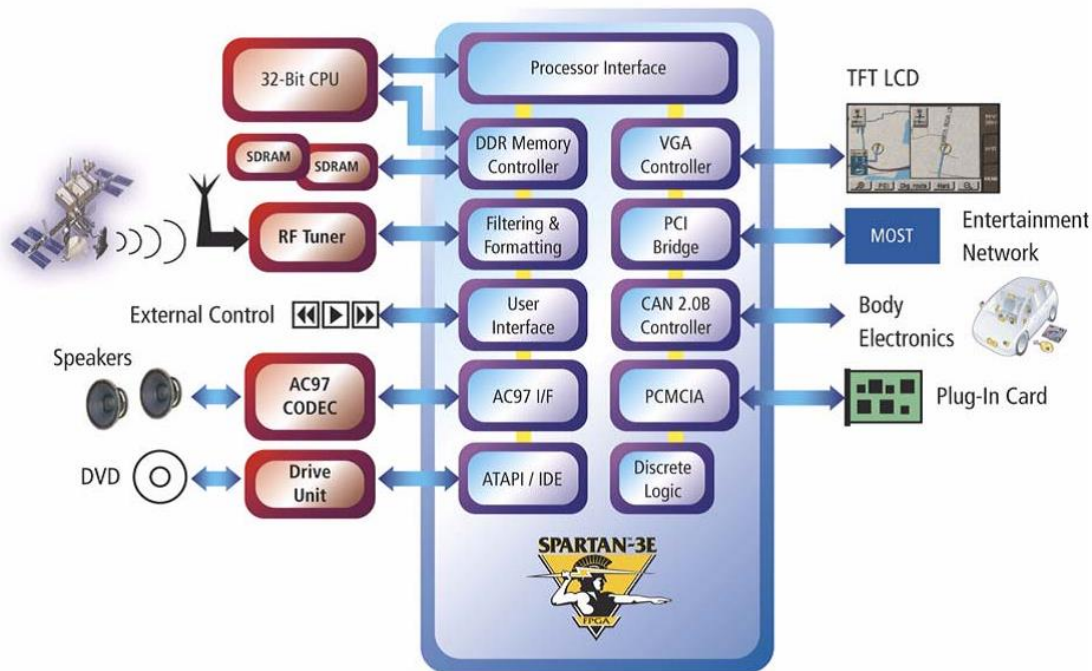
- ▶ Prihodnost: skaliranje FPGA in procesorjev (Moorov zakon)
 - ▶ program. logika in namenski bloki + CPU (ARM) in periferija

Uporaba programirljivih vezij

CPLD



FPGA

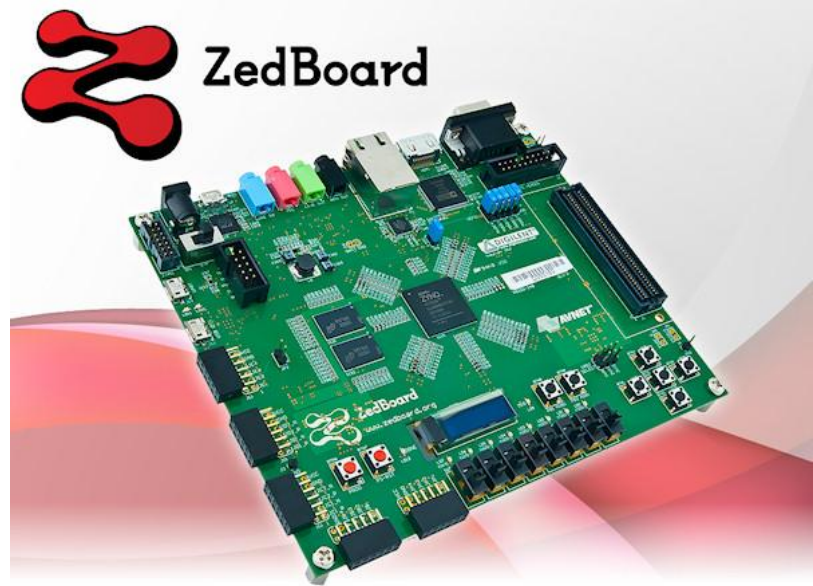
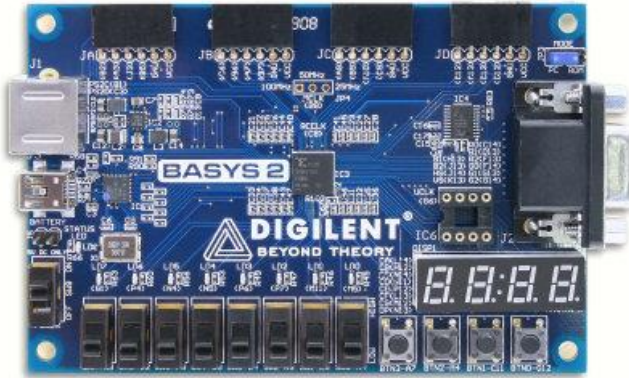


Projekti in tekmovanja na FE

- ▶ digitalni osciloskop, DMX konzola, GPS, VGA video igrice, MIDI vmesniki, mikroprocesorji, audio spektralni analizator

Razvojni sistemi

- ▶ razvojni sistem za lab. vaje
XC3S100E ali XC3S250E



Zynq = FPGA+ARM

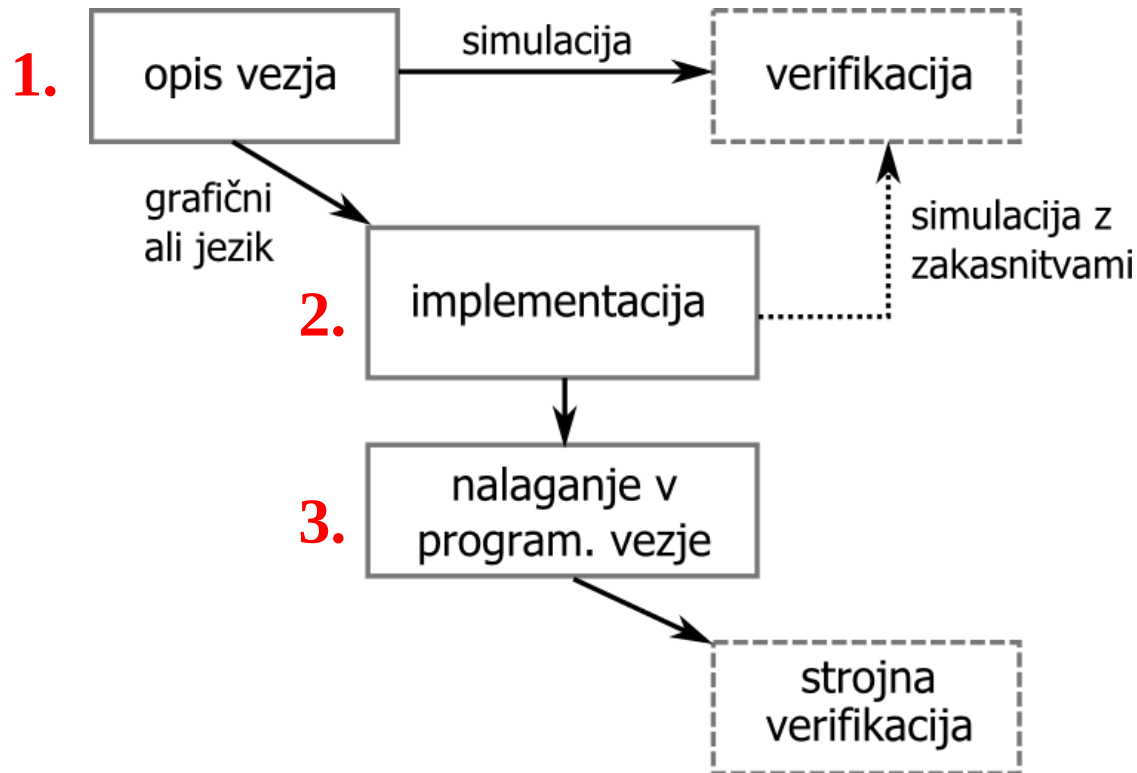
- ▶ pri nas razviti FPGA razvojni moduli
 - ▶ <http://lniv.fe.uni-lj.si/boards.html>

Spartan-3 XC3S200



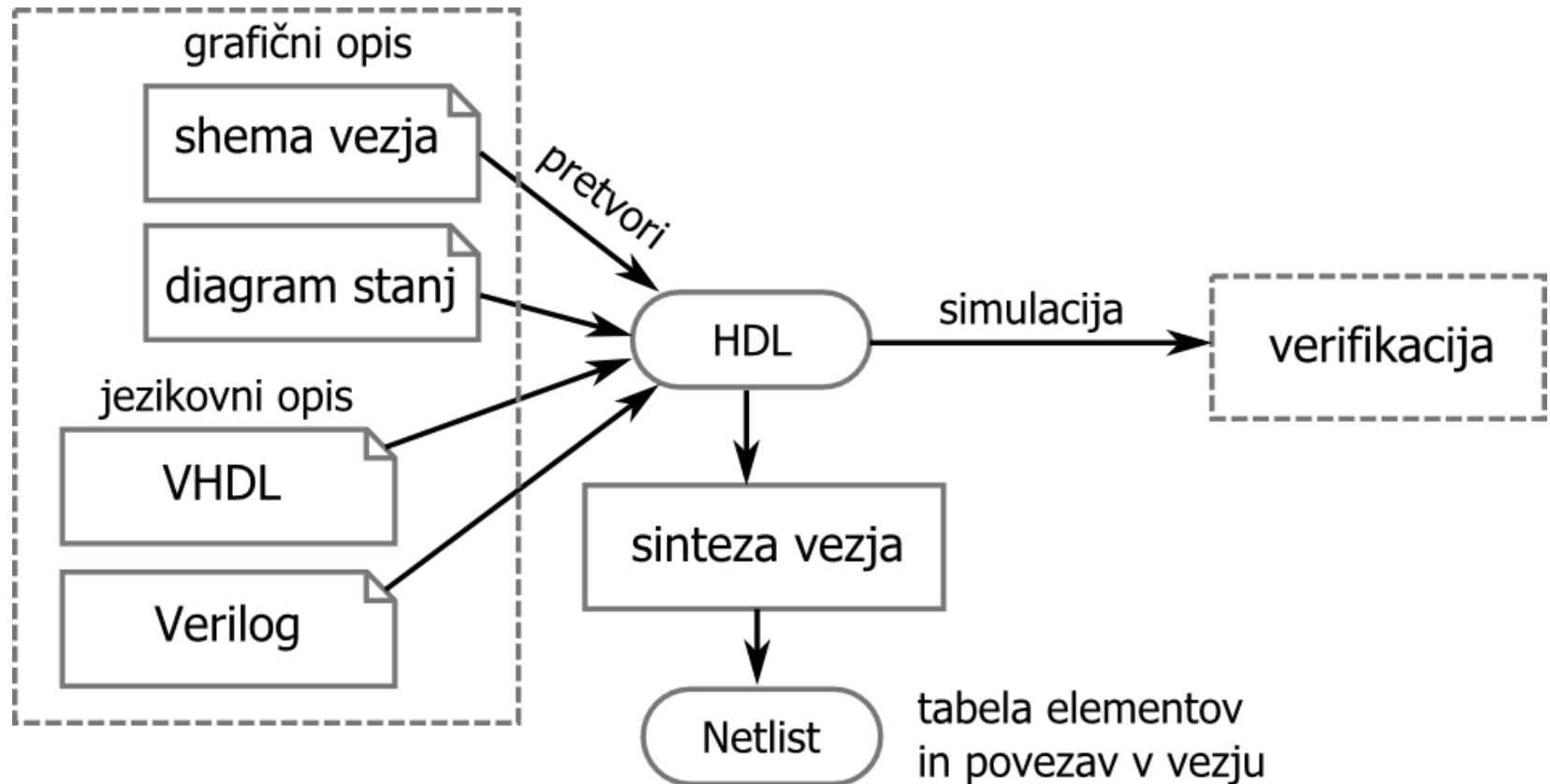
Načrtovanje s programirljivimi vezji

► Osnovni koraki načrtovanja digitalnih vezij



Opis vezja

- ▶ Različne oblike opisa vezja se pretvorijo v jezikovni opis
 - ▶ HDL – Hardware Description Language (npr. jezik VHDL, Verilog)



Končni cilj – implementacija vezja

