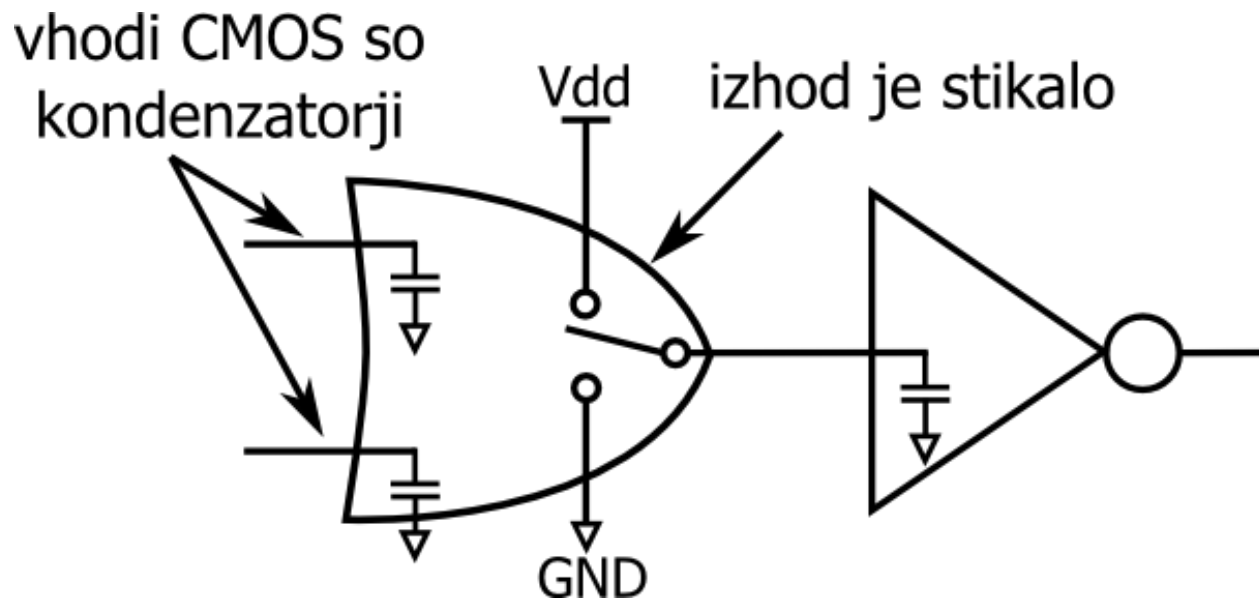


Digitalni signali

- ▶ Digitalni signali so diskretni binarni signali, ki zavzamejo le dve vrednosti
 - ▶ aktivno ali neaktivno
 - ▶ Pravilno ali napačno
 - ▶ 1 ali 0
- ▶ V digitalnem vezju so signali predstavljeni z napetostjo proti masi, ki zavzame diskretno vrednost
 - ▶ 1 oz. V_{dd} – napajalna napetost
 - ▶ 0 oz. GND – napetost 0V glede na maso
- ▶ Interpretacija signalov je pozitivna ali negativna
 - ▶ Pozitivna logika: aktiven signal je logična 1
 - ▶ Negativna logika: aktiven signal je logična 0

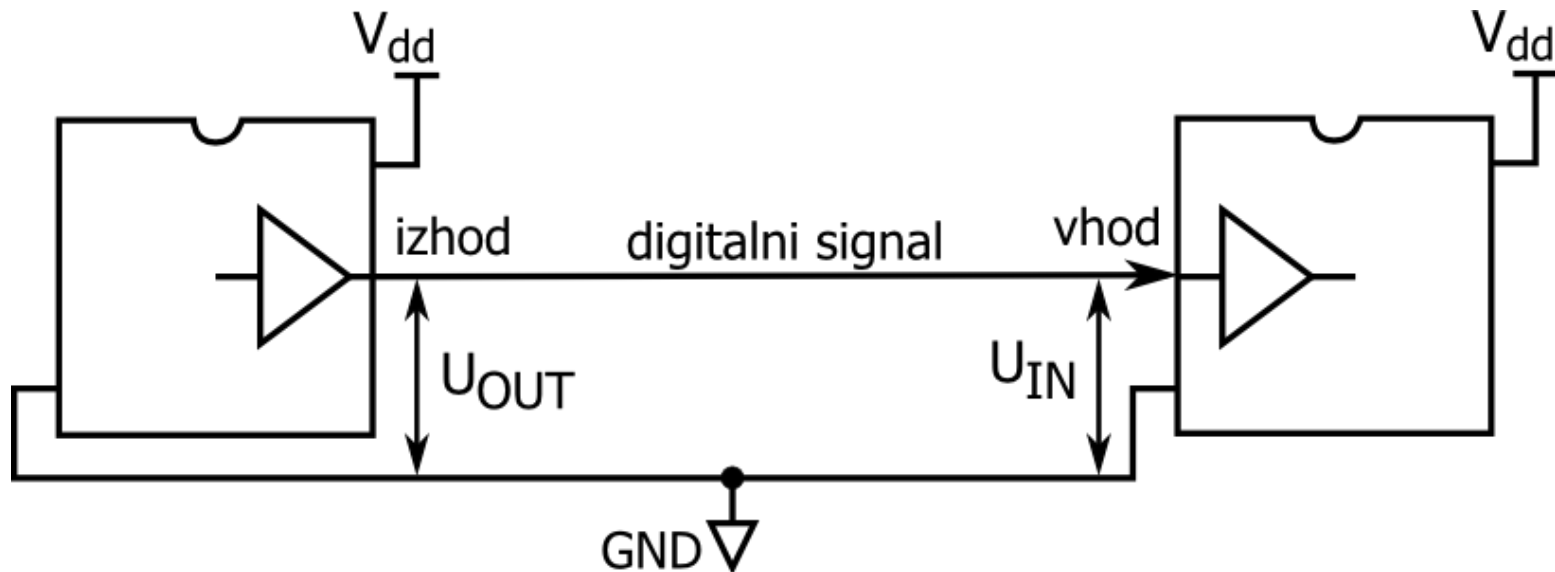
Vhodni in izhodni signali

- ▶ Vhodni priključek ima zelo veliko upornost
- ▶ Izhod ima majhno notranjo upornost proti Vdd ali GND
 - ▶ poskrbeti moramo, da vežemo izhod na Vdd ali GND, ker bi naredili kratek stik



Statični red

- ▶ Statični red določa pravila za uspešen prenos digitalnih vrednosti med različnimi vezji
 - ▶ Povezovanje čipov v različnih izvedbah (TTL, CMOS...)
- ▶ Potrebujemo dogovor za potenciale, ki določajo nizko ali visoko stanje

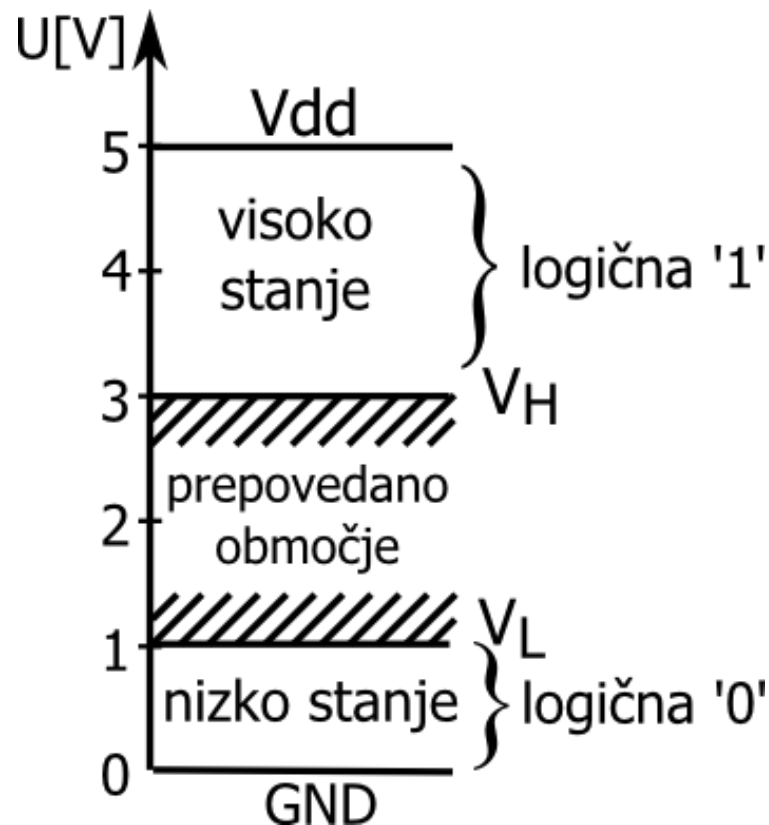


Območje potencialov

- Kako interpretiramo signal s potencialom $V_{dd} / 2$?

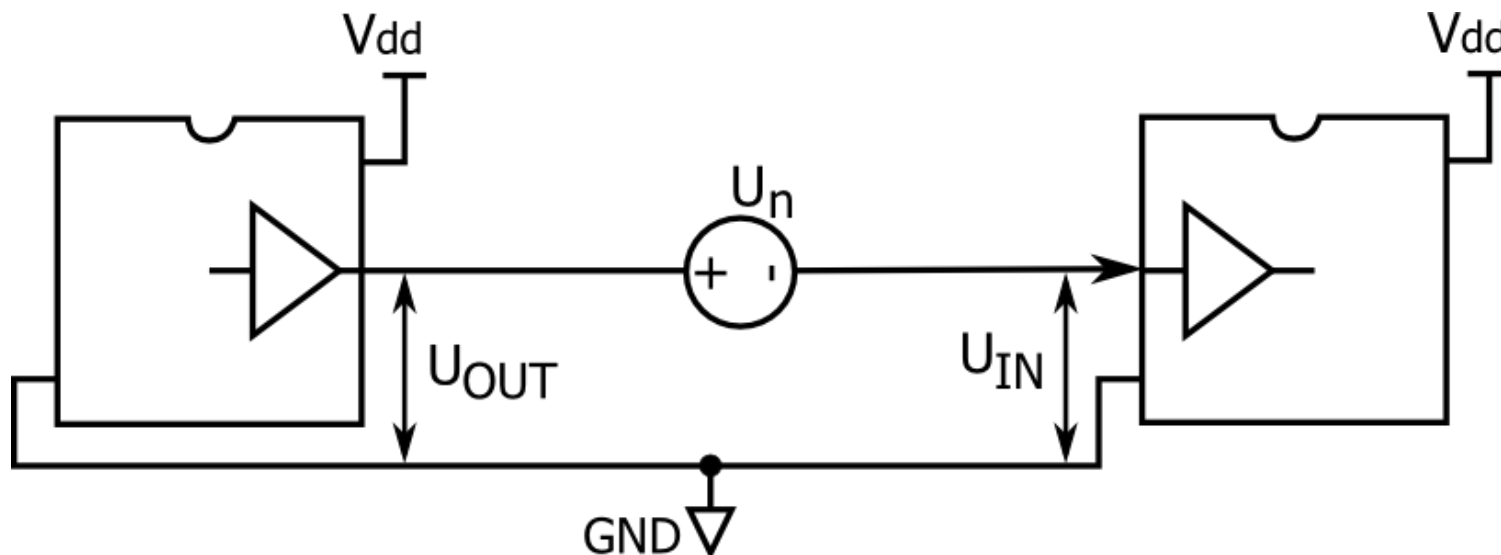
logična '0': $0V \leq V_L \leq 1V$

logična '1': $3V \leq V_H \leq 5V$



Šum na signalnih povezavah

- ▶ Na povezavah v vezju se lahko pojavi šum
 - ▶ šum se prišteje ali odšteje k potencialu signala
 - ▶ Npr. $U_n = 0.2V$ šumne napetosti povzroči
 - ▶ CMOS nizko stanje $0.9V$ se poveča na $1.1V$, kar je prepovedano območje !



Rešitev: dodamo šumno mejo

- ▶ Za logični izhod določimo manjše območje kot za vhod
- ▶ Razlika je šumna meja, ki dovoljuje določen nivo šuma brez vpliva na kakovost komunikacije
- ▶ Npr. podatki za 5V CMOS:

oznaka	pomen	napetost[V]
V_{IH}	vhodni visok nivo	3
V_{IL}	vhodni nizek nivo	1
V_{OH}	izhodni visok nivo	3.1
V_{OL}	izhodni nizek nivo	0.2

