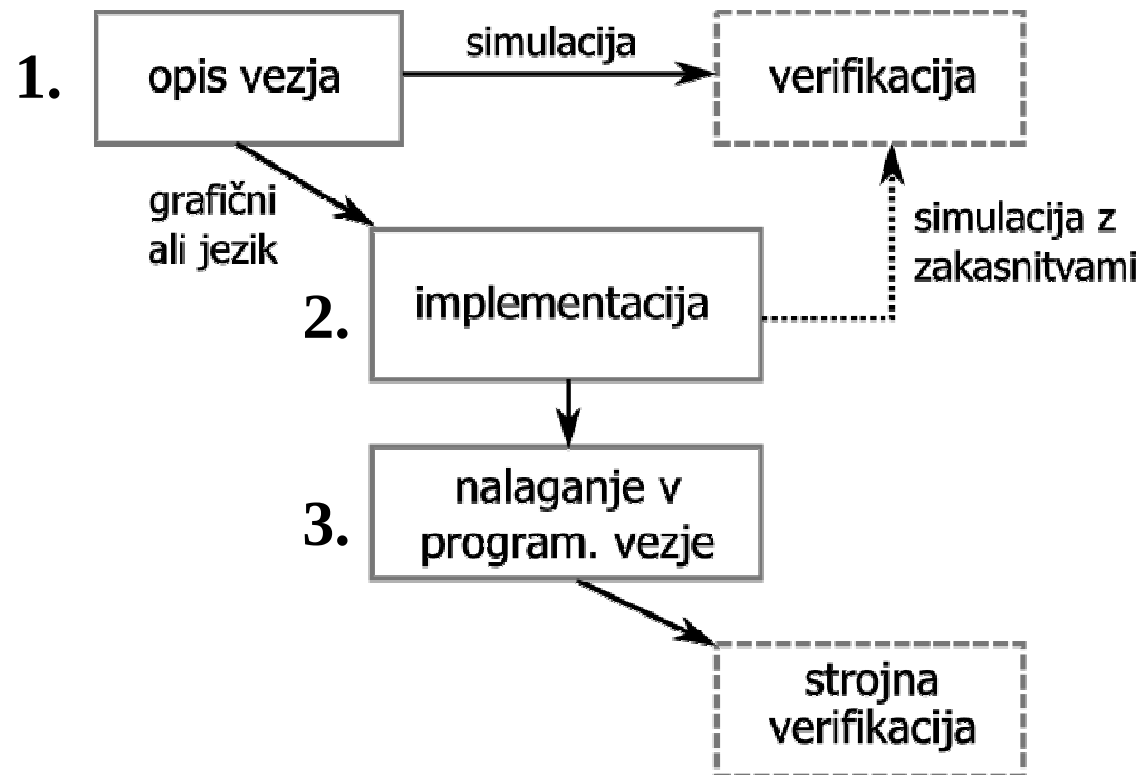


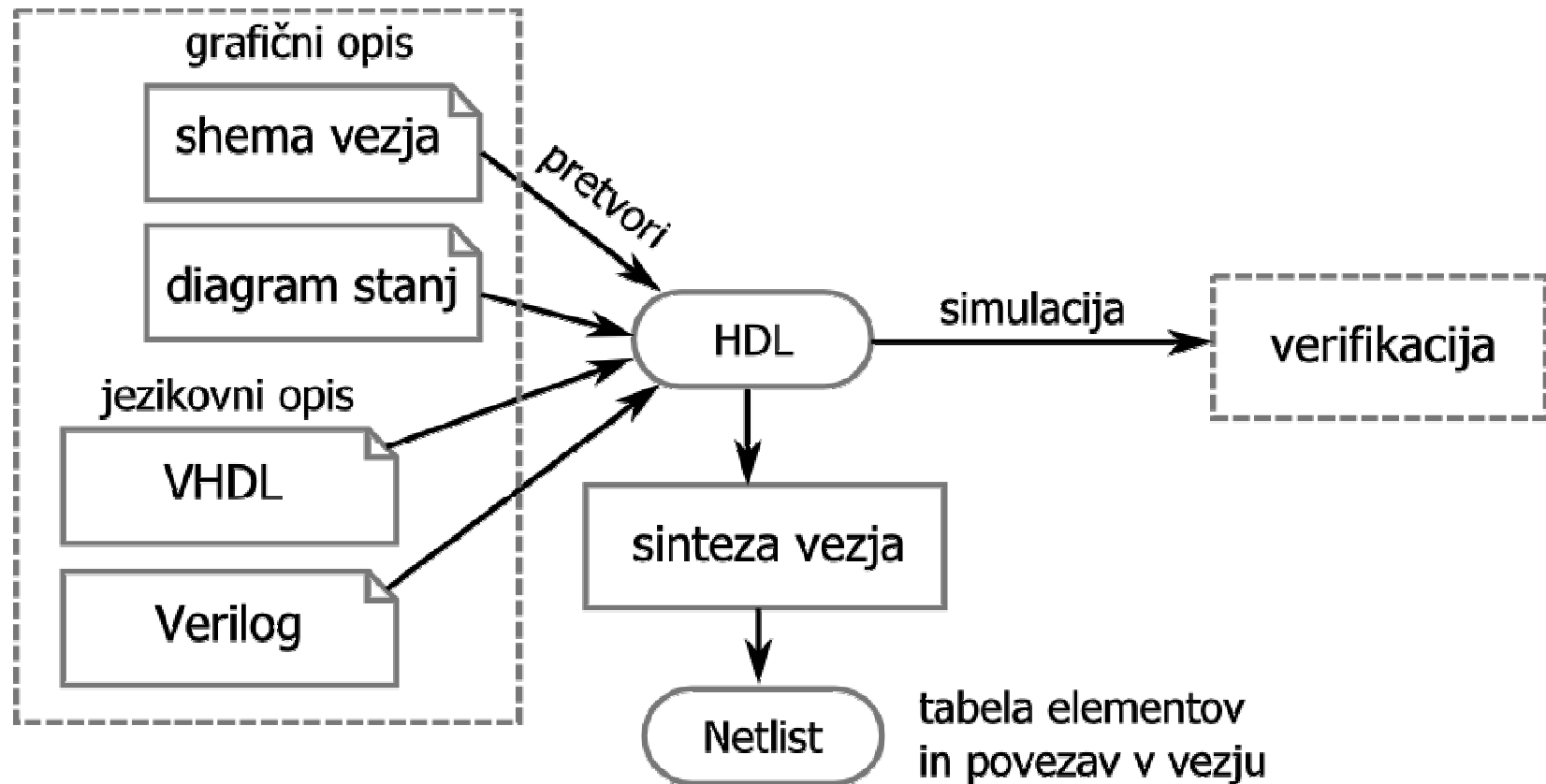
Načrtovanje s programirljivimi vezji

► Osnovni koraki načrtovanja digitalnih vezij



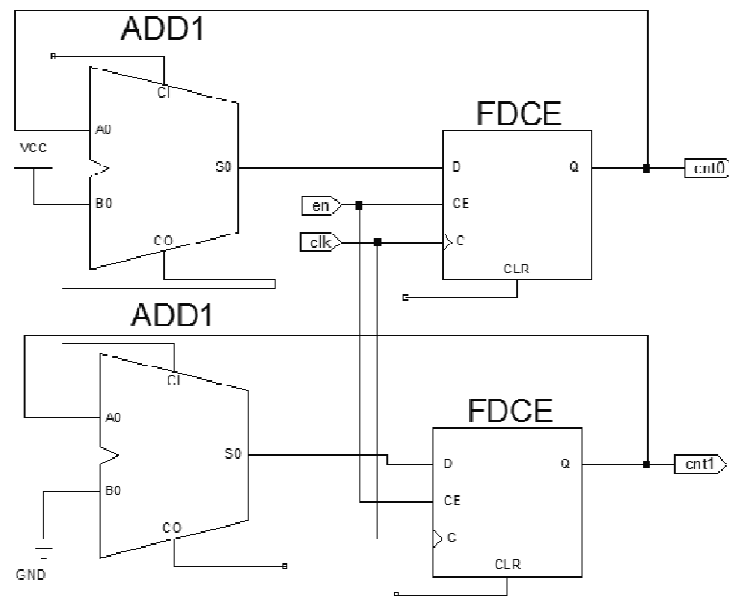
Opis vezja

- ▶ Različne oblike opisa vezja se pretvorijo v jezikovni opis
 - ▶ HDL – Hardware Description Language (npr. jezik VHDL, Verilog)



Pretvorba sheme v HDL

► Primer opisa sheme v jeziku Verilog



```

module cnt(clk, en, cnt0, cnt1);
    input clk, en;
    output cnt0, cnt1;

    wire XLXN_1, XLXN_2, XLXN_3, XLXN_8, XLXN_9;
    wire cnt0_DUMMY, cnt1_DUMMY;

    assign cnt0 = cnt0_DUMMY;
    assign cnt1 = cnt1_DUMMY;

    ADD1_MXILINX_cnt XLXI_1 (.A0(cnt0_DUMMY),
                              .B0(XLXN_9),
                              .CI(),
                              .CO(XLXN_1),
                              .S0(XLXN_2));

    ADD1_MXILINX_cnt XLXI_2 (.A0(cnt1_DUMMY),
                              .B0(XLXN_8),
                              .CI(XLXN_1),
                              .CO(),
                              .S0(XLXN_3));

    FDCE XLXI_3 (.C(clk),
                 .CE(en),
                 .CLR(),
                 .D(XLXN_2),
                 .Q(cnt0_DUMMY));

    FDCE XLXI_4 (.C(clk),
                 .CE(en),
                 .CLR(),
                 .D(XLXN_3),
                 .Q(cnt1_DUMMY));

    VCC XLXI_5 (.P(XLXN_9));
    GND XLXI_6 (.G(XLXN_8));
endmodule

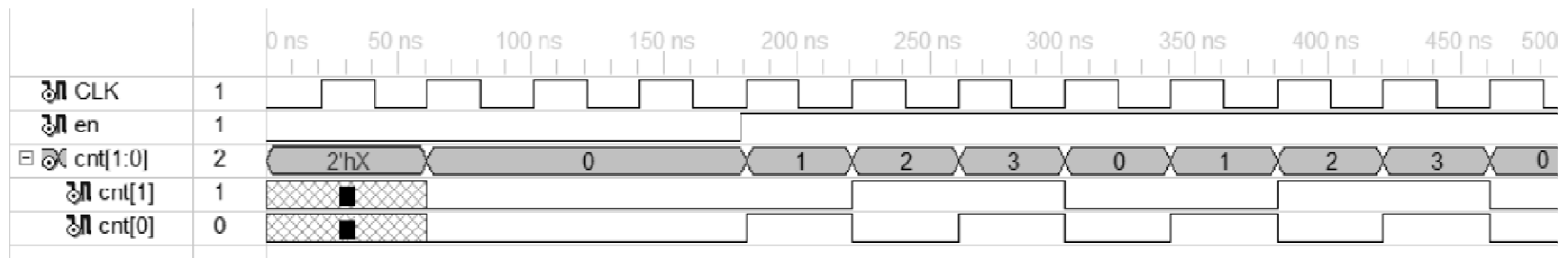
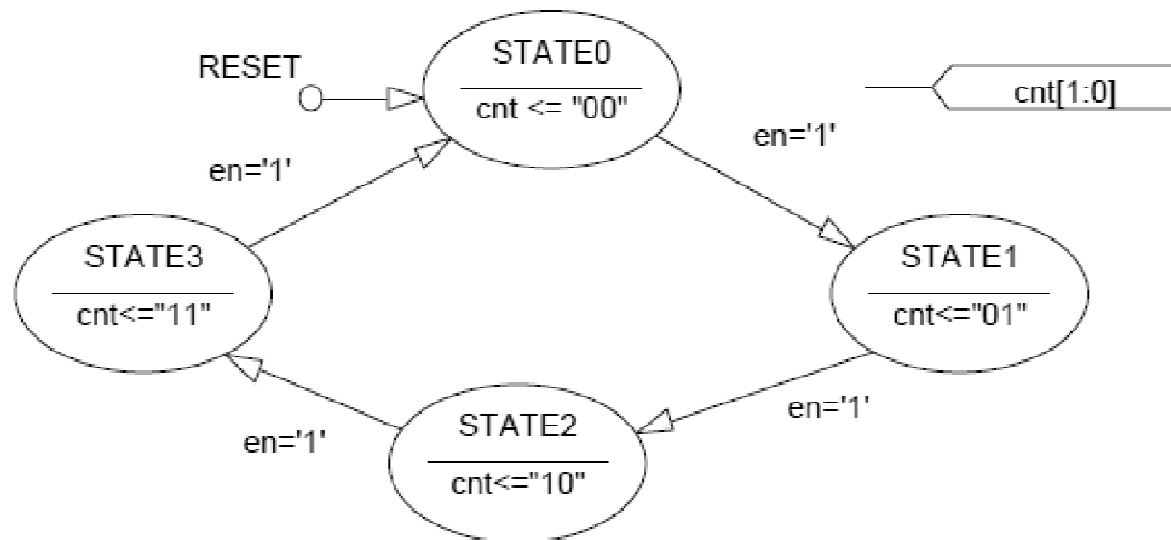
```

Algoritmičen opis števca v jeziku VHDL

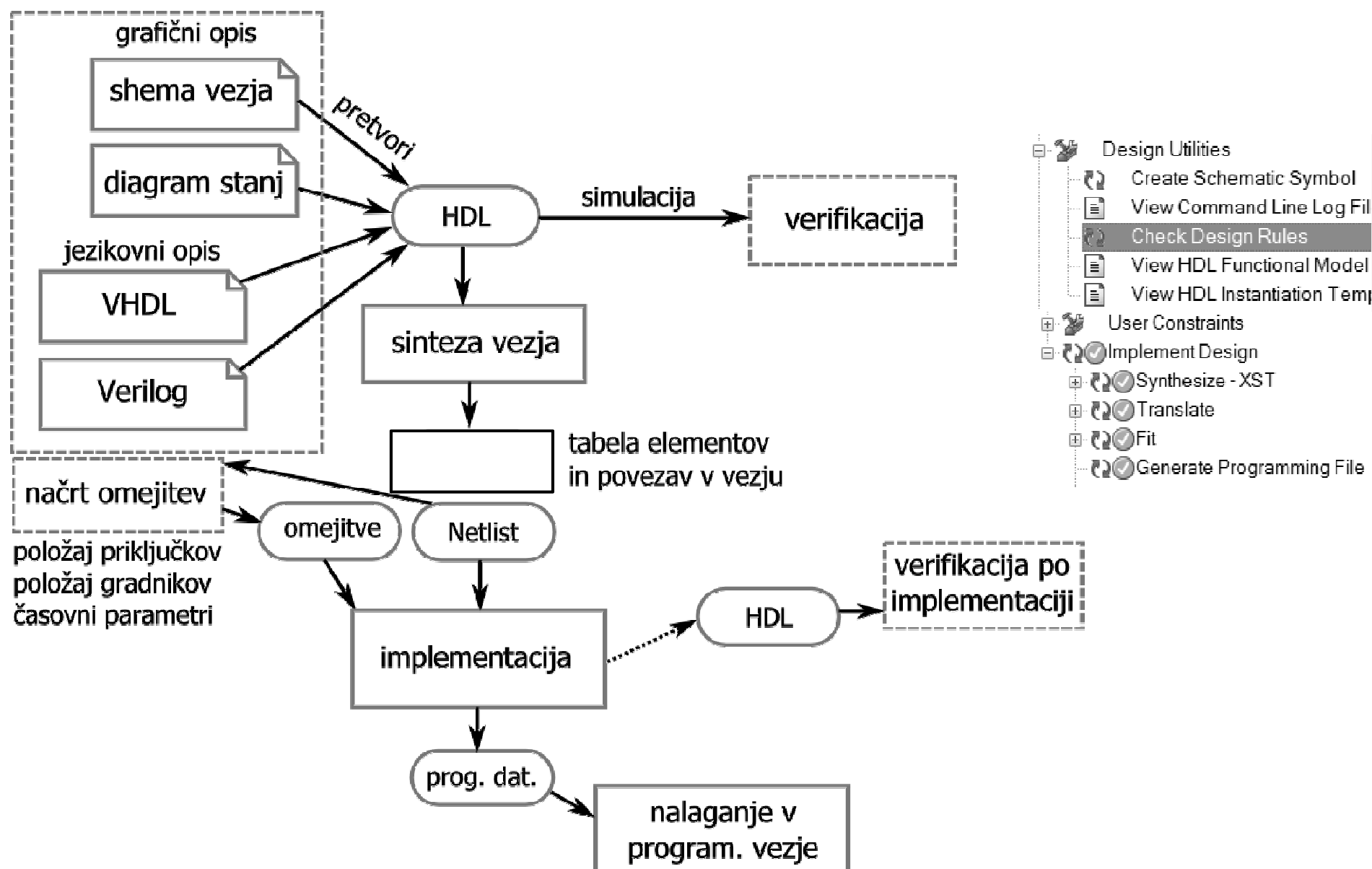
```
entity stevec is  
    Port ( clk : in   STD_LOGIC;  
           en  : in   STD_LOGIC;  
           cnt : buffer STD_LOGIC_VECTOR(1 downto 0));  
end stevec;  
  
architecture opis of stevec is  
begin  
    p: process(clk)  
    begin  
        if rising_edge(clk) and en='1' then  
            cnt <= cnt + 1;  
        end if;  
    end process;  
end opis;
```

Verifikacija vezja s simulacijo

- ▶ Preverjanje oz. verifikacija delovanja vezja
 - ▶ nastavimo vhode (npr. clk, en) in na simulaciji opazujemo izhode



Končni cilj načrtovanja - implementacija



Nivoji opisa vezja

- ▶ Digitalni sistemi so vedno bolj kompleksni
- ▶ Potrebujemo višje (bolj abstraktne) modele vezij
 - ▶ za opis enakega vezja na višjem nivoju potrebujemo manj kode
 - ▶ simulacija na nivoju HDL je hitrejša od simulacije transistorskih vezij

Nivo opisa	stikala, transistorji	logična vrata	gradniki	registri - RTL
primer	PMOS	AND, OR	izbiralnik	števec, avtomat
način opisa	shema stikal	shema, HDL	blok. shema, HDL	operacije, diagram, HDL
orodja	simulator vezij	log. simulator	HDL sim. in sinteza	HDL sim. in sinteza
velikost	20 stikal	20 vrat	10 gradnikov	10 registrov, stanj
št. log. vrat	5	20	200	2000