



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*



Načrtovanje digitalnih elektronskih sistemov

Sistemi v integriranem vezju

Cilji

- ▶ spoznati izvedbe sistemov v integriranem vezju
 - ▶ mikroprocesorski sistemi
 - ▶ pomnilniki in komunikacijski vmesniki
 - ▶ programirljiva vezja in sistemi
- ▶ načrtovati sistem z modernimi orodji in jeziki
 - ▶ modeliranje, visokonivojska sinteza, komponente IP
 - ▶ novejša CAD orodja in jeziki
- ▶ zmogljivost načrtovalskih orodij, optimizacije

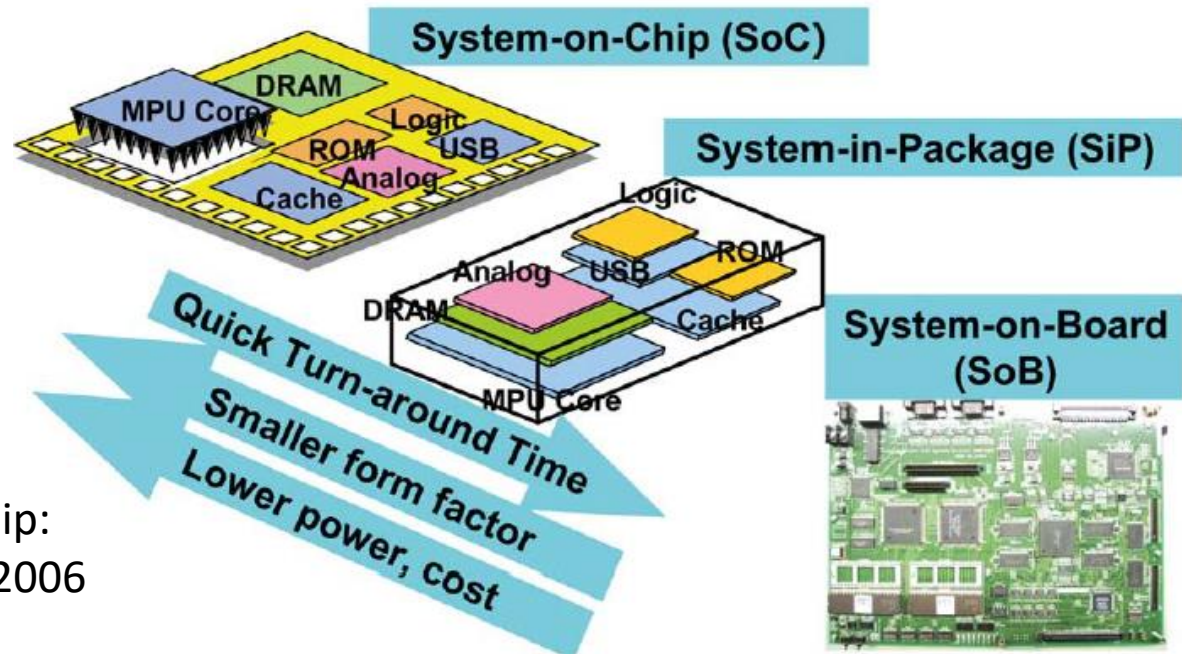
Digitalni elektronski sistemi

Nekoč:

- ▶ integrirana vezja so gradniki digitalnih sistemov
 - ▶ mikroprocesor, pomnilnik, periferni vmesnik

Danes:

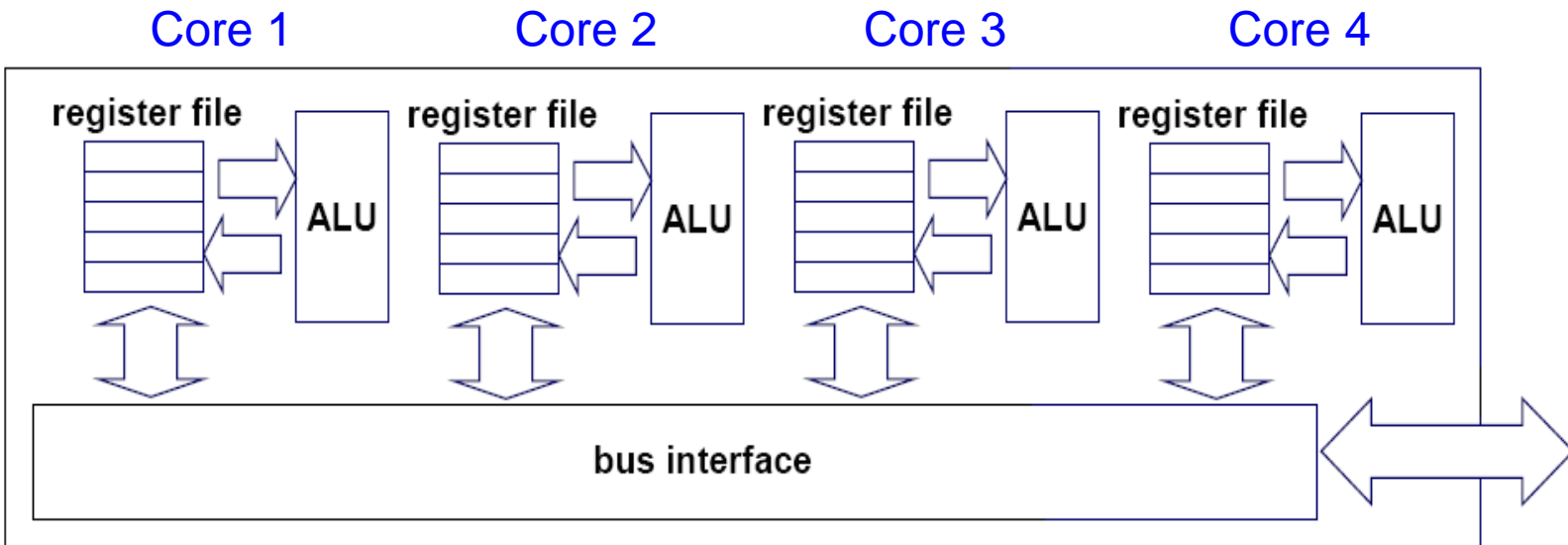
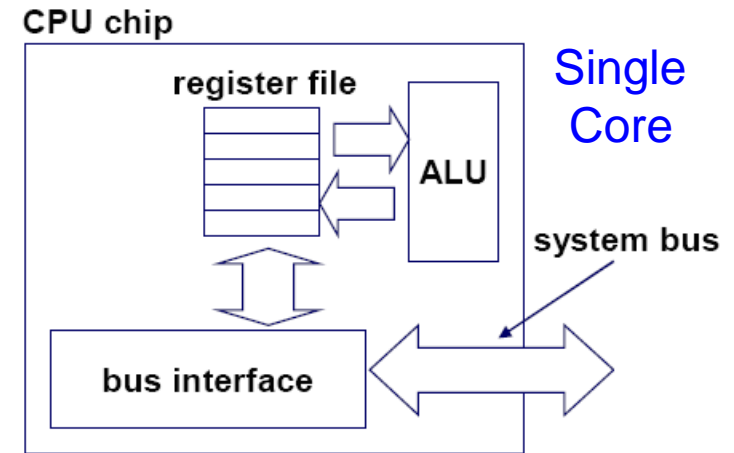
- ▶ izdelava celotnega **sistema** v integriranem vezju



R. Saleh et al.: System-on-Chip:
Reuse and Integration, IEEE 2006

Razvoj mikroprocesorjev

- ▶ zmogljivost povečujemo z večimi računskimi jedri



Sistem v integriranem vezju (SoC)

Def: integrirano vezje, ki izvaja vse ali večino funkcij celotnega elektronskega (računalniškega) sistema

- ▶ sisteme poganja razvoj tehnologije, Moorov zakon
- ▶ za sisteme je značilna kompleksnost vezja
 - ▶ npr. RAM je zelo veliko vezje, vendar ima enostavno strukturo
- ▶ sistem lahko vsebuje analogne komponente, vendar je večina sistema digitalno vezje
- ▶ mikroprocesorski sistem na čipu
 - ▶ mikrokrmilnik + zmogljive periferne enote (npr. GPU)

Zahteve za sistem v integriranem vezju

- ▶ sprotno izvajanje operacij (**real-time**)
 - ▶ vgradni sistemi so **reaktivni** sistemi
 - ▶ os. računalnik je **interaktivni** sistem
- ▶ učinkovita izraba površine
- ▶ učinkovita poraba energije
 - ▶ npr. Pentium procesor ni primeren
- ▶ imajo ustrezne vhodno/izhodne povezave
 - ▶ npr. programirljiva vezja (FPGA) >20 V/I standardov

Sistemi so heterogeni in ne obstaja univerzalna rešitev!

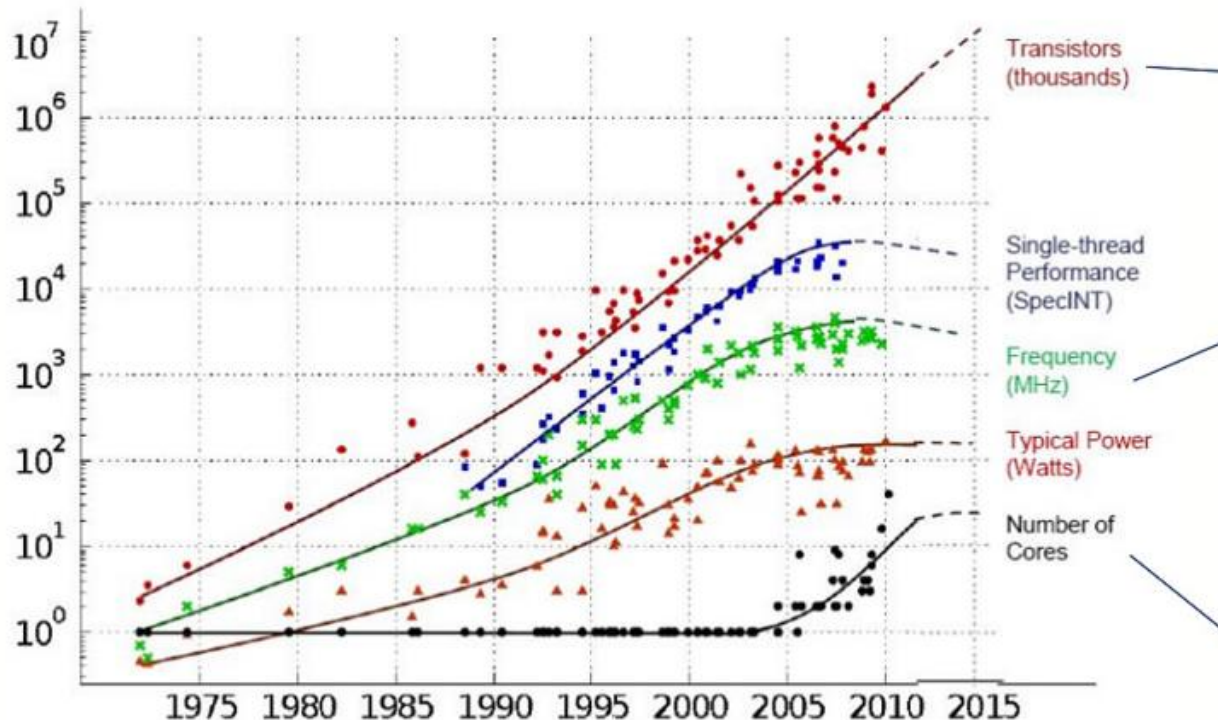
Gostota moči (power density)

~2005 konec Dennardovega skaliranja:

- ▶ manjši tranzistorji delujejo pri nižjih U in I
- ▶ moč na enoto volumna (gostota moči) se ne spreminja



Robert Dennard, IBM
(inventor of DRAM, 1966)

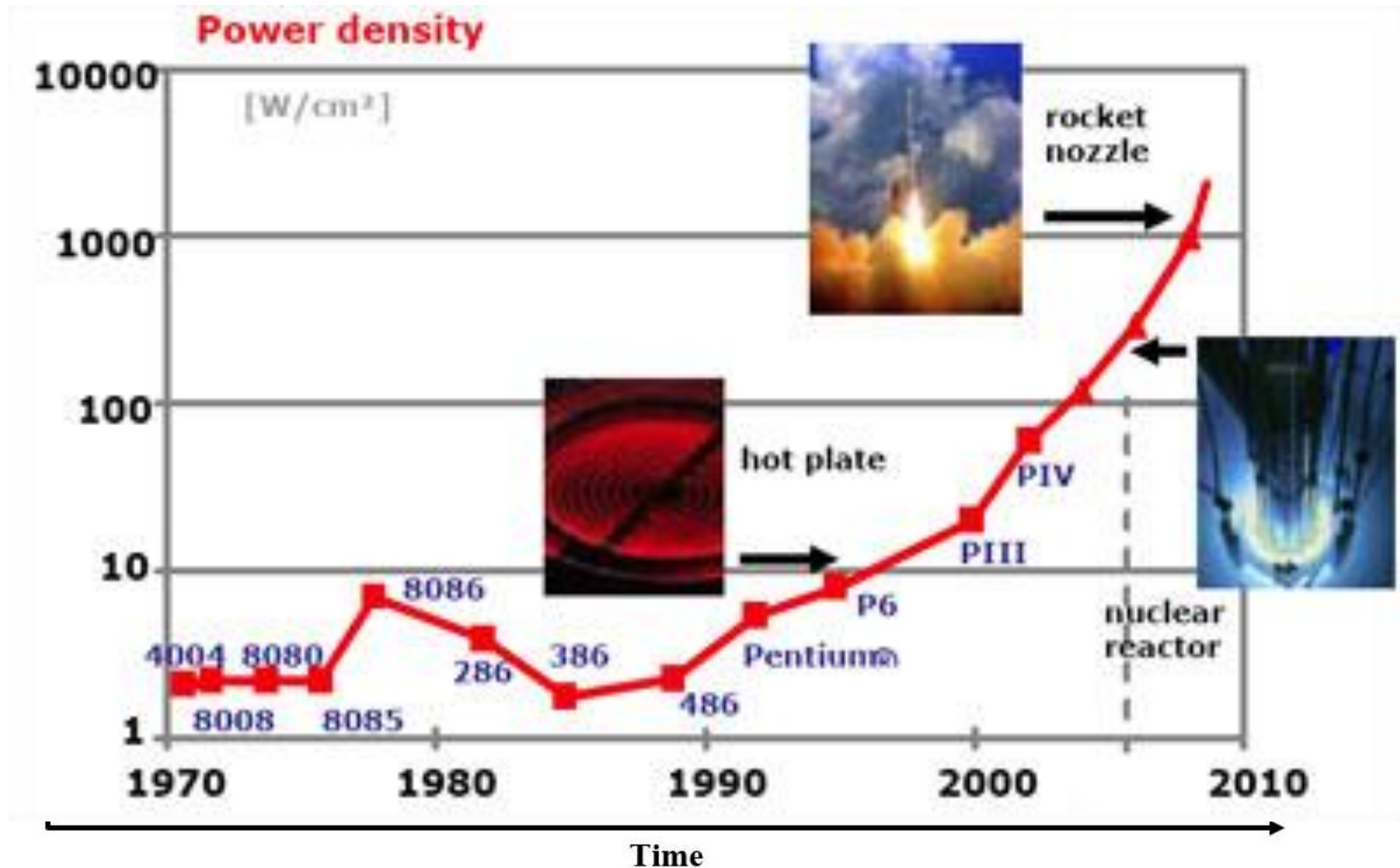


Moore's law continues to hold, but that's not the issue

Frequency scaling has matured for quite some time

Core scaling is expected to begin to plateau over the next several years given the "Dark Silicon" phenomena

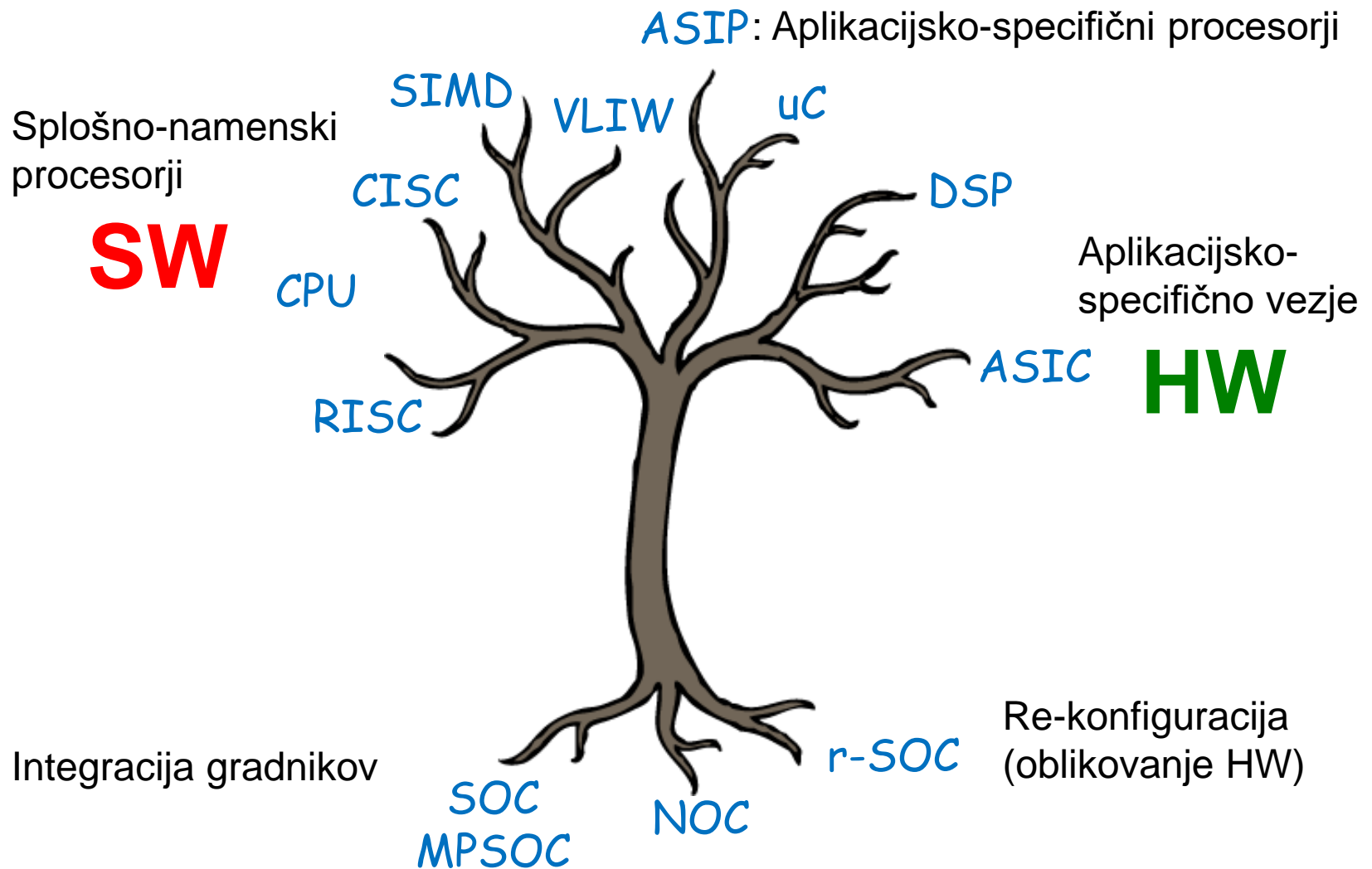
Višanje frekvence omejuje disipacija moči



© Intel.

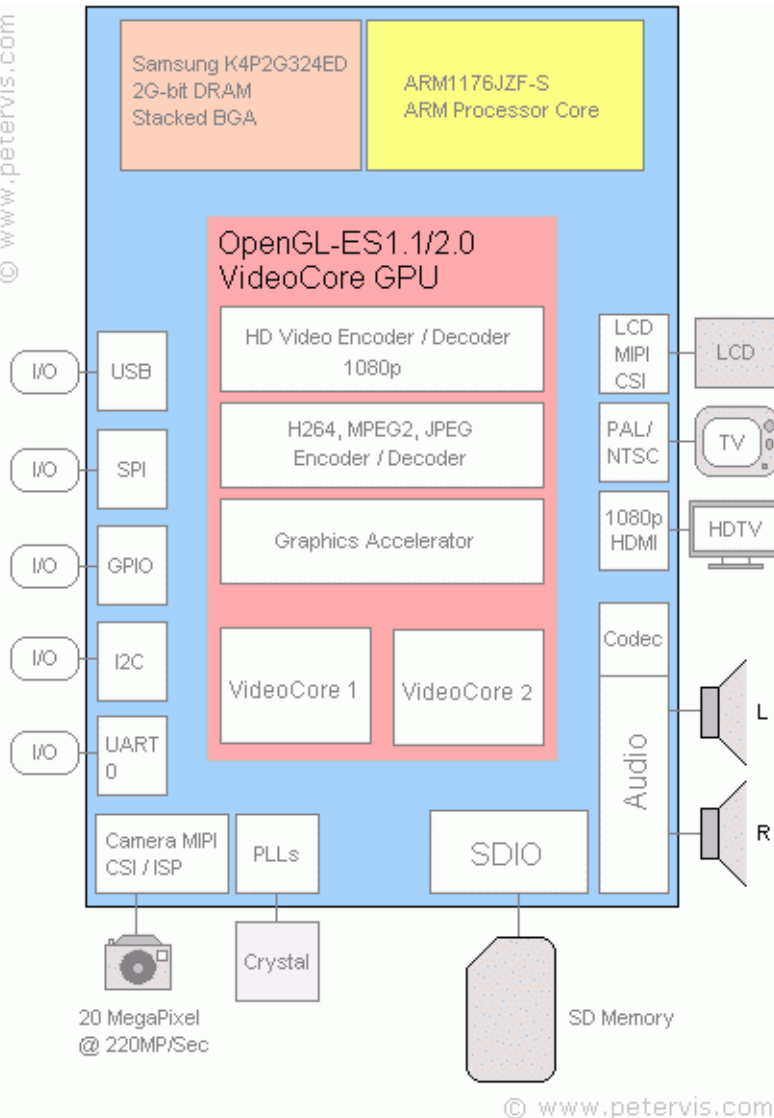
© B. Jenkins, FPGAs vs. General Purpose GPUs (GPGPU) as Accelerators, Altera.

Klasifikacija mikroprocesorskih sistemov



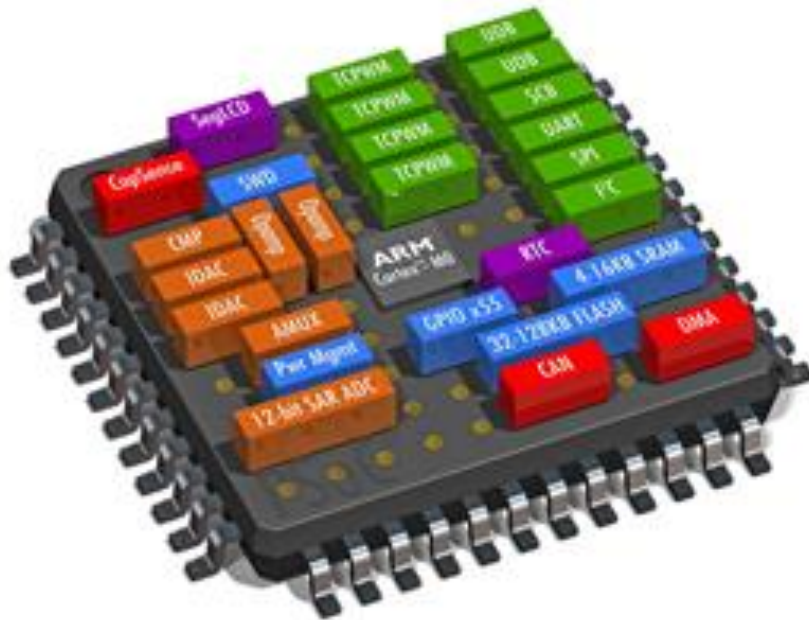
Primer 1: Raspberry Pi SoC

- ▶ ARM + VideoCore GPU
- ▶ DRAM



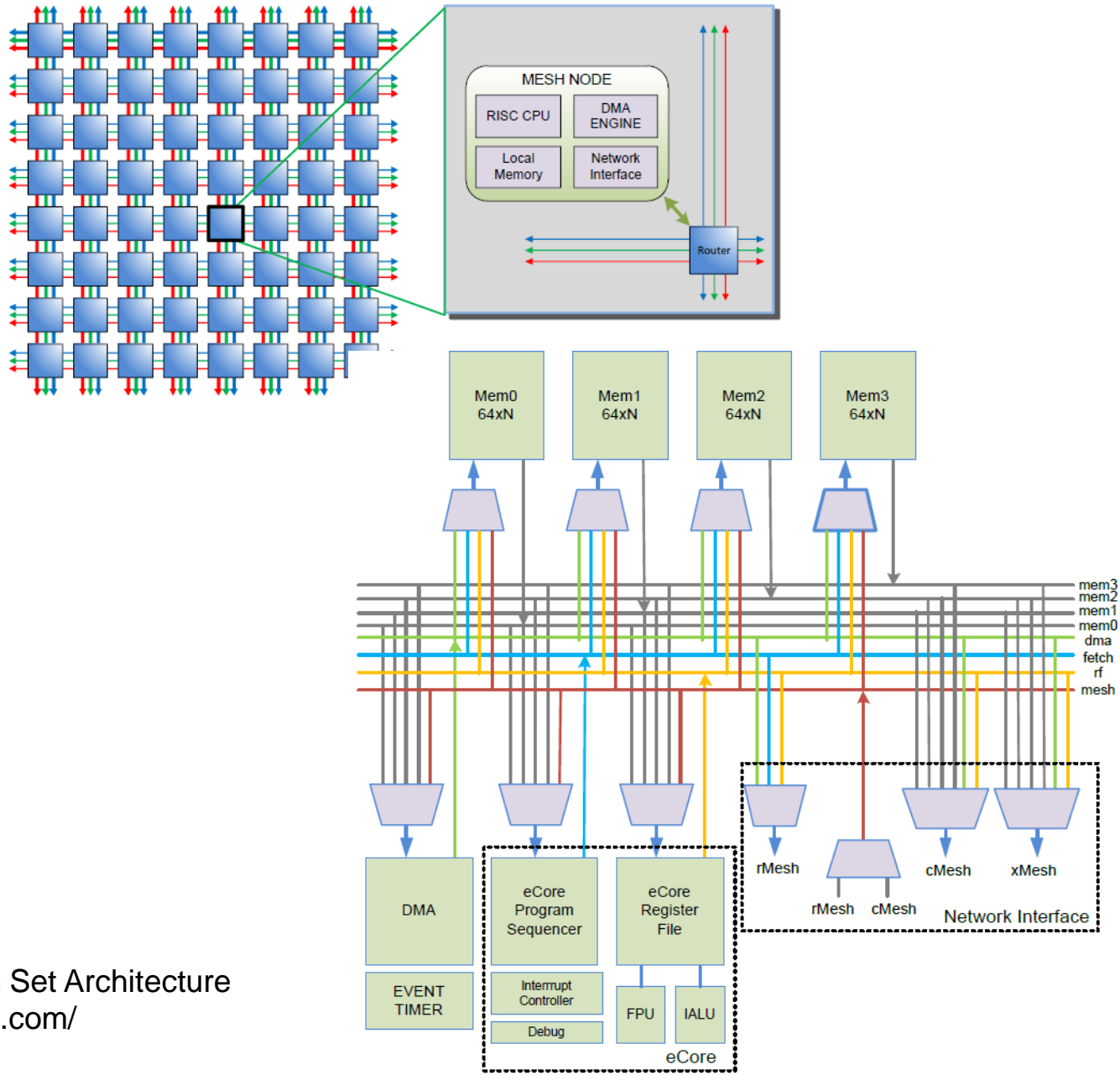
Primer 2: PSoC

- ▶ ARM + programirljivi analogni in digitalni bloki



Cypress PSoC
<http://www.cypress.com/>

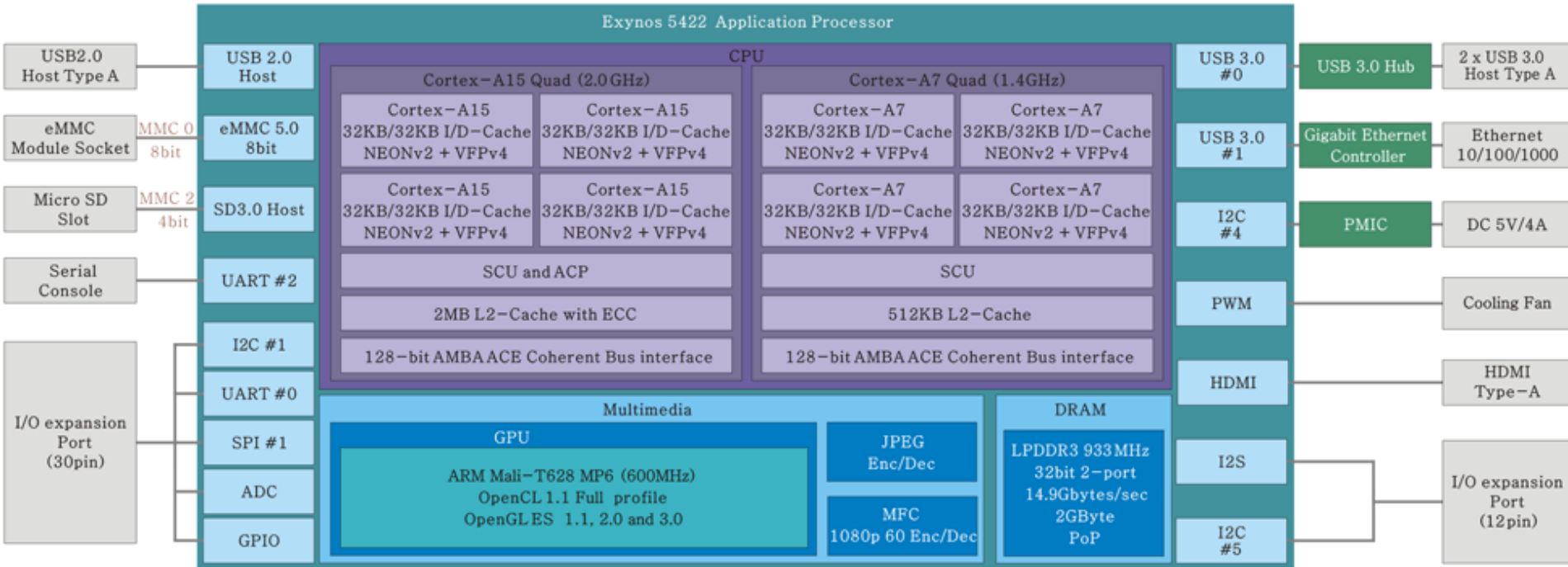
Primer 3: večjedrni NoC



Primer 5: Heterogeni MPSoC

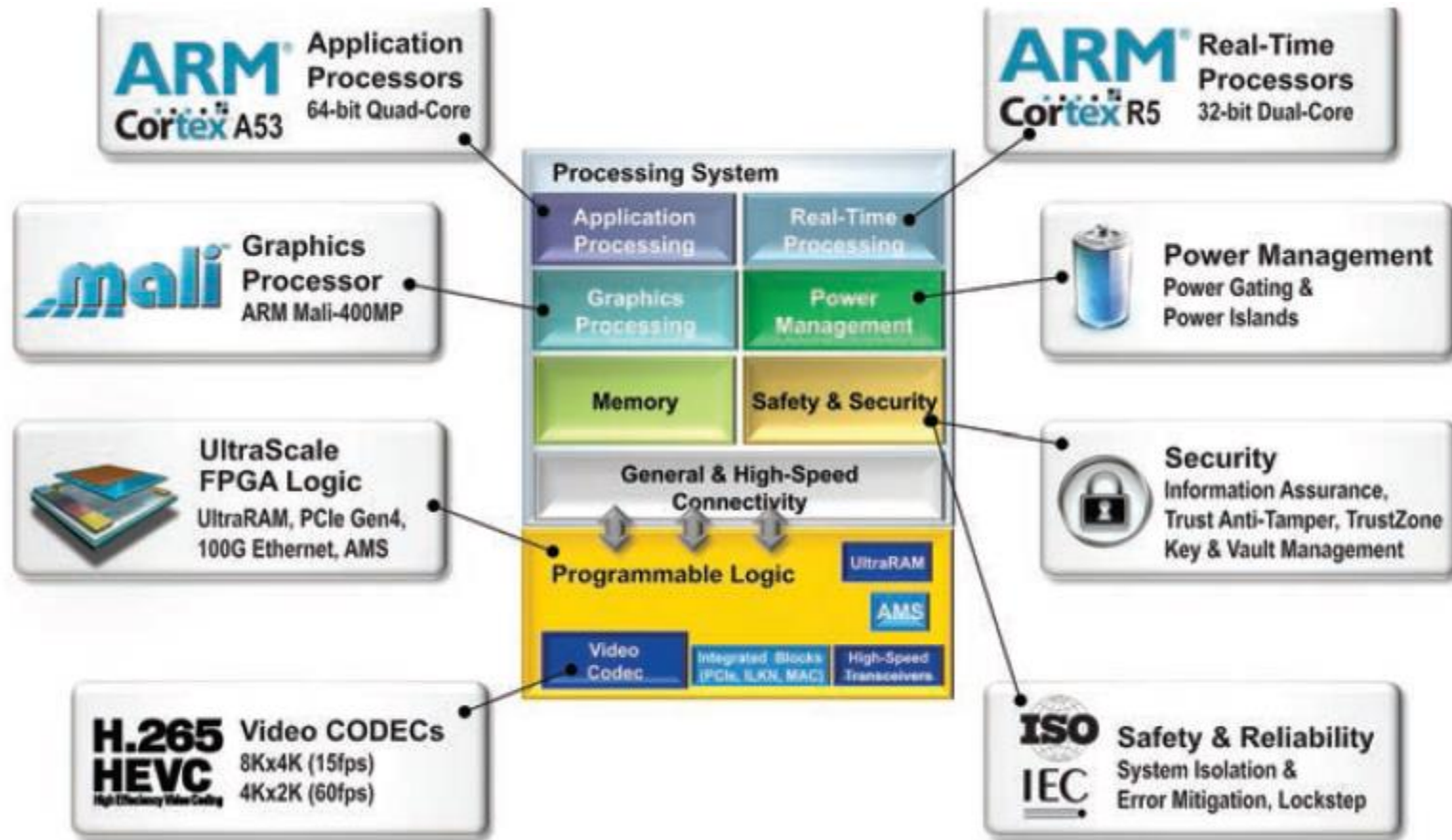
▶ Heterogeneous Multi-Processing (HMP)

ODROID-XU4 BLOCK DIAGRAM



<http://www.hardkernel.com>

Primer 6: Programirljivi sistem na čipu



Opis digitalnega sistema

- ▶ opis funkcionalnosti

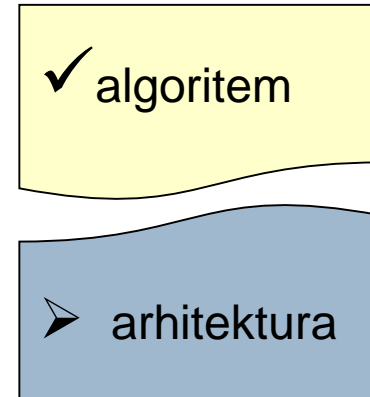
- ▶ algoritmi, ki jih sistem izvaja

- ▶ opis zgradbe

- ▶ digitalno elektronsko vezje

- ▶ specifikacije

- ▶ omejitve pri načrtovanju sistema
 - ▶ končni parametri sistema (hitrost delovanja, površina vezja, poraba energije)



Izvedba funkcionalnosti sistemov

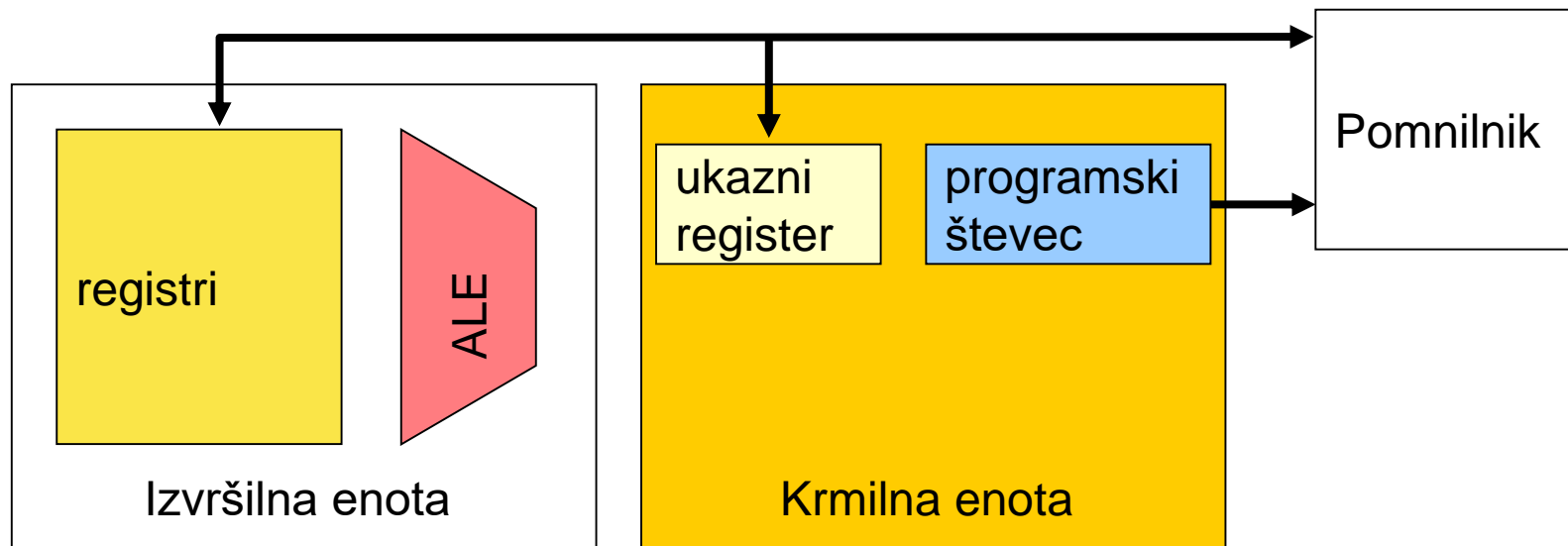
- ▶ programska izvedba
 - ▶ mikroprocesor, $10^8 - 10^9$ operacij/s
- ▶ delno programska in delno strojna izvedba
 - ▶ *Application Specific Instruction Set Processor (ASIP)*
 - ▶ procesor + koprocesorji, *DSP, VLIW* procesor
- ▶ strojna izvedba
 - ▶ namensko vezje, $10^{10} - 10^{11}$ operacij/s
 - ▶ *Application Specific Integrated Circuit (ASIC)*

Mikroprocesorji

- ▶ splošno-namenski mikroprocesorji
 - ▶ računalniki
 - ▶ pomembna zmogljivost in združljivost
 - ▶ kompleksen nabor ukazov (CISC)
- ▶ vgradni (vgrajeni, *embedded*) procesorji
 - ▶ vgrajeni v elektronske naprave
 - ▶ pomembna učinkovitost in delovanje v realnem času
 - ▶ reduciran nabor ukazov (RISC)

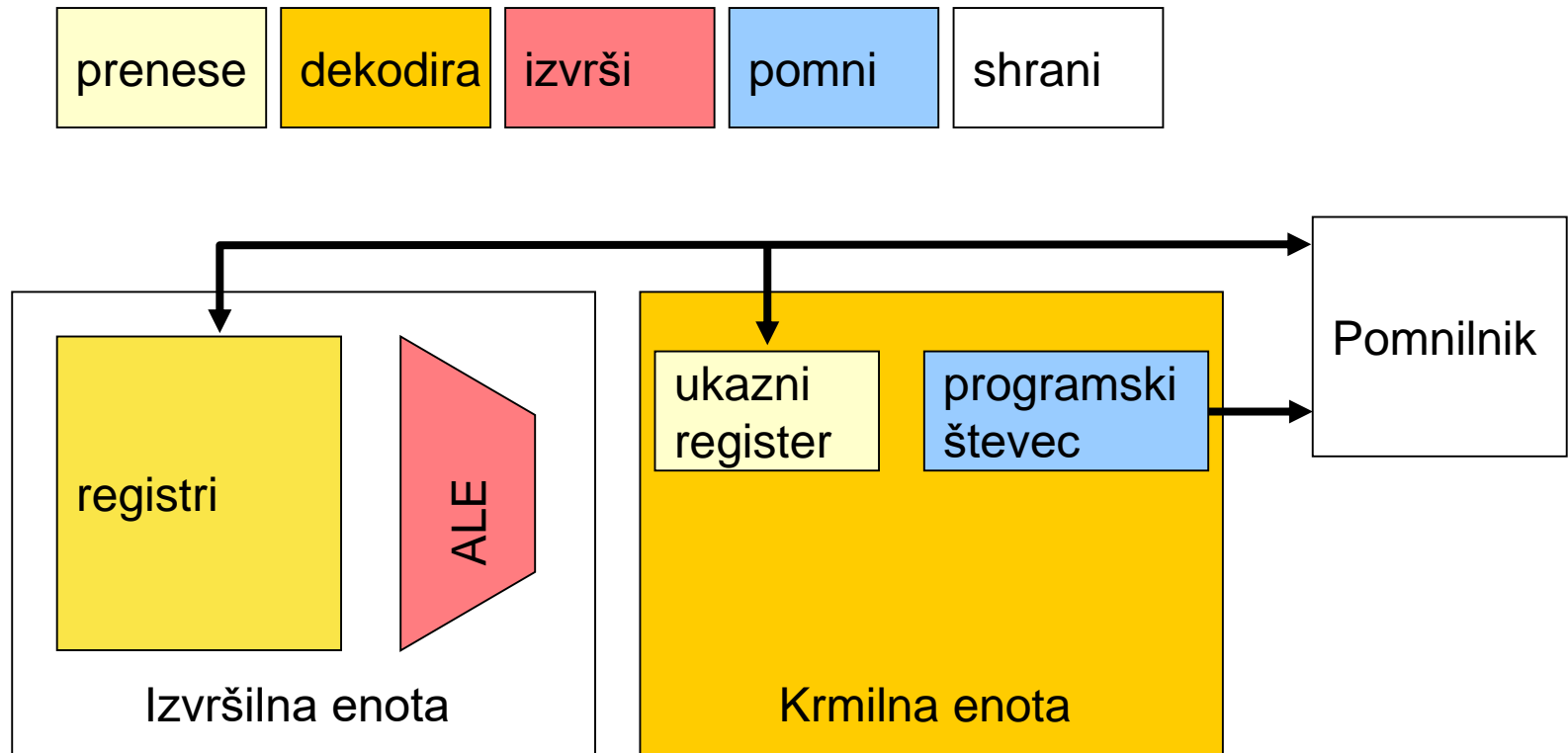
Delovanje mikroprocesorja

- ▶ delovanje določa nabor ukazov (**ISA**)
 - ▶ ukazi so prilagojeni programskemu jeziku (C/C++)
 - ▶ von Neumannov model



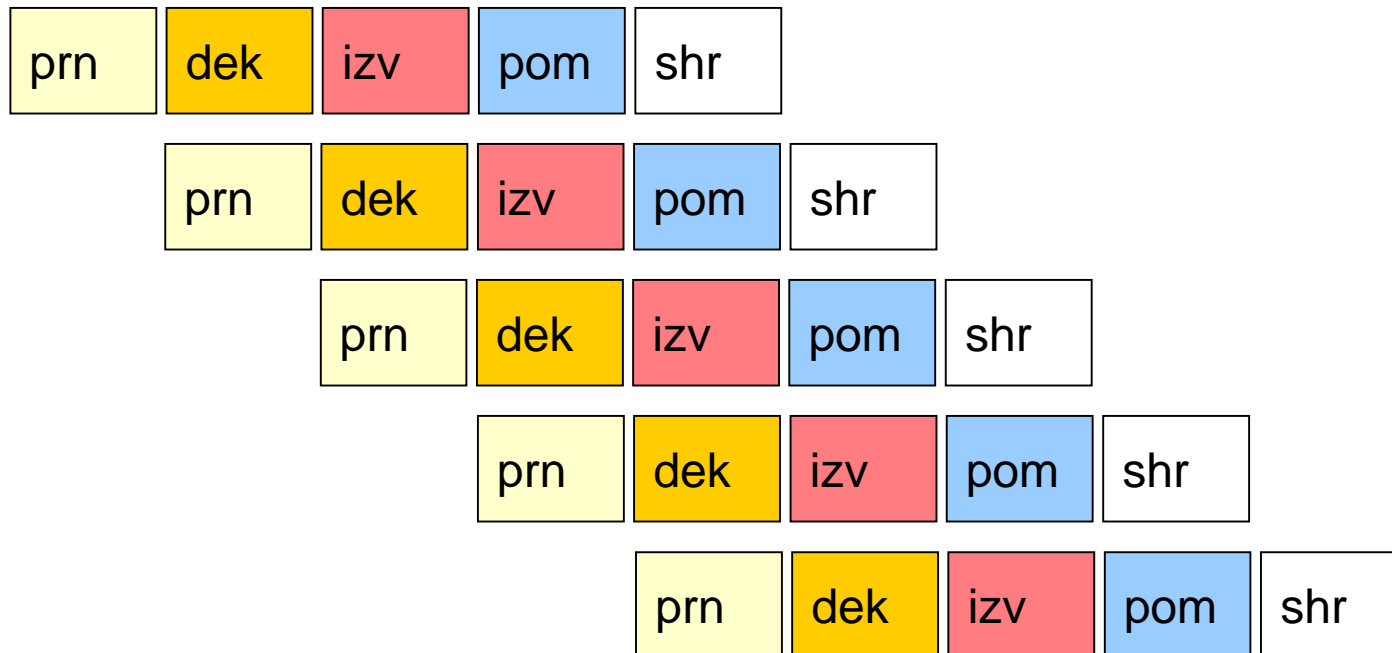
Izvajanje ukazov

zaporedje izvajanja ukaza:



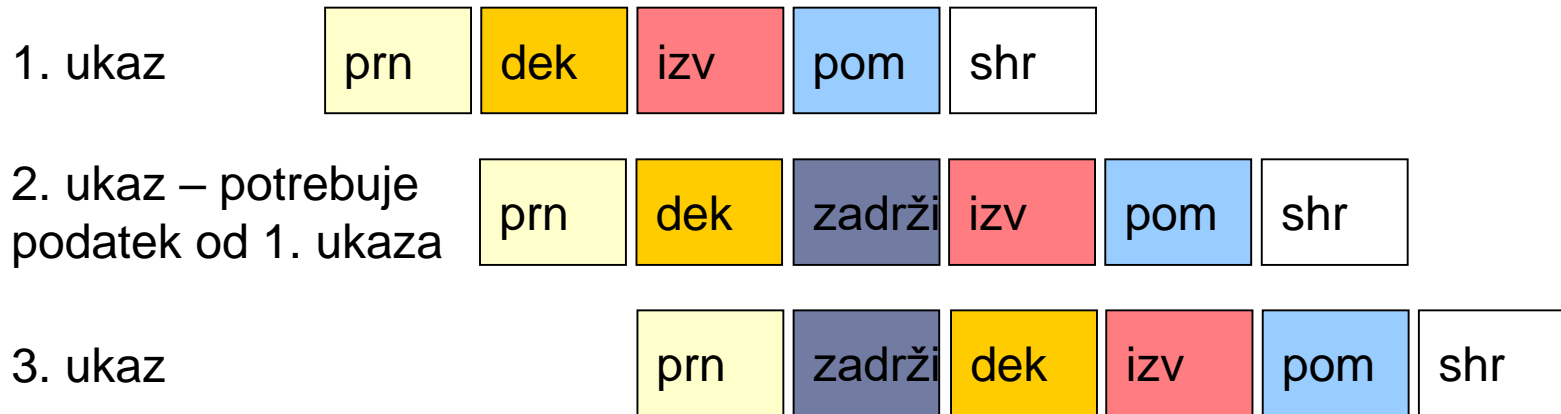
Povečanje učinkovitosti s cevljenjem

- ▶ 5-stopenjski cevovod RISC procesorja (npr. ARM9)
 - ▶ paralelno izvrševanje več ukazov v različnih stopnjah
 - ▶ včasih je potrebno zaporedje prekiniti (**pipeline hazard**)



Zadrževanje cevovoda (stall)

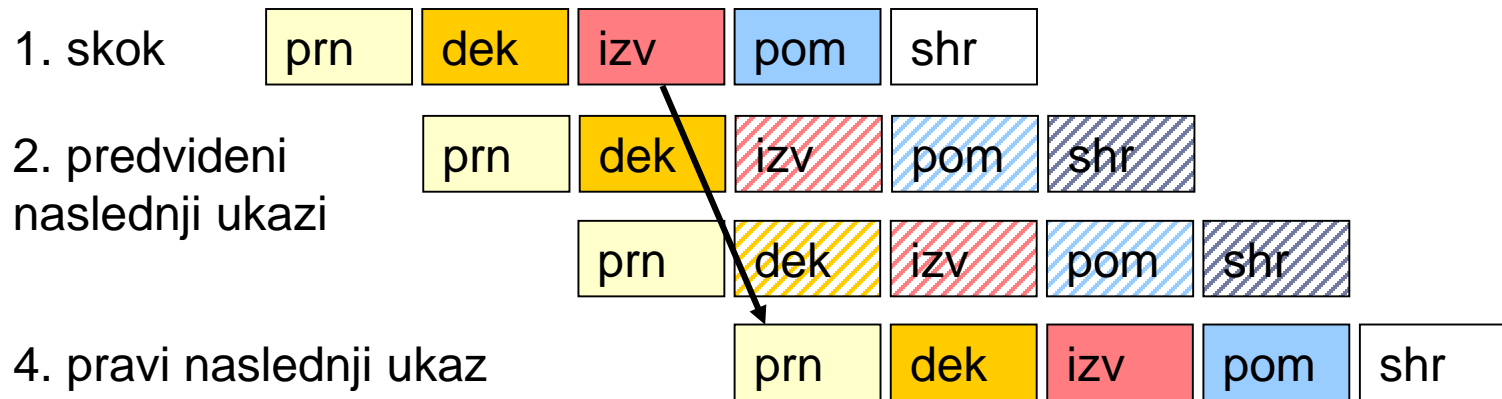
- ▶ Podatkovna odvisnost ukazov (podatkovni hazard)



- ▶ Če je mogoče, zamenjamo vrstni red ukazov
 - statično menjavo naredi prevajalnik
 - dinamično menjavo naredi posebna enota v CPU

Napovedovanje vejitev

- ▶ skočni ukazi lahko prekinejo zaporedje izvajanja ukazov (kontrolni hazard)



- statična napoved vejitev v času prevajanja
- enota za dinamično napoved vejitev (branch prediction)

Predpomnilniki

- ▶ počasen dostop do zunanjega pomnilnika
 - ▶ procesorji so danes veliko hitrejši kot glavni pomnilnik
 - ▶ uporabimo predpomnilnike za ukaze in podatke
 - ▶ predpomnilniki zasedejo veliko površino vezja in so izredno dragi
 - ▶ zmogljivi procesorji imajo več nivojev (L1, L2) predpomnilnikov

Dostopni čas	L1 predpomnilnik	L2 predpomnilnik	glavni pomnilnik
3 GHz CPE	1-3 cikle	5-20 ciklov	200-300 ciklov
500 MHz vgradni CPE	1 cikel	-	50 ciklov

- ▶ potraten prenos podatkov iz zunanjega pomnilnika
 - ▶ prenos zahteva 50x več energije kot računske operacije

Povečanje zmogljivosti procesorjev

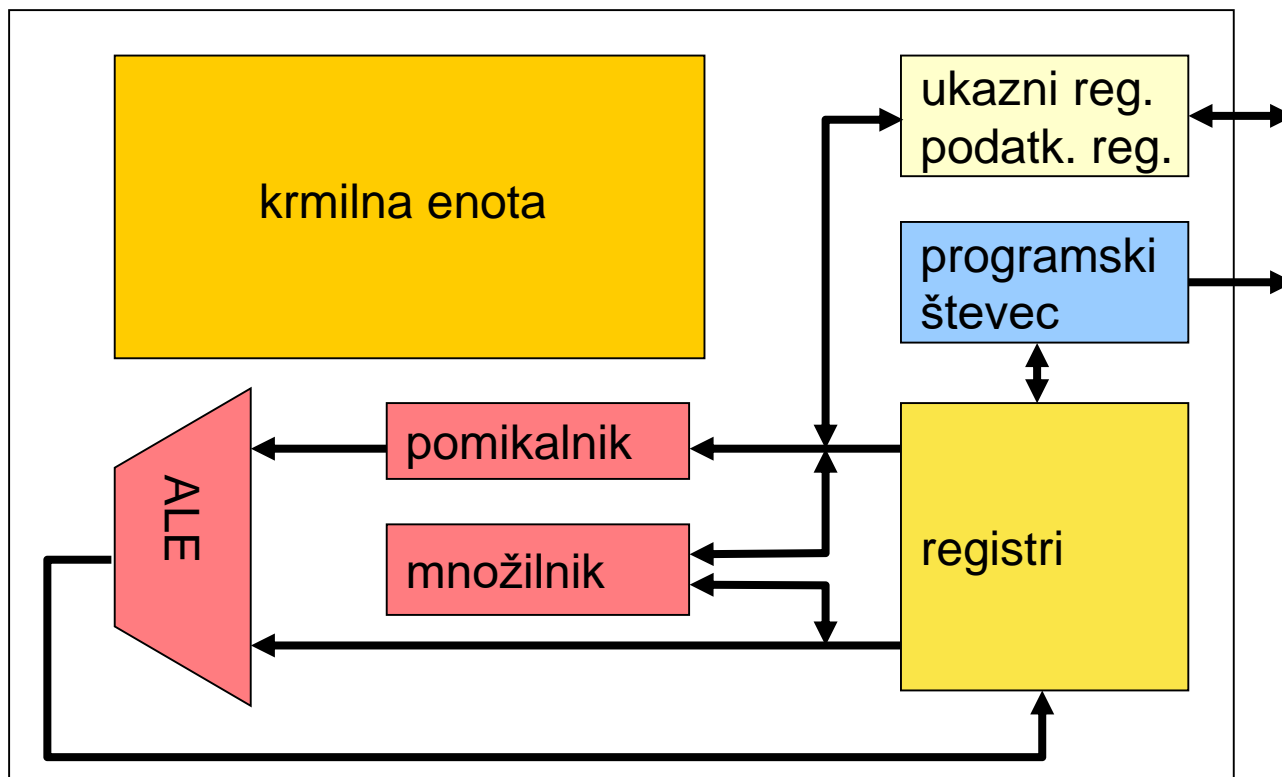
- ▶ povečanje nivojev cevovoda
 - ▶ omogoča višjo frekvenco ure
- ▶ vzporedno izvajanje več ukazov
 - ▶ potrebujemo več ALE
 - ▶ procesorji **VLIW (Very Large Instruction Word)**
- ▶ strojna večnitnost (**multithreading**)
 - ▶ hkratno izvajanje neodvisnih programov na istem cevovodu
 - ▶ več programskih števec in registrskih bank
- ▶ več jeder (**multicore**)
 - ▶ več enot CPU na enem vezju, ki si delijo skupen pomnilnik

Vgradni mikroprocesorji

- ▶ sestavni deli večine digitalnih sistemov
- ▶ pomembna je odzivnost v realnem času
- ▶ imajo bolj preprosto in predvidljivo zgradbo
 - ▶ manjša zmogljivost kot pri splošno-namenskih
- ▶ mehanizmi za povečanje zmogljivosti prispevajo časovno nedoločeno izvrševanje
 - ▶ velik cevovod, napovedovanje skokov in veliko predpomnilnika so lahko slabe lastnosti

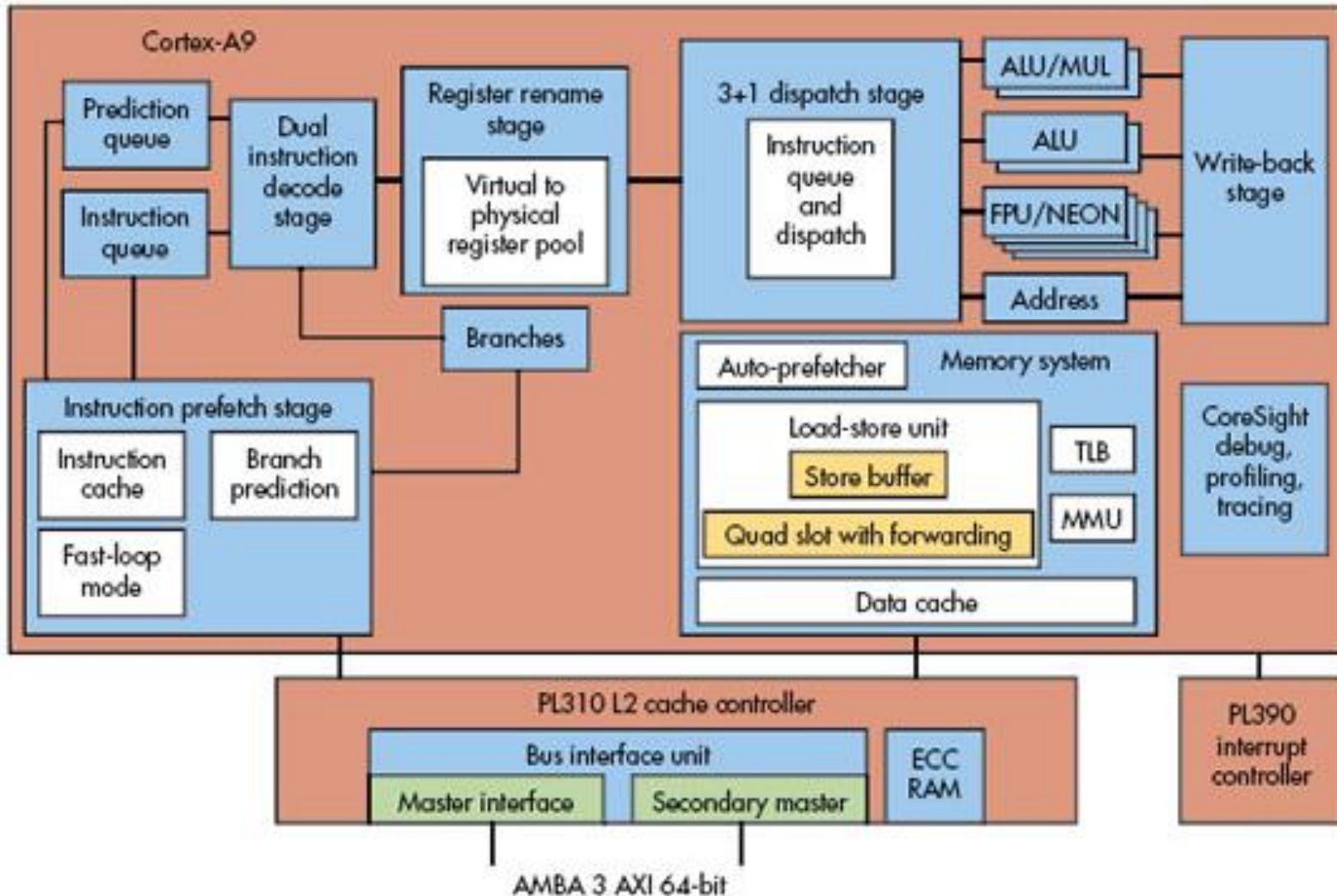
Primer: enostaven 32-bitni procesor

► ARM7



Primer: zmoĝljiv procesor ARM Cortex-A9

- ▶ dinamiĉni cevovod: 8-11 stopenj



Aplikacijsko specifični procesorji

- ▶ procesor ima dodatne ukaze in strojne enote prilagojene določenim aplikacijam
 - ▶ krmiljenje, obdelava zvoka in slike, mrežni procesorji
- ▶ mikrokrmilniki (**uC**)
 - ▶ periferne enote, ukazi za delo z biti
- ▶ digitalni signalni procesorji (**DSP**)
 - ▶ MAC enote, vektorski ukazi
- ▶ namenski procesorji (**ASIP**)

Aplikacijsko specifično vezje

- ▶ digitalno vezje, ki je prirejeno za določeno aplikacijo
 - ▶ najbolj optimalna izvedba
 - ▶ najbolj zahtevna izdelava
- ▶ vezje narejeno iz namenskih in splošnih gradnikov
 - ▶ sprejeti potrebno veliko arhitekturnih odločitev
 - ▶ npr. izbira med RISC, SIMD ali namenskim gradnikom
 - ▶ veliko podpore računalniških (CAD) orodij pri sestavljanju in verifikaciji

Tehnologija digitalnih vezij

specialna
digitalna vezja

naročniška

➤ načrtovanje na nivoju tranzistorjev

polnaročniška

➤ uporabimo knjižnico elementov

programirljiva

➤ programiramo že pripravljeno vezje

Namenska integrirana vezja – ASIC

- ▶ površina gradnikov v integriranem vezju
 - ▶ v tehnologiji 28 nm zasede RISC CPU manj kot 0.01 mm²

gradnik vezja	površina
en bit DRAM	2
en bit SRAM	24
vrata NAND	40
zapah	100
flip-flop	300
seštevalnik*	30000
množilnik*	300000
RISC CPU*	500000

*32-bitni