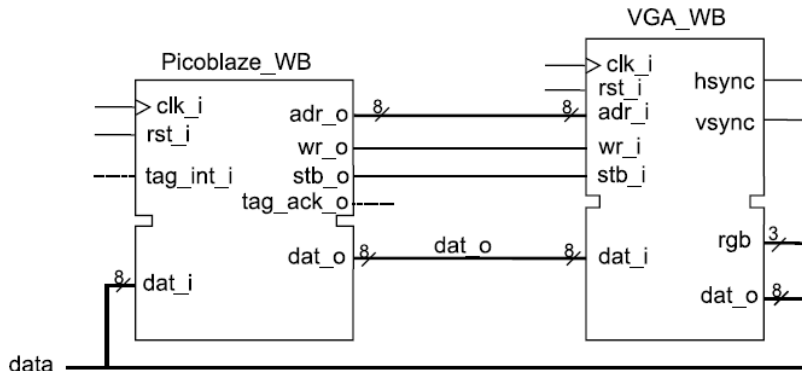


Prikazovalna enota za VGA monitor

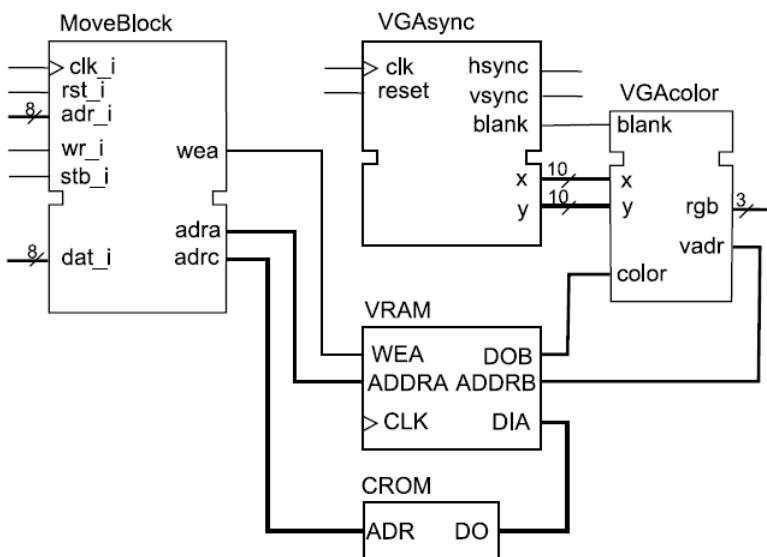
Naloga

Naredi prikazovalno enoto (VGA_WB) z izhodom za VGA računalniški monitor. Prikazovalna enota naj bo prirejena za priključitev na mikrokrmilnik PicoBlaze preko vodila Wishbone.

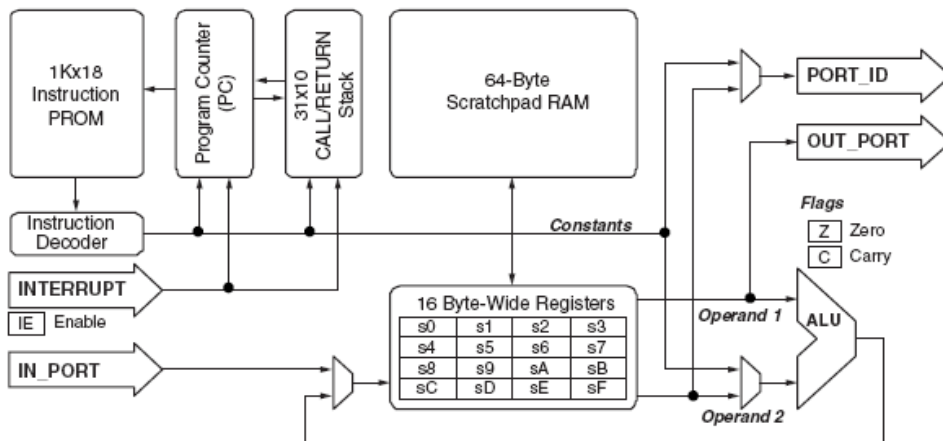


Prikazovalna enota naj bo sestavljena iz treh glavnih modulov:

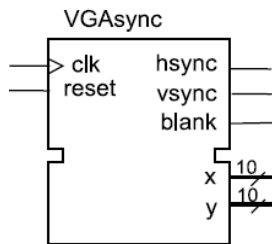
- **MoveBlock** sprejema ukaze iz vodila Wishbone in premika bloke podatkov iz znakovnega pomnilnika CROM v video pomnilnik VRAM
- **VGAsync** generira časovno sinhronizacijo za računalniški monitor in koordinate trenutno prikazovane točke
- **VGAcolor** določa izhodne barve oz. zatemnitev. Vezje naslavlja video pomnilnik VRAM od koder dobiva informacije o barvah točk (color).



Mikrokrmilnik PicoBlaze je 8-bitni mikrokrmilnik sestavljen iz mehkega procesorskega jedra (kcpsm) in programskega pomnilnika. Modul Picobla_WB povezuje obe enoti in hkrati pretvarja signale mikrokrmilnika v signale vodila Wishbone.



1. del: generator sinhronizacije



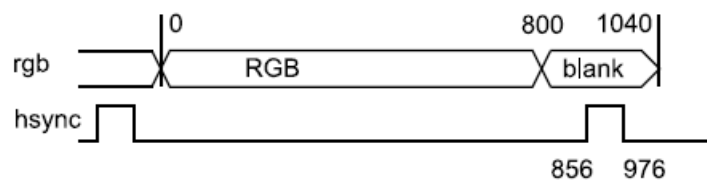
Vezje VGAsync generira sinhronizacijske signale za prikaz VGA slike po standardu VESA 800x600 točk s frekvenco osveževanja 72Hz. Frekvenca vhodne ure je 50MHz. Polariteta sinhronizacijskih impulzov je pozitivna (aktivno stanje je logična 1). Signal blank označuje zatemnilni interval, to je čas, ko smo v horizontalni in vertikalni smeri izven območja prikazovanja. Izhodna vektorja x in y predstavljata koordinate točk na zaslonu, ki so veljavne ko je signal blank neaktiven (v logični 0).

Monitor izrisuje sliko po vrsticah od leve proti desni, ko nariše vse vrstice se žarek vrača v levi zgornji kot. Število vrstic in hitrost risanja določata signala za horizontalno in vertikalno sinhronizacijo. Horizontalna sinhronizacija predstavlja periodične impulze, ki povzročijo vračanje žarka na levo po koncu vsake vrstice. Okoli sinhronizacijskega impulza je pavza (zatemnilni interval), v času katere mora biti barvni signal rgb postavljen na 0.

VESA 800 x 600, 72Hz :

Perioda horizontalne sinhronizacije traja 1040 urinih period pri frekvenci ure 50MHz. Prvih 800 period je vidni del slike, ostalo pa je horizontalni zatemnilni interval, med katerim moramo generirati impulz horizontalne sinhronizacije.

	hsync (period clk)	vsync (period hsync)
Perioda	1040	666
vidni del	800	600
Impulz	856	637
Širina	120	6



Horizontalni del naredimo z 11-bitnim števcem (x), ki šteje ob fronti ure po modulu 1040. V območju med 856 in 976 naredimo izhodni impulz hsync:

```
if x >= 856 and x < 976 then hsync <= '1';
else hsync <= '0';
end if;
```

Vsak nov cikel horizontalne sinhronizacije predstavlja novo vrstico; števec vrstic (y) naj se poveča v času horizontalnega impulza (npr. ko je x=856). Vidni del slike je sestavljen iz 600 vrstic, vseh vrstic pa je 666. Razlika so zatemnjene vrstice, ki se pošiljajo v času vertikalne sinhronizacije. Vertikalna sinhronizacija predstavlja impulze za risanje nove slike oz. vračanje žarka v levi zgornji kot.

Signal blank naj bo 1, ko je števec x ali y izven vidnega dela ($x > 800$ ali $y > 600$). Za test delovanja generatorja slike potrebujemo še logiko, ki na 3-biten izhod RGB pošilja neko od nič različno vrednost v času vidnega dela slike in "000" v času zatemnitve.

Na razvojni plošči Basys imamo oscilator frekvence 25 MHz. Frekvenco zunanje ure (clk25) znotraj FPGA množimo z uporabo namenske komponente DCM, katere model je definiran v knjižnici UNISIM:

```
signal clkfb, clk50, clk: std_logic;
```

```
dcm1 : DCM generic map ( CLKIN_PERIOD => 40.0 )
port map ( CLKIN => clk25, RST => '0', CLK0 => clkfb, CLKFB => clkfb, CLK2X => clk50 );
```

```
buf1: BUFG port map ( I => clk50, O => clk);
```

User Constraints File za FPGA iz družine **Spartan-3E, XC3S250E -5 CP132**

```
NET "clk" LOC = "M6" ;
NET "hsync" LOC = "J14" ;
NET "vsync" LOC = "K13" ;
NET "rgb<2>" LOC = "F13" ;
NET "rgb<1>" LOC = "G14" ;
NET "rgb<0>" LOC = "J13" ;
```