

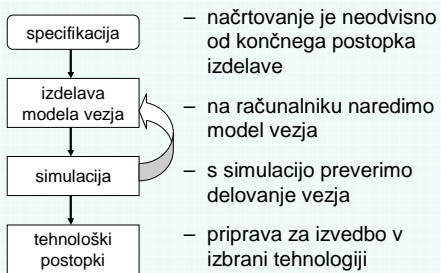
Andrej Trost

Načrtovanje digitalnih el. sistemov

3. Potek načrtovanja vezij

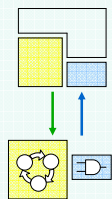
<http://lniv.fe.uni-lj.si/ndes.html>

Potek načrtovanja vezij



Izdelava modela vezja

- Vezje razdelimo na podvezja, ki jih postopoma dograjujemo
– načrtovanje od zgoraj navzdol
- Začnemo s preprostimi gradniki, ki jih sestavljamo in dopolnjujemo
– načrtovanje od spodaj navzgor
- Za opis komponent uporabimo ustrezen model

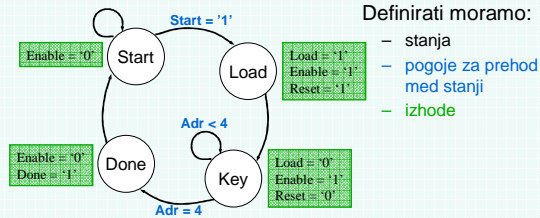


Vrste modelov digitalnih vezij

- Končni avtomat
 - primeren za krmilne elemente vezja
- Sinhroni pretok podatkov
 - primeren za obdelavo signalov (npr. filtriranje)
- Sinhroni reaktivni model
 - za sisteme, ki reagirajo s hitrostjo okolja (npr. ABS)
- Model diskretnih dogodkov
 - primeren za opis asinhronih vezij
 - simulator digitalnih vezij

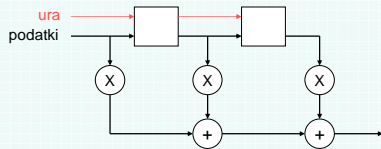
Končni avtomat

- Sinhroni avtomat spreminja stanja ob fronti sistemske ure



Sinhroni pretok podatkov

- Vezja obdelajo in shranjujejo podatke sinhrono s sistemsko uro (npr. digitalno sito)

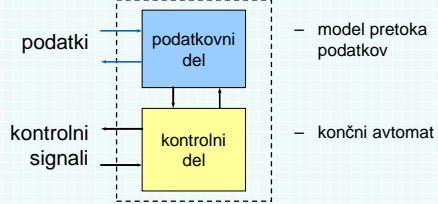


- Sestavljajo jih funkcijski bloki (operatorji) in registri (RTL, Register Transfer Level)



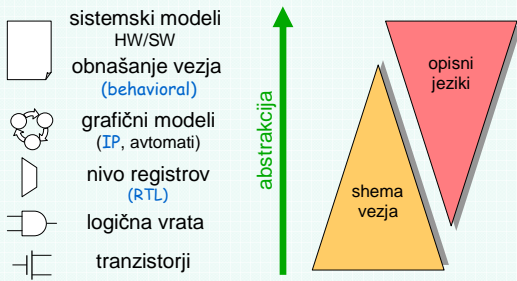
Kombiniranje modelov

- Digitalno vezje razdelimo na podatkovni in kontrolni del





Nivoji modeliranja digitalnih sistemov





Nivo tranzistorjev

- Npr. SPICE model
 - model, ki vsebuje največ fizikalnih podrobnosti
- Model je primeren za popolnoma naročniško tehnologijo izdelave IV
- Načrtovanje je zelo zahtevno in zamudno
- Simulacija je počasna



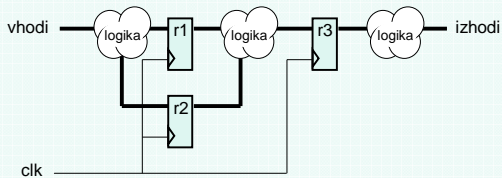
Nivo logičnih vrat

- **Osnovni nivo** na katerem je opisana večina digitalnih vezij
- Sistem je opisan s shemo ali Boolovimi enačbami (npr. Abel)
- Ta nivo in vsi višji nivoji so primerni za polnaročniško in programirljivo tehnologijo
- Načrtovanje kompleksnih sistemov je zahtevno in simulacija je počasna



Nivo registrov (RTL)

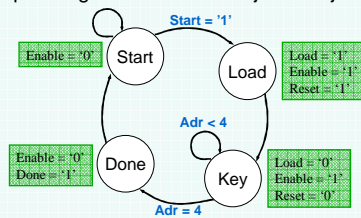
- Zelo primeren za opis sinhronih sekvenčnih vezij
 - vezje razdelimo na registre in komb. logiko





Grafični modeli

- Npr. model končnega avtomata
 - Na podlagi vnešenih informacij, nam programska oprema generira model vezja na nižjem nivoju





Modeli obnašanja vezja

- Opis delovanja vezja
 - opis transformacij med signali
 - opis časovnega poteka izvajanja (na nivoju ciklov v sinhronih vezjih)
- Model ne vsebuje natančne zgradbe vezja !
 - zgradbo določi program za sintezo vezja
- Opis delovanja vezja v strojno-opisnem jeziku
 - HDL, Hardware Description Language



Sistemske modeli

- Npr. opis vezja v jeziku SystemC
- Modeli iz katerih odstranimo podrobnosti o
 - zgradbi vezja in
 - časovnem poteku izvajanja funkcij.
- Veliko možnosti za avtomatizacijo načrtovanja:
 - razmeščanje (*partitioning*): določimo funkc. enote
 - razvrščanje (*scheduling*): določimo časovni potek
 - sinteza vezja: določimo zgradbo vezja



Zakaj visokonivojski opis?

- v visokonivojskem jeziku je opis vezja bližje specifikaciji
 - delamo na nivoju, ki nam je bolj razumljiv
- opis in simulacija vezja poteka hitreje
 - preizkusimo lahko več možnih rešitev in izberemo optimalno
 - optimizacijo na nivoju logičnih vrat prepustimo programski opremi
- za kompleksna digitalna vezja in sisteme potrebujemo visokonivojski opis
