



Andrej Trost

## Načrtovanje digitalnih el. sistemov

### 2. Tehnologija in gradniki vezij

<http://lniv.fe.uni-lj.si/ndes.html>

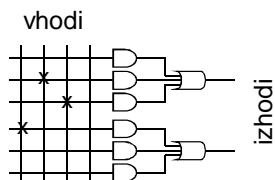


## Tehnologija programirljivih vezij

- Vezja so vnaprej izdelana
  - ne načrtujemo na fizičnem nivoju
  - nimamo stroškov priprave proizvodnje (NRE)
- Krajši čas načrtovanja
- V primerjavi z ASIC so počasnejša, imajo večjo površino in porabo
  - aktivni elementi v povezovalni mreži vnašajo zakasnitve
  - del vezja je namenjen programiranju
  - gradniki vezja niso nikoli 100% izkoriščeni



## Programirljiva vezja (PLD)

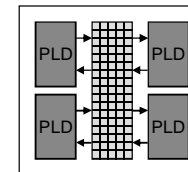


PAL: programirljiva IN matrika  
GAL, PALCE: prog. matrika in flip-flopi

- Programirljivost
  - s programiranjem določimo povezave v vezju
  - določimo poljubno digitalno funkcijo
- Omejena zmogljivost
  - površina vezja se veča s kvadratom št. vhodov
  - nekaj 100 logičnih vrat, EPROM pomnilnik



## Programirljiva vezja (CPLD)

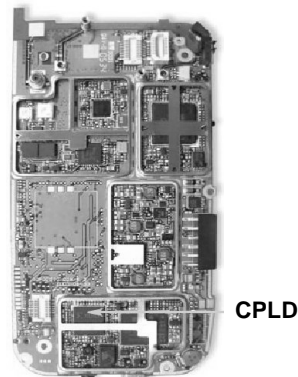


Kompleksna programirljiva vezja:  
– PLD makrocelice (IN-ALI matrika + FF)  
– programirljivo povezovalno polje

- Izdelava kompleksnih logičnih funkcij
  - naredimo jih s povezavo večih makrocelic
  - potrebujemo programsko opremo za delitev oz. preslikavo vezja v CPLD strukturo
  - od 1000 do 20.000+ log. vrat, FLASH pomnilnik

## Uporaba vezij CPLD

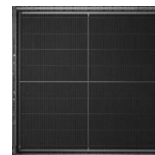
- Integracija enostavnih funkcij v sistemu
  - vmesniki, digitalni vh/izh pretvorniki



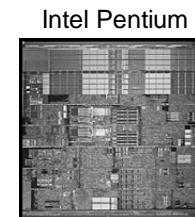
CPLD

## Programirljiva matrika (FPGA)

- Field Programmable Gate Array
- vezja FPGA imajo zelo regularno zgradbo
  - zelo gosto vezje z veliko log. elementi



Xilinx Virtex

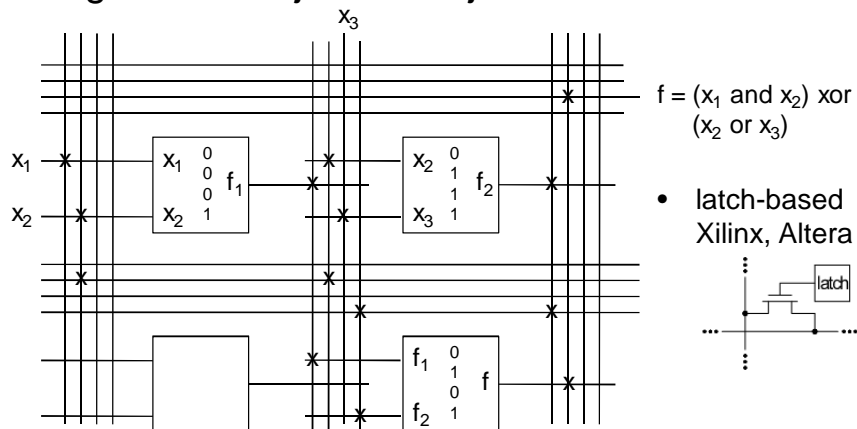


Intel Pentium

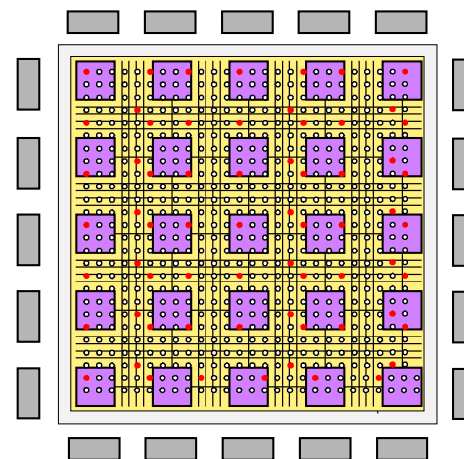
- Pentium ima precej bolj naključno zgradbo
  - izstopajo veliki predpomnilniki (cache)

## Osnove delovanja FPGA

- logične funkcije so narejene s tabelami



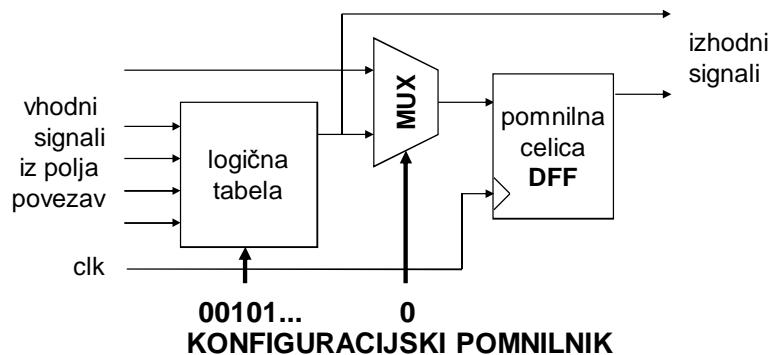
## Zgradba vezja FPGA



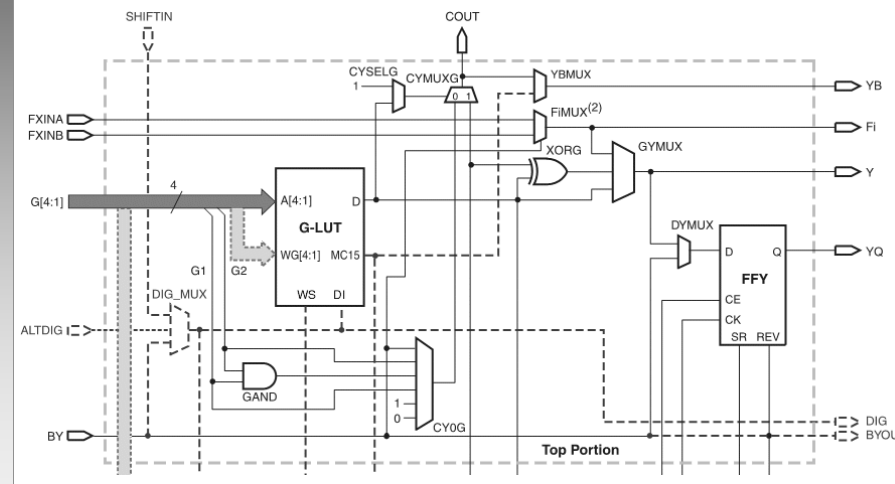
- matrika logičnih celic, okrog so vh / izh celice
- povezovalno polje vsebuje veliko število povezav
- konfiguracijski pomnilni elementi (SRAM latch, antifuse ali Flash)

## Poenostavljena zgradba logične celice

- Programirljive logične tabele (Look-Up Table)
- Pomnilni elementi
- Programirljive povezave (MUX)

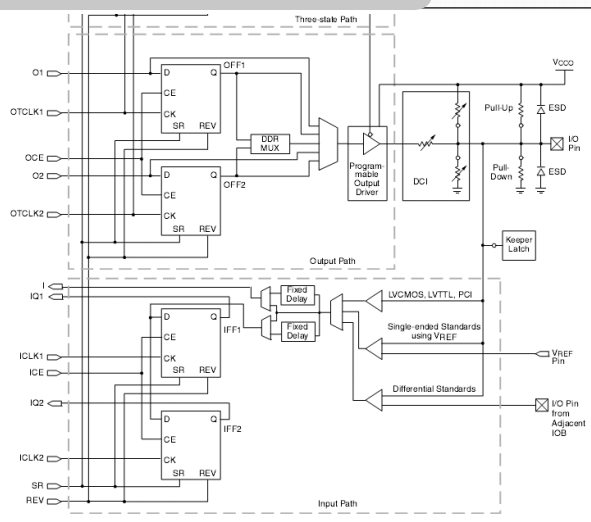


## Logične celice vezij Xilinx Spartan3 (CLB)



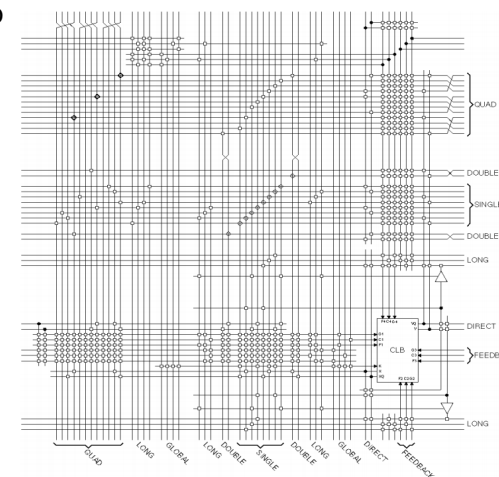
## Vh. / izh. celice vezij Xilinx Spartan3 (IOB)

- vhodni in izhodni ojačevalniki
- 3-stanjski, pullup ali pulldown izhod
- kontrola nivojev in impedance
- dvojni DFF na vходу in izhodu
- nastavitve hitrosti in zakasnitve



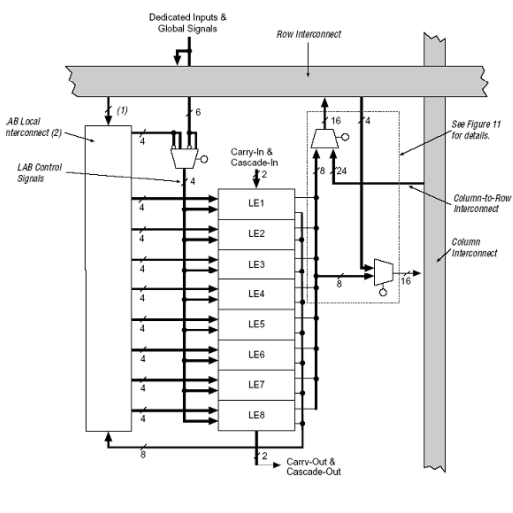
## Povezovalno polje vezij Xilinx

- FPGA potrebuje ogromno povezav
  - enojne, dvojne, quad
  - dolge linije
  - globalni signali (clk, reset)
- na križiščih povezav so stikalni elementi, ki jih krmilijo zapahi
- povezave vnašajo zakasnitve !



## Povezovalno polje vezij Altera

- hierarhična zgradba
  - lokalne povezave v bloku logičnih celic (LAB)
  - kanali v vrsticah in stolpcih
  - globalne povezave



## Razvoj vezij FPGA

FPGA Industry's First Built-in PCIe® & Ethernet Blocks  
Protocol Support

**Built-in PCIe Interface**  
**Built-in Ethernet MAC**

38Kbit Dual-Port Block RAM / FIFO with ECC  
Higher Bandwidth

ExpressFabric™  
Real 8-input LUT, Up to 330,000 Logic Cells  
30% Higher Performance

3.75 Gbps Serial Transceivers  
Lowest Power

25x18 DSP Slice  
Higher Precision

Second Generation Triple-core, Advanced 65nm Process, 1 Volt Core, Strained Silicon  
Low Power

560 MHz Clock Management DCM (precision synthesis) + PLL (Low jitter)

3.3V SelectIO with ChipSync  
1.25 Gbps LVDS, 800 Mbps Single-Ended

2nd Generation Sparse Chevron Superior Signal Integrity

Virtex-5 ExpressFabric™  
Virtex-4 ExpressFabric™  
New Interconnect Architecture  
Enhanced Routing

ASIC, ASSP, SRAM, FLASH

## Razvoj vezij FPGA proizvajalca Xilinx

2001	2003	2004	2006	2009
Virtex-II	Virtex-II pro	Virtex-4	Virtex-5	Virtex-6

### Spartan-3

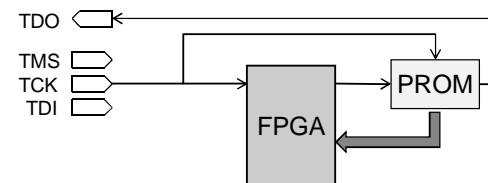
	Spartan-3	XC3S50	XC3S200	...	XC3S5000
matrika CLB	16 x 12	24 x 20			104 x 80
flip-flopov	1536	3840			66560
BRAM	4 (9kB)	12 (27kB)			104 (234kB)
vh-izh	124	173			633
cena	\$12	\$15			\$160

### Spartan-6

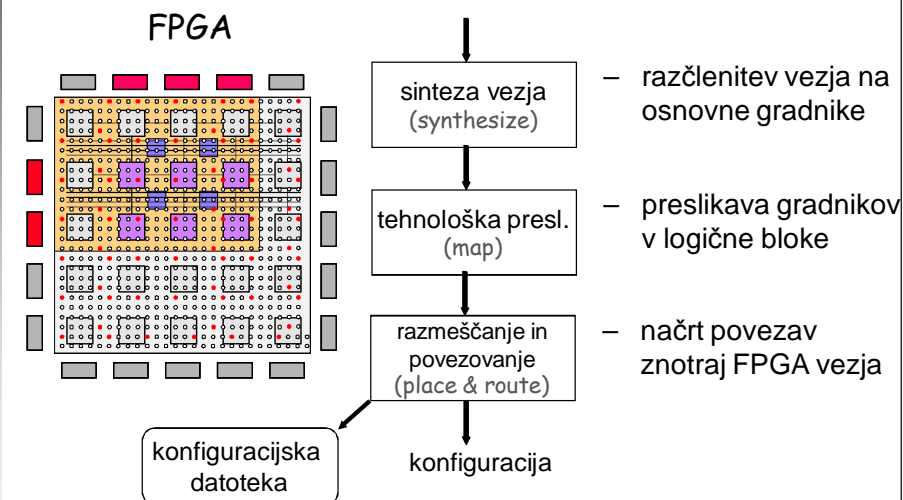
Vezje	Hitrost	Zasedenost
MAC 16-bit	150 MHz	4%
FIR 64-tap	8 MSPS	12%
Picoblaze 8-bit	88 MHz	5%

## Razvojna orodja in programiranje

- Proizvajalci Xilinx, Altera, Lattice ponujajo zastonj osnovni paket razvojnih orodij
  - Xilinx ISE Webpack 11.1 ([www.xilinx.com](http://www.xilinx.com), 2.67GB)
  - zadošča Webpack 6.3 ([Iniv.fe.uni-lj.si/ProgOprema.html](http://Iniv.fe.uni-lj.si/ProgOprema.html), 0.5GB)
- Nalaganje vezij poteka preko vmesnika JTAG
  - Parallel Cable III, USB Programmer ali namensko vezje



## Priprava konfiguracije vezja FPGA



## Sistem na FPGA integriranem vezju

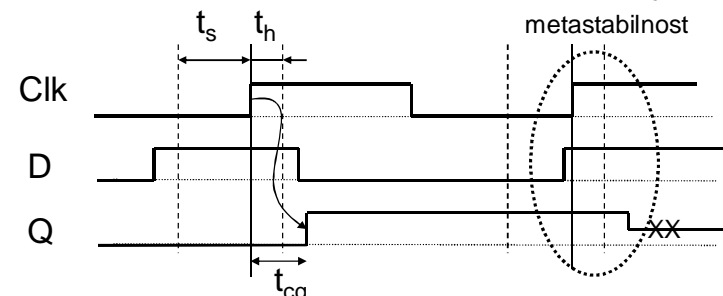
- Vgrajeni HW procesorji
  - Xilinx Virtex vsebuje do 4 PowerPC jedra
- Vgrajeni SW procesorji
  - Actel Cortex(ARM), Altera Nios, Lattice Micro32, Xilinx Microblaze
- Namenske periferne enote
  - več-Gb serijski vmesniki (SERDES, RocketIO)
  - Xilinx Virtex-5: Ethernet MAC bloki
  - Actel Fusion: analogni vmesniki

## Gradniki digitalnih vezij

- Kombinacijski gradniki (npr. seštevalnik)
  - izhodi so odvisni samo od vhodov
- Sekvenčni gradniki (npr. števec)
  - izhodi odvisni od vhodov in notranjega stanja
- Sinhrona sekvenčna vezja
  - gradniki delajo sinhrono s sistemsko uro
  - enostavna za obravnavo
  - max. frekvenca ure je odvisna od zakasnitev na kombinacijskih gradnikih med posameznimi registri

## Delovanje sekvenčnih elementov (flip-flopov)

- Vhod mora biti stabilen nekaj časa pred fronto ure (setup time) in nekaj časa za fronto (hold)
  - zadrževalni čas (hold) je lahko tudi 0
- sicer lahko dobimo metastabilno stanje



## Sinhrona sekvenčna vezja

- Vsi registri delujejo sinhrono s sistemsko uro
- Najmanjša perioda ure (T) je vsota zakasnitev na kombinacijski poti in čas. parametrov registrov

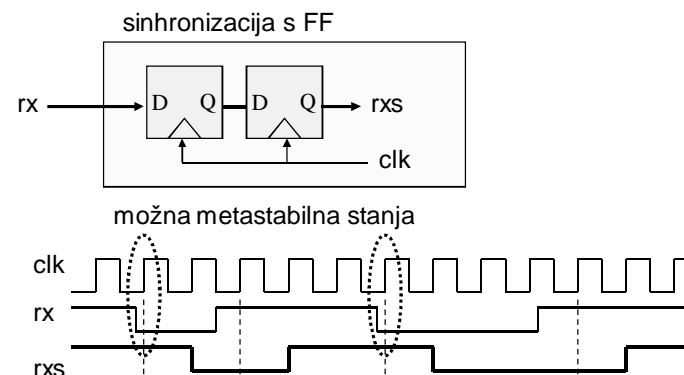
$$T > t_{cq} + \max(t_{komb}) + t_s$$

$$t_h < t_{cq} + \min(t_{komb})$$

- Ni zapahov in asinhronih povratnih vezav
- Asinhroni vhodi registrov le za inicializacijo
- Vse asinhronne vhode sinhroniziramo
  - peljemo jih čez 1 ali 2 flip-flopa

## Sinhronizacija zunanjih signalov

- težav s sinhronizacijo ne vidimo na simulaciji !



## Posebnosti FPGA gradnikov

- Kombinacijsko logiko z do 4 vhodi naredimo z logično tabelo
  - logiko z več vhodi razdelimo med več tabel
- Povezovalni elementi vnašajo zakasnitve
  - zakasnitve so posledica programirljivih povezav
  - zakasnitve povezav so lahko večje kot v logiki !
  - za uro uporabljamo posebne povezave z majhnimi zakasnitvami z enako distribucijo do vseh celic

## Distribucija ure v FPGA vezju

- Ura je speljana do vseh celic z minimalno razliko v zakasnitvi (clock skew)
- Imamo omejeno število (4-8) globalnih povezav z minimalno zakasnitvijo
  - mreža povezav v obliki H drevesa
  - fazno sklenjene zanke za sinhronizacijo z zunanjo logiko

