

Vgrajeni sistemi in sočasno načrtovanje programske in strojne opreme

dr. Matjaž Finc
matjaz.finc@gmail.com

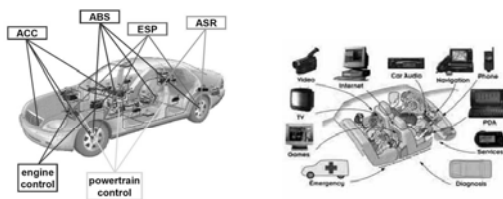


Uvod

- vgrajeni sistemi: HW vs. SW
- sočasno načrtovanje HW/SW – pristopi, metodologije, orodja

2

Vgrajeni sistemi

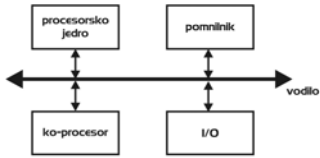


vgrajeni sistemi (vgradni, vdelani) – namenski elektronski sistemi vgrajeni v neko napravo, ki skrbijo za krmiljenje in obdelavo vhodnih in izhodnih podatkov

3

Vgrajeni sistemi

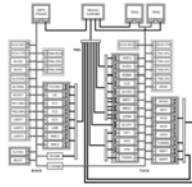
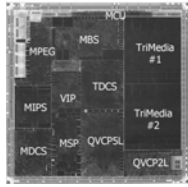
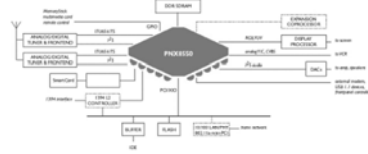
Tipična arhitektura



4

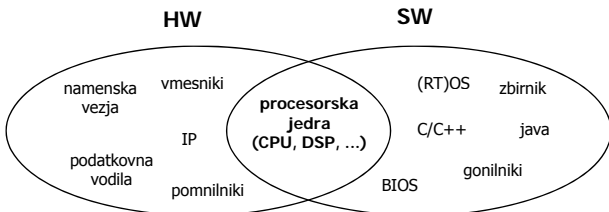
Vgrajeni sistemi

multimedijska
naprava
(Philips Nexperia)



5

HW vs. SW



6

HW vs. SW

HW:

- vzporedno procesiranje
- prilagojenost aplikaciji
- večja zmogljivost (pretok podatkov, hitrost delovanja)
- zahtevnejši postopek načrtovanja (arhitektura, simulacija)
- majhna stopnja fleksibilnosti in nadgradljivosti

SW:

- zaporedno procesiranje
- manjša zmogljivost (arhitektura, nabor ukazov)
- enostavnejši postopek načrtovanja (programska koda, portabilnost)
- velika stopnja fleksibilnosti in nadgradljivosti

7

HW vs. SW

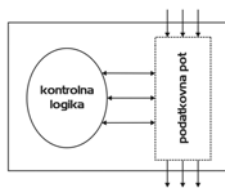
Realizacije

- namenska vezja (ASIC, VLSI)
- namenski procesorji (ASP)
- splošni procesorji
- nadgradljivi procesorji (FPGA)

8

HW vs. SW

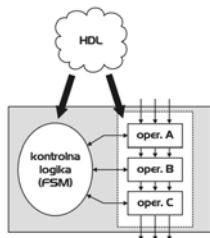
Osnovna struktura



9

HW vs. SW

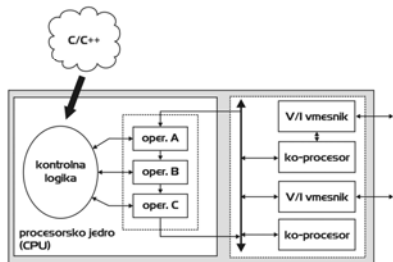
Namenska vezja – za določena opravila/aplikacije



10

HW vs. SW

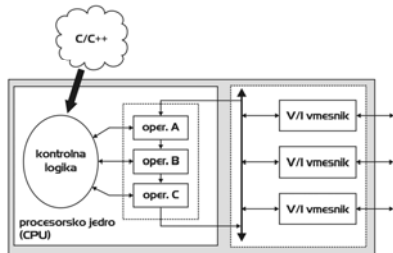
Namenski procesorji – za spekter sorodnih aplikacij



11

HW vs. SW

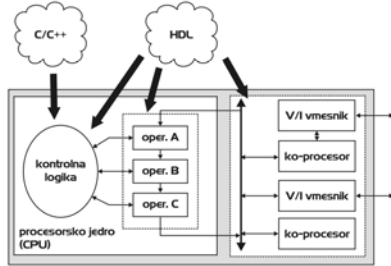
Splošni procesorji – za univerzalno uporabo



12

HW vs. SW

Nadgradljivi procesorji – prilaganje aplikaciji

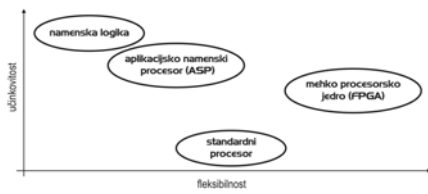


HW vs. SW

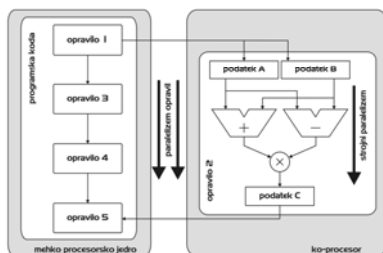
Primerjava zmogljivosti

Učinkovitost/fleksibilnost:

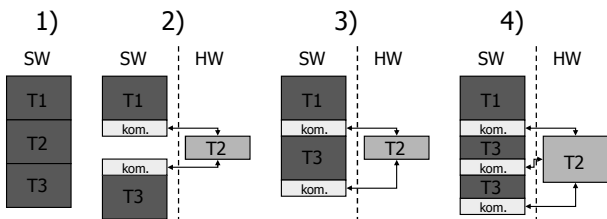
- učinkovitost – št. urinih ciklov za izvedbo opravila * frekvenca



Paralelizem

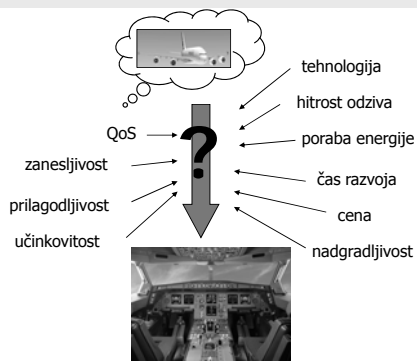


Paralelizem opravil



16

Načrtovalske metrike



17

Sočasno načrtovanje HW/SW

Idealni potek načrtovanja



18

Sočasno načrtovanje HW/SW

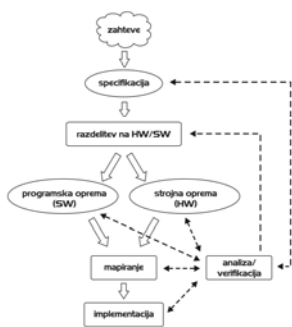
"HW/SW co-design"

- Specifikacija
- Funkcionalen opis
- Optimizacija zmogljivosti – razdelitev HW/SW
- HW/SW integracija & ko-verifikacija

19

Sočasno načrtovanje HW/SW

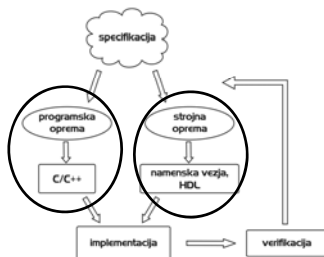
Osnovni potek načrtovanja



20

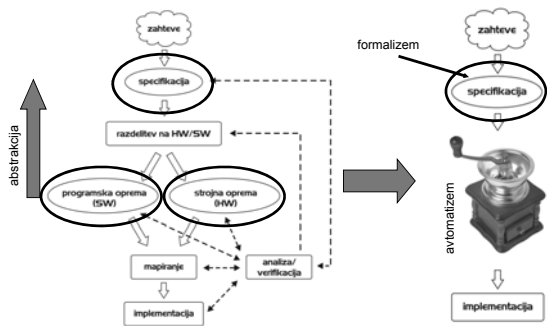
Sočasno načrtovanje HW/SW

Klasičen pristop



21

Sočasno načrtovanje HW/SW



22

Sočasno načrtovanje HW/SW

Formalizem

Uporaba eksaktnega poenotnega načina opisa in postopkov:

- enoznačna formulacija pravil
- formalne metode - transformacije in postopki (podpora raziskovanja, sinteze in verifikacije)
- formalna verifikacija – ugotavljanje ustreznosti s formalnimi metodami

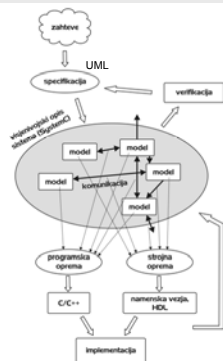
Namen/cilji:

- poenoten načrtovalski postopek
- kompatibilnost načrtovalskih orodij in jezikov
- enostavna integracija
- avtomatsko generiranje nizkonivojskih opisov (RTL, C, ...)

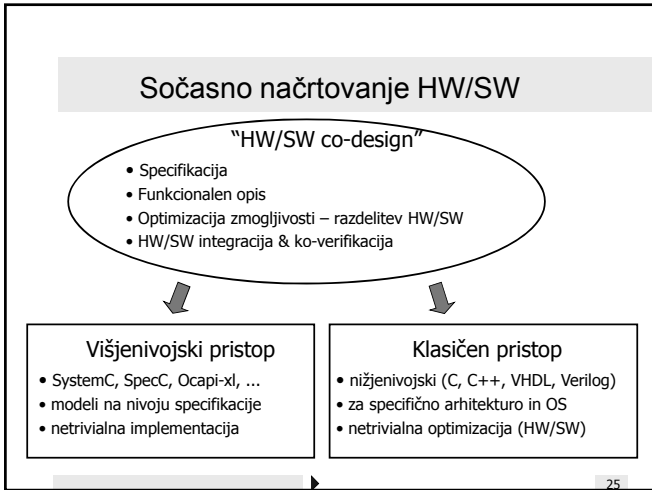
23

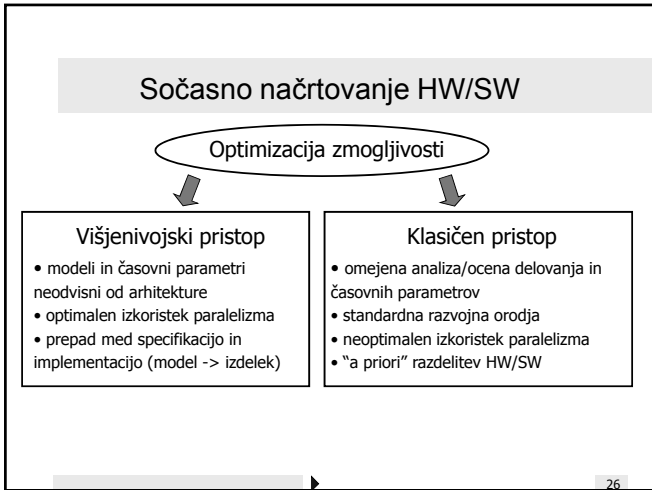
Sočasno načrtovanje HW/SW

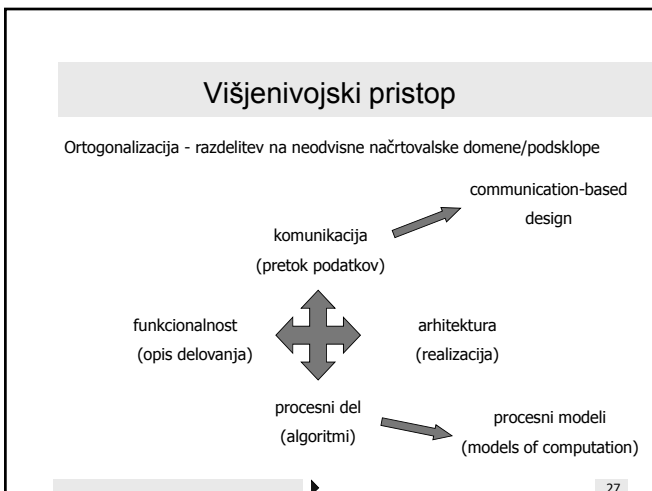
Višjenivojski pristop



24







Višjenivojski pristop

Variante s stališča implementacije:

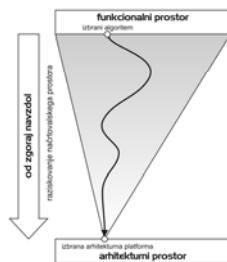
- z vrha navzdol (top-down) – poudarek na funkcionalnosti
- z dna navzgor (bottom-up) – poudarek na arhitekturnih komponentah
- sredinski pristop (meet-in-the-middle) – na osnovi platform

28

Z vrha navzdol

Sinteza na sistemskem nivoju (system-level synthesis)

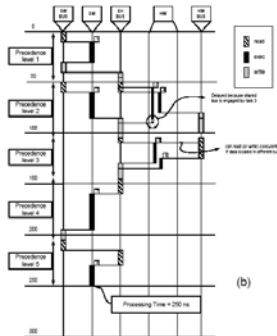
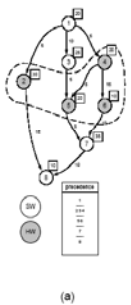
- izhajamo iz funkcionalnega opisa
- po korakih rafiniranje lastnosti sistemske arhitekture



29

Z vrha navzdol

DAG



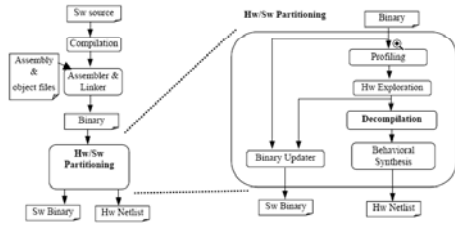
razvrčanje in razdelitev (scheduling & partitioning)

30

Z vrha navzdol

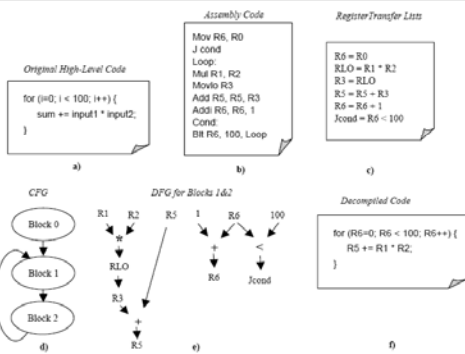
metode uporabne tudi pri klasičnem pristopu

primer: partitioning na nivoju binarnih izvršljivih datotek (SW -> HW)



31

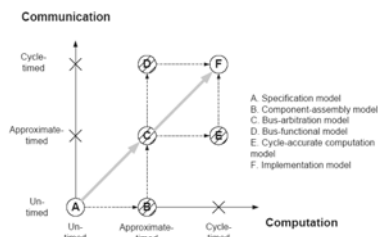
Z vrha navzdol



32

Transaction-level Modeling

- abstraktno raziskovanje načrtovalskega prostora
- SystemC, SpecC, ...

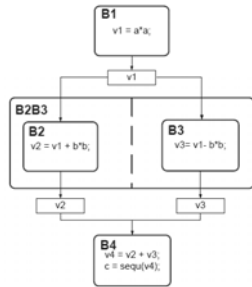
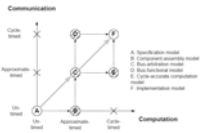


33

TLM

A – Model specifikacije (Specification Model)

- opis funkcionalnosti
- brez časovne natančnosti
- enostavni modeli komunikacije (spremenljivke, ...)

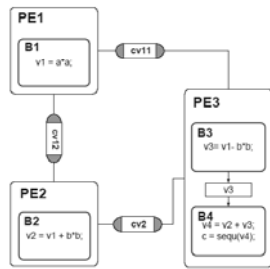
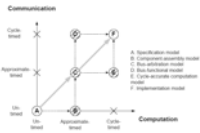


34

TLM

B – Model na nivoju gradnikov (Component-Assembly Model)

- brez časovne natančnosti na nivoju komunikacije
- enostavni časovni modeli procesnih gradnikov (wait, ...)

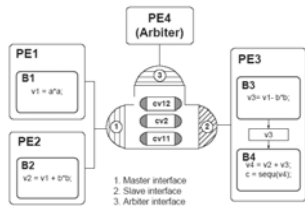


35

TLM

C – Arbitražni model (Bus-Arbitration Model)

- okvirno časovno modeliranje komunikacije in procesnih enot
- funkcionalna zgradba komunikacijskih kanalov (vodila, arbitri, naslavljanje, prioriteta, ...)

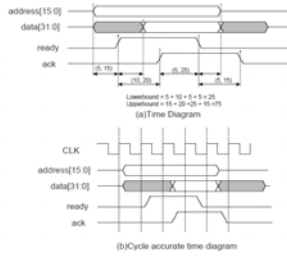
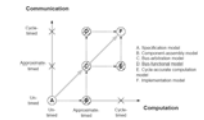


36

TLM

D – Natančni komunikacijski model (Bus-Functional Model)

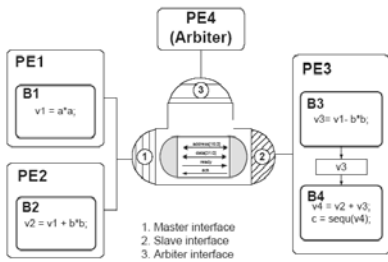
- natančno časovno modeliranje komunikacije z natančnostjo urinega cikla (cycle-accurate ali time-accurate) – eksakten model (na nivoju priključkov)
- okvirna časovna natančnost funkcionalnosti



37

TLM

D – Natančni komunikacijski model (Bus-Functional Model)

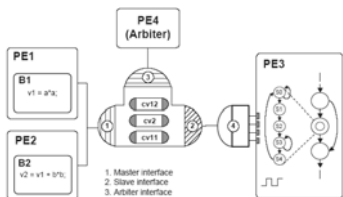
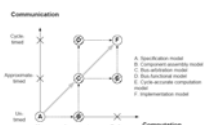


38

TLM

E – Natančni procesni model (Cycle-accurate Computation Model)

- natančno časovno modeliranje procesnih enot
- natančnost na nivoju priključkov
- RTL, ISS nivo

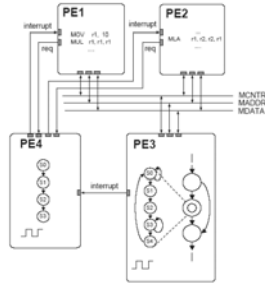
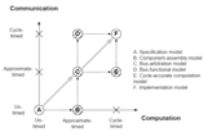


39

TLM

F – Model implementacije (Implementation Model)

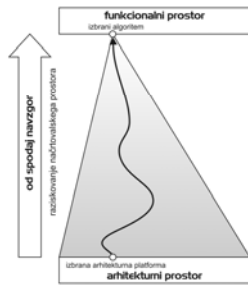
- natančno časovno modeliranje procesnih enot in komunikacije
- natančnost na nivoju priključkov
- RTL, ISS nivo



40

Z dna navzgor

- Osnova – gradnja platforme na podlagi vnaprej določenih komponent za komunikacijo in procesiranje
- prilagajanje funkcionalnosti izbrani arhitekturi
- čim učinkovitejša izraba komponent

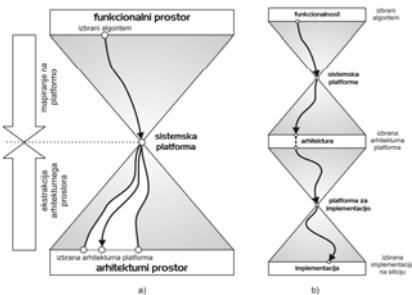


41

Sredinski pristop

Pristop na podlagi platforme (platform-based design)

- abstrakcija lastnosti nabora komponent – gradnja platform

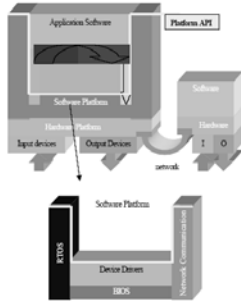


42

Abstrakcija SW

Večslojnost SW – večanje kompleksnosti HW/SW

- višanje nivojev abstrakcije in razslojevanje omogočata lažje, bolj pregledno in bolj sistematično načrtovanje HW/SW
- večja se kompleksnost sistema
- večopravnost, RTOS
- API – Application Program Interface



43

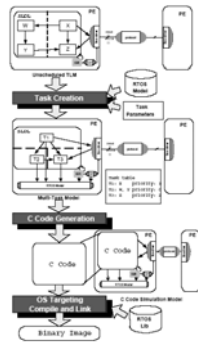
Abstrakcija SW

```

1 behavior B1 {
2   set x;
3   hold manx valid;
4   a = 1;
5   }
6 behavior Task1 {
7   set x;
8   set B1;
9   hold manx valid;
10  }
11 }
12 }
13 }
14 }
15 }
16 }
17 }
18 }
19 }
20 }
21 }
22 }
23 }
24 }
25 }
26 }
27 }
28 }
29 }
30 }
31 }
32 }
33 }
34 }
35 }
36 }
37 }
38 }
39 }
40 }
41 }
42 }
43 }
44 }
45 }
46 }
47 }
48 }
49 }
50 }
51 }
52 }
53 }
54 }
55 }
56 }
57 }
58 }
59 }
60 }
61 }
62 }
63 }
64 }
65 }
66 }
67 }
68 }
69 }
70 }
71 }
72 }
73 }
74 }
75 }
76 }
77 }
78 }
79 }
80 }
81 }
82 }
83 }
84 }
85 }
86 }
87 }
88 }
89 }
90 }
91 }
92 }
93 }
94 }
95 }
96 }
97 }
98 }
99 }
100 }

```

avtomatsko generiranje kode in integracija RTOS modela



44

Kompromis

Višjenivojski pristop + Klasičen pristop

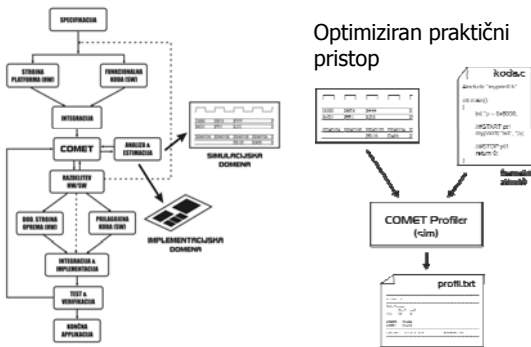


Optimiziran praktični pristop

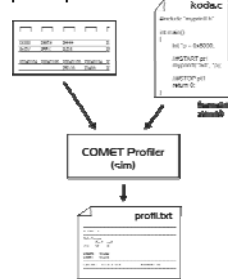
- iterativen načrtovalski postopek za mehka procesorska jedra
- natančna analiza in ocena zmogljivosti potencialnih HW/SW rešitev z orodjem COMET Profiler (za Altera Nios)
- za oceno zmogljivosti ni potrebno realizirati in implementirati dodatne strojne opreme
- analiza v simulacijski domeni in implementacijski domeni
- uporaba standardnih razvojnih orodij

45

COMET

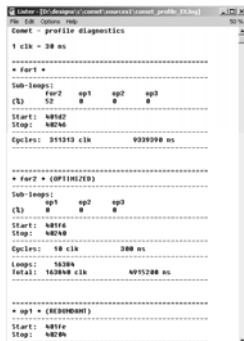
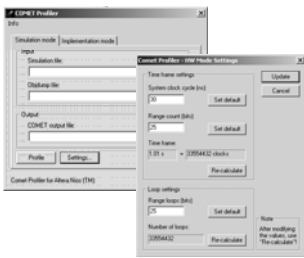


Optimiziran praktični pristop



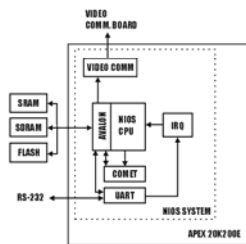
COMET

COMET Profiler
simulacijska domena



Primer

JPEG dekoder - aplikacija



Primer

COMET Profiler implementacijska domena

	min (cik.)	max (cik.)	ponov.	skupaj (cik.)	čas (ms)
JPEG dekoder skupaj (funkc.)				16.979.609	509,39
jpeg_read_header				482.242	14,47
jpeg_read_scanlines	1.323	959.847	256	15.923.715	477,71
+ decode_mcu	463	444.874	1.024	3.050.161	91,50
+ jpeg_idct	4.395	15.789	1.024	11.820.130	354,60
+ dekvantizacija	200	508	8.192	2.573.058	77,19
+ idct				9.078.112	272,84
+ idct (1. stopnja)	97	652	8.192	2.603.942	78,12
+ idct (2. stopnja)	1.850	6552	1.024	6.474.170	194,23
display				454.328	13,63
JPEG dekoder skupaj (ocenjeni)				8.169.776	245,10
jpeg_sifc (ocenjeni)			1.024	3.010.306	90,31
+ idct (ocenjeni)	262	262	1.024	204.288	6,05
JPEG dekoder skupaj (delna)				8.288.156	248,64
jpeg_sifc (delna)			1.024	3.128.686	93,86
+ idct (delna)	378	378	1.024	387.072	11,61
JPEG dekoder skupaj (končni)				8.093.213	242,80
jpeg_sifc (FPGA)	1.697	3.568	1.024	2.483.312	74,50

*1 aritmetični = 30 ns

