



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*



Načrtovanje digitalnih elektronskih sistemov

Sistemi v integriranem vezju

Cilji

- ▶ spoznati izvedbe sistemov v integriranem vezju
 - ▶ Kakšen sistem izbrati?
- ▶ načrtovati sistem z modernimi orodji in jeziki
 - ▶ modeliranje, visokonivojska sinteza, komponente IP
 - ▶ testne in verifikacijske strukture
- ▶ analiza zmogljivosti in razdelitev sistema
- ▶ optimizacija sistema

Integrirana vezja in sistemi

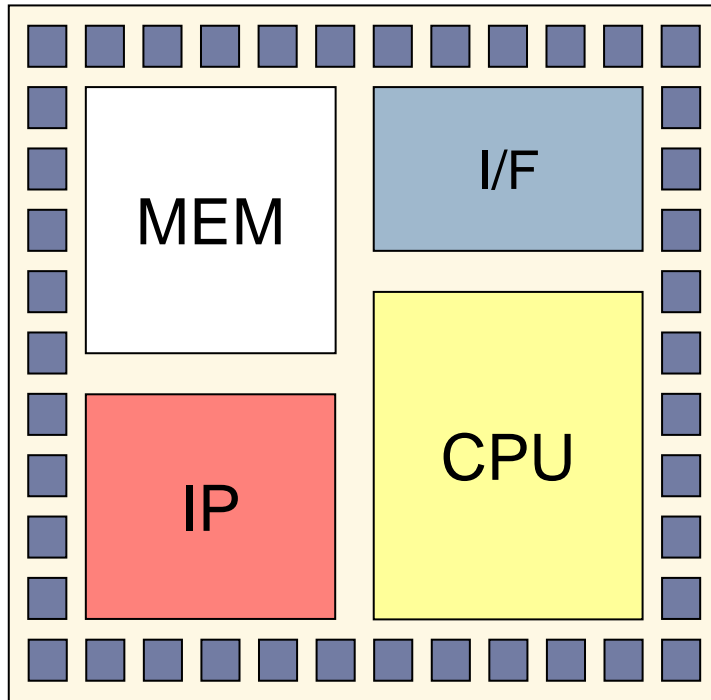
Nekoč:

- ▶ izdelava osnovnih gradnikov el. vezij
 - ▶ ojačevalniki, logična vrata, pomnilni elementi

Danes:

- izdelava celotnega **sistema** v integriranem vezju (System-on-a-Chip, Network-on-Chip)

Sistem v integriranem vezju



Sistem vsebuje:

- pomnilnike (RAM, Flash)
- analogne in digitalne vmesnike (I/F)
- procesorje (CPU)
- namenska vezja (IP)

Sistem v integriranem vezju (SoC)

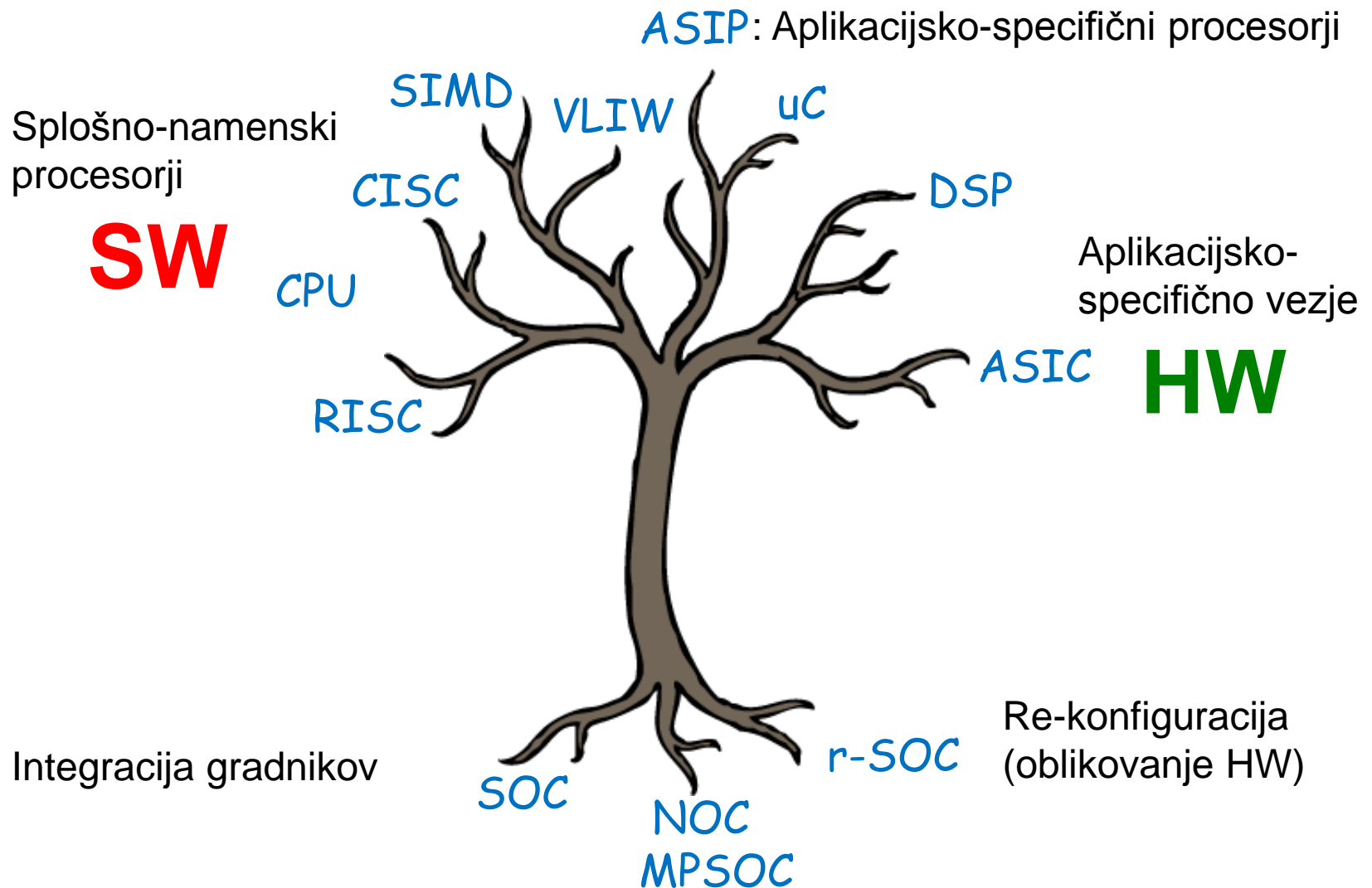
- ▶ Def: integrirano vezje, ki izvaja vse ali večino funkcij celotnega elektronskega sistema
- ▶ za sisteme je značilna kompleksnost vezja
 - ▶ komponente so lahko zelo velika vezja (npr. RAM), vendar imajo enostavno strukturo
- ▶ sistem lahko vsebuje analogne komp., vendar je večina sistema digitalno vezje
 - ▶ najbolj kompleksne funkcije lahko naredimo le z digitalnim vezjem

Zahteve za sistem v integriranem vezju

- ▶ sprotno izvajanje operacij (**real-time**)
 - ▶ vgradni sistemi so **reaktivni** sistemi
 - ▶ os. računalnik je **interaktivni** sistem
- ▶ učinkovita izraba površine
- ▶ učinkovita poraba energije
 - ▶ npr. Pentium procesor ni primeren
- ▶ imajo ustrezne vhodno/izhodne povezave
 - ▶ npr. FPGA vezja >20 V/I standardov

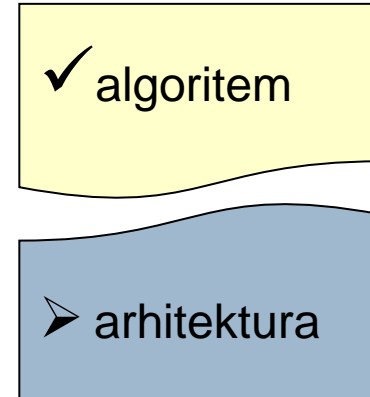
Sistemi so heterogeni in ne obstaja univerzalna rešitev!

Klasifikacija sistemov v int. vezju



Opis digitalnega sistema

- ▶ opis funkcionalnosti
 - ▶ algoritmi, ki jih sistem izvaja
- ▶ opis zgradbe
 - ▶ digitalno elektronsko vezje
- ▶ specifikacije
 - ▶ omejitve pri načrtovanju sistema
 - ▶ končni parametri sistema (hitrost delovanja, površina vezja, poraba energije)



Izvedba funkcionalnosti sistemov

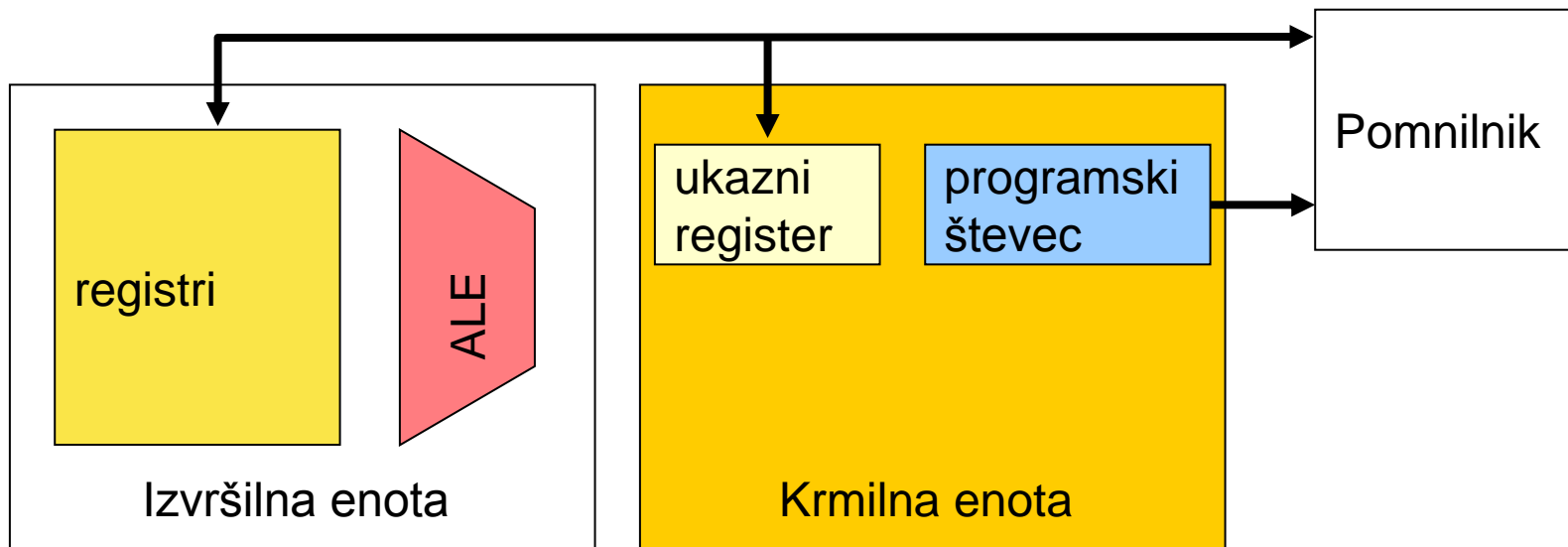
- ▶ programska izvedba
 - ▶ mikroprocesor, 10^8 – 10^9 operacij/s
- ▶ delno programska in delno strojna izvedba
 - ▶ *Application Specific Instruction Set Processor (ASIP)*
 - ▶ procesor + koprocesorji, *DSP, VLIW* procesor
- ▶ strojna izvedba
 - ▶ namensko vezje, 10^{10} – 10^{11} operacij/s
 - ▶ *Application Specific Integrated Circuit (ASIC)*

Mikroprocesorji

- ▶ splošno-namenski mikroprocesorji
 - ▶ računalniki
 - ▶ pomembna zmogljivost in združljivost
 - ▶ kompleksen nabor ukazov (CISC)
- ▶ vgradni (vgrajeni, *embedded*) procesorji
 - ▶ vgrajeni v elektronske naprave
 - ▶ pomembna učinkovitost in delovanje v realnem času
 - ▶ reduciran nabor ukazov (RISC)

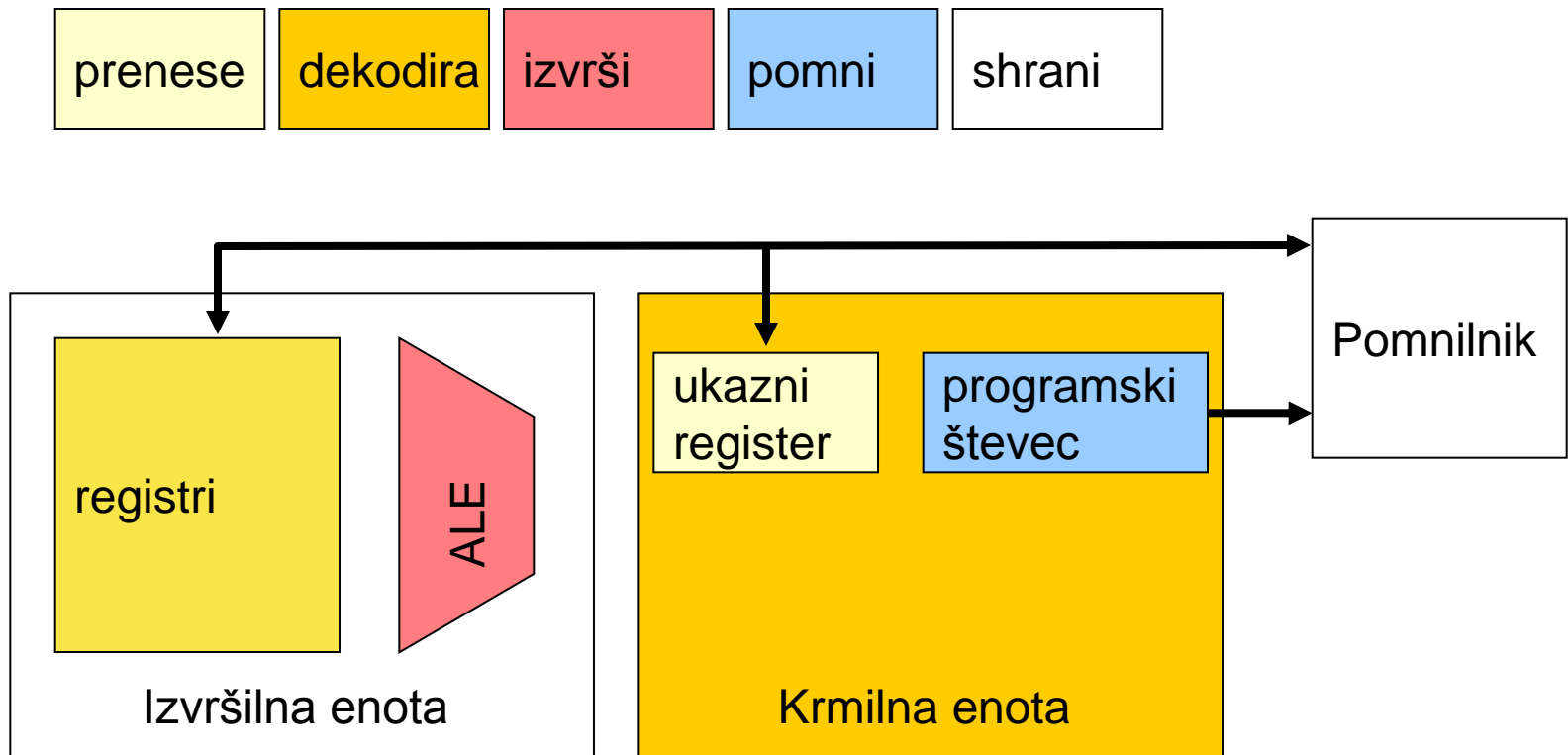
Delovanje mikroprocesorja

- ▶ delovanje določa nabor ukazov (**ISA**)
 - ▶ ukazi so prilagojeni programskemu jeziku (C/C++)
 - ▶ von Neumannov model



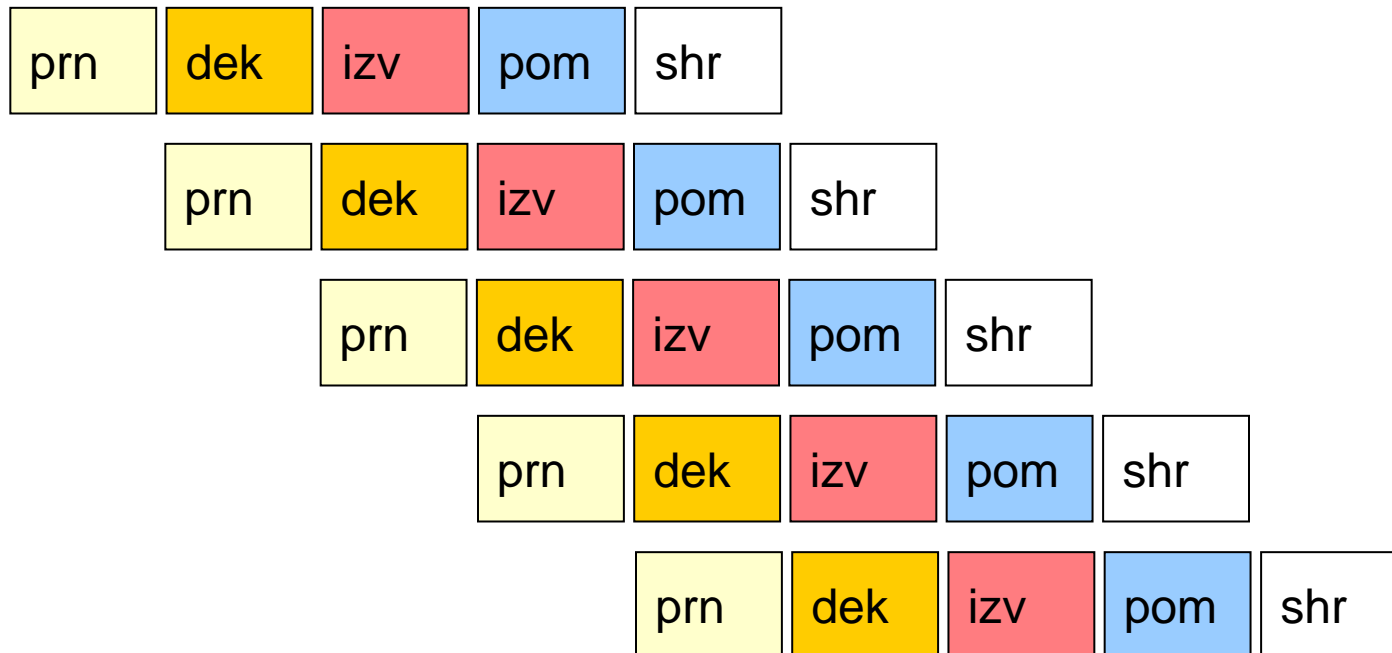
Izvajanje ukazov

zaporedje izvajanja ukaza:



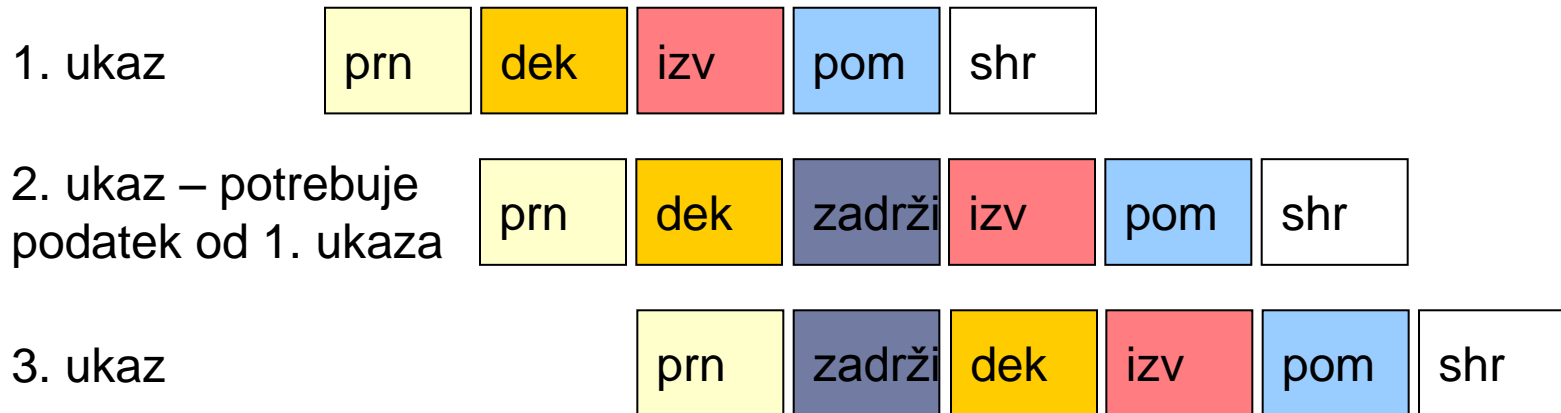
Povečanje učinkovitosti s cevljenjem

- ▶ 5-stopenjski cevovod RISC procesorja (npr. ARM9)
 - ▶ paralelno izvrševanje več ukazov v različnih stopnjah
 - ▶ včasih je potrebno zaporedje prekiniti (**pipeline hazard**)



Zadrževanje cevovoda (stall)

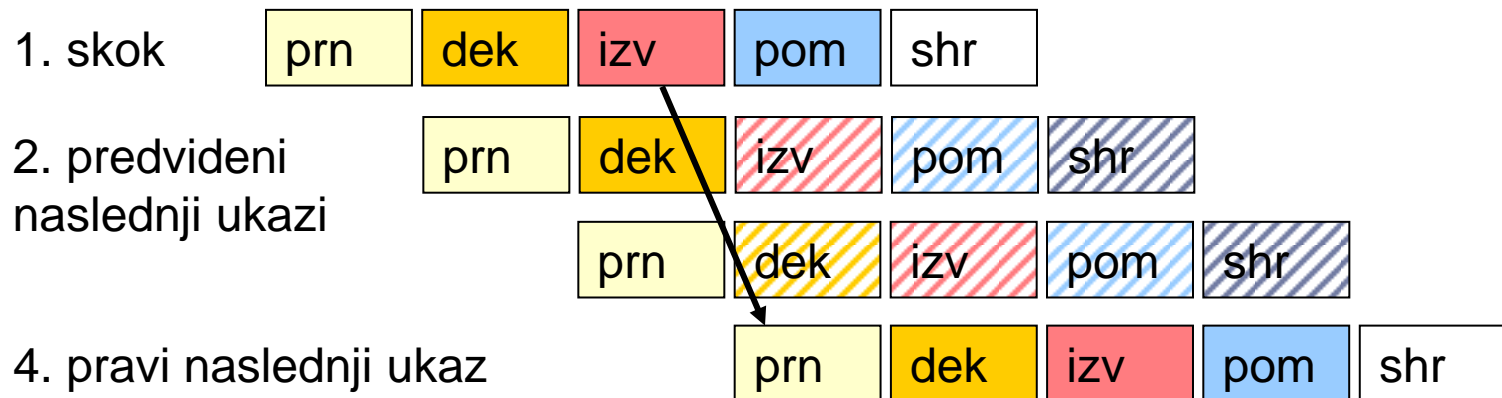
- ▶ Podatkovna odvisnost ukazov (podatkovni hazard)



- ▶ Če je mogoče, zamenjamo vrstni red ukazov
 - statično menjavo naredi prevajalnik
 - dinamično menjavo naredi posebna enota v CPU

Napovedovanje vejitev

- ▶ skočni ukazi lahko prekinejo zaporedje izvajanja ukazov (kontrolni hazard)



- statična napoved vejitev v času prevajanja
- enota za dinamično napoved vejitev (branch prediction)

Predpomnilniki

- ▶ počasen dostop do zunanjega pomnilnika
 - ▶ procesorji so danes veliko hitrejši kot glavni pomnilnik
 - ▶ uporabimo predpomnilnike za ukaze in podatke
 - ▶ predpomnilniki zasedejo veliko površino vezja in so izredno dragi
 - ▶ zmogljivi procesorji imajo več nivojev (L1, L2) predpomnilnikov

Dostopni čas	L1 predpomnilnik	L2 predpomnilnik	glavni pomnilnik
3 GHz CPE	1-3 cikle	5-20 ciklov	200-300 ciklov
500 MHz vgradni CPE	1 cikel	-	50 ciklov

Povečanje zmogljivosti procesorjev

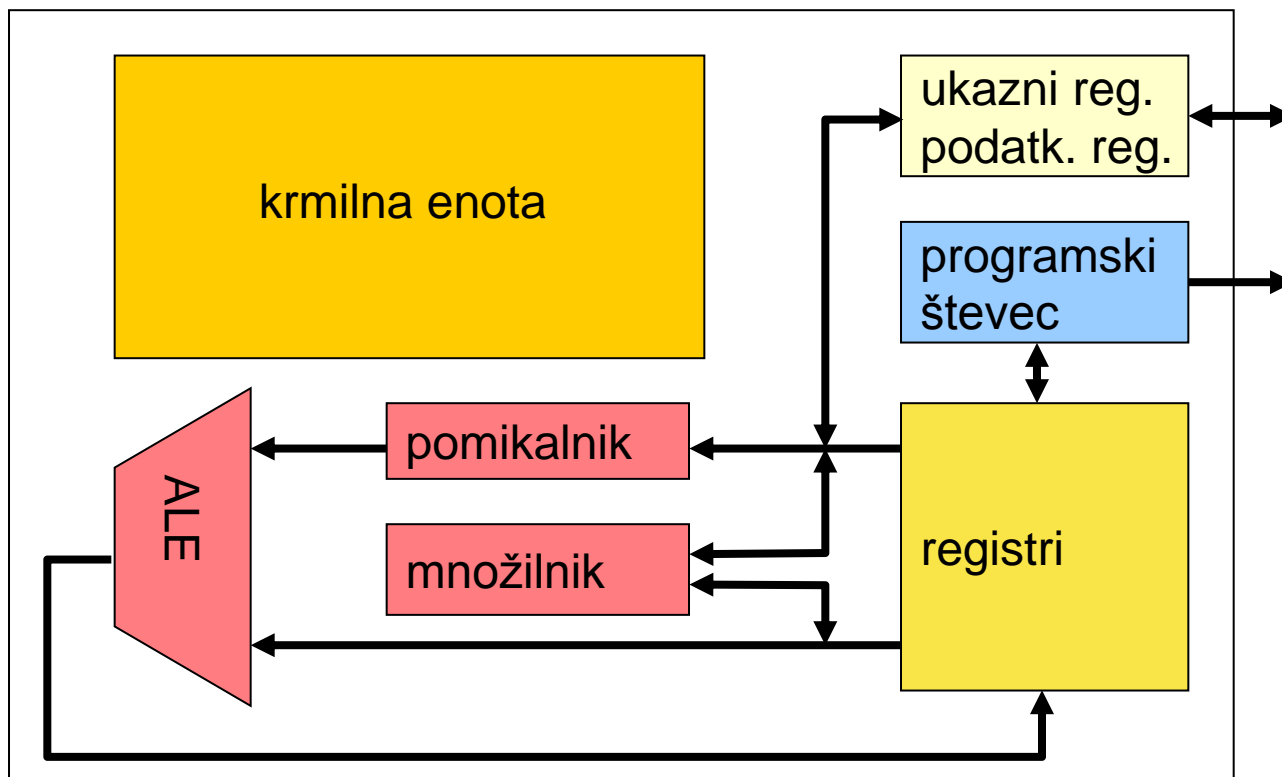
- ▶ povečanje nivojev cevovoda
 - ▶ omogoča višjo frekvenco ure
- ▶ vzporedno izvajanje več ukazov
 - ▶ potrebujemo več ALE
 - ▶ procesorji **VLIW** (*Very Large Instruction Word*)
- ▶ strojna večnitnost (**multithreading**)
 - ▶ hkratno izvajanje neodvisnih programov na istem cevovodu
 - ▶ več programskih števecv in registrskih bank
- ▶ več jeder (**multicore**)
 - ▶ več enot CPU na enem vezju, ki si delijo skupen pomnilnik

Vgradni mikroprocesorji

- ▶ sestavni deli večine digitalnih sistemov
- ▶ pomembna je odzivnost v realnem času
- ▶ imajo bolj preprosto in predvidljivo zgradbo
 - ▶ manjša zmogljivost kot pri splošno-namenskih
- ▶ mehanizmi za povečanje zmogljivosti prispevajo časovno nedoločeno izvrševanje
 - ▶ velik cevovod, napovedovanje skokov in veliko predpomnilnika so lahko slabe lastnosti

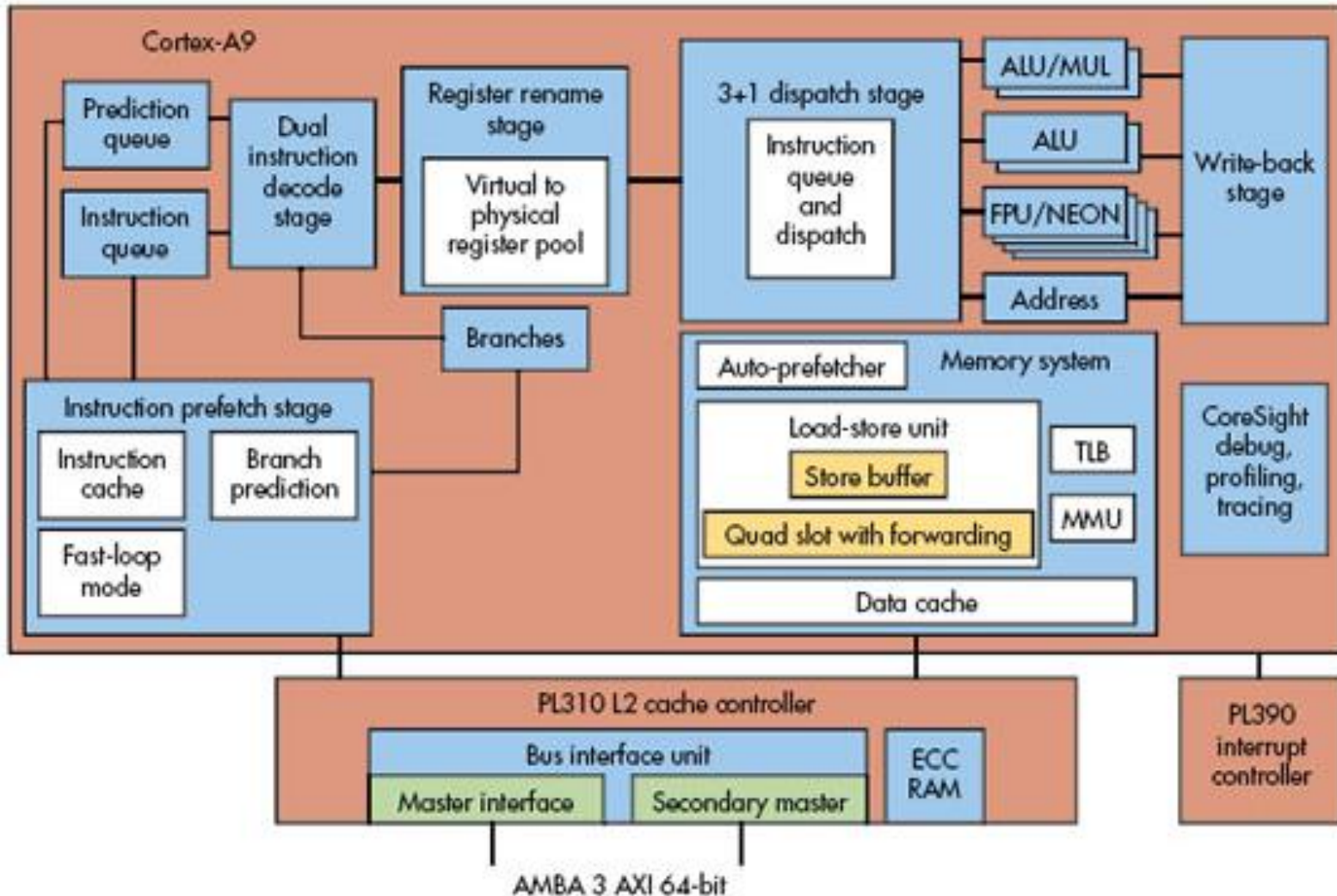
Primer: enostaven 32-bitni procesor

► ARM7



Primer: zmogljiv procesor ARM Cortex-A9

- ▶ dinamični cevovod: 8-11 stopenj



Aplikacijsko specifični procesorji

- ▶ procesor ima dodatne ukaze in strojne enote prilagojene določenim aplikacijam
 - ▶ krmiljenje, obdelava zvoka in slike, mrežni procesorji
- ▶ mikrokrmilniki (**uC**)
 - ▶ periferne enote, ukazi za delo z biti
- ▶ digitalni signalni procesorji (**DSP**)
 - ▶ MAC enote, vektorski ukazi
- ▶ namenski procesorji (**ASIP**)

Aplikacijsko specifično vezje

- ▶ digitalno vezje, ki je prirejeno za določeno aplikacijo
 - ▶ najbolj optimalna izvedba
 - ▶ najbolj zahtevna izdelava
- ▶ vezje narejeno iz namenskih in splošnih gradnikov
 - ▶ sprejeti potrebno veliko arhitekturnih odločitev
 - ▶ npr. izbira med RISC, SIMD ali namenskim gradnikom
 - ▶ veliko podpore računalniških (CAD) orodij pri sestavljanju in verifikaciji

Tehnologija digitalnih vezij

specialna
digitalna vezja

naročniška

➤ načrtovanje na nivoju tranzistorjev

polnaročniška

➤ uporabimo knjižnico elementov

programirljiva

➤ programiramo že pripravljeno vezje

Namenska integrirana vezja – ASIC

- ▶ površina gradnikov v integriranem vezju
 - ▶ v tehnologiji 28 nm zasede RISC CPU manj kot 0.01 mm²

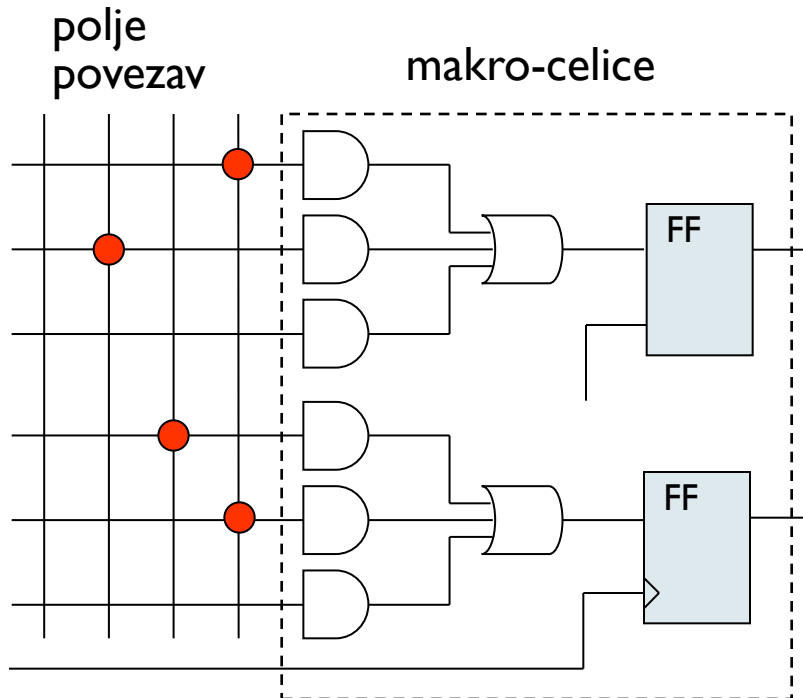
gradnik vezja	površina
en bit DRAM	2
en bit SRAM	24
vrata NAND	40
zapah	100
flip-flop	300
seštevalnik*	30000
množilnik*	300000
RISC CPU*	500000

*32-bitni

Programirljiva vezja: CPLD, FPGA

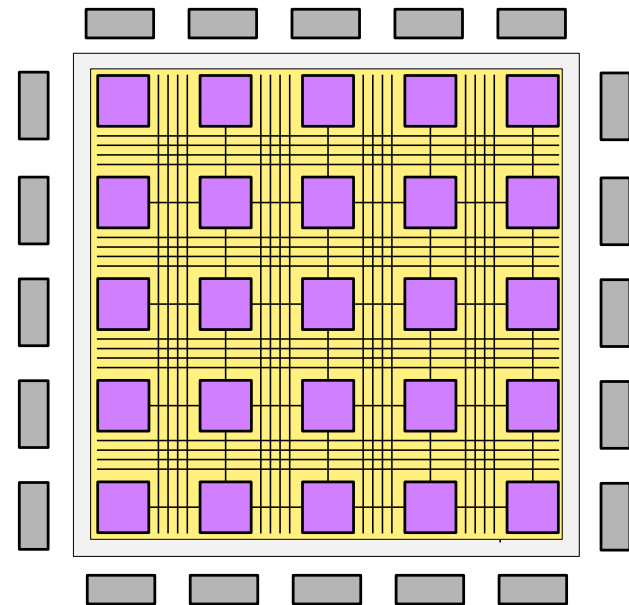
Complex Programmable Logic Device

- Makro-celice s FF in povezovalno polje
- 1.000-20.000 log. vrat, 50-500 FF
- FLASH tehnologija, 1.8V

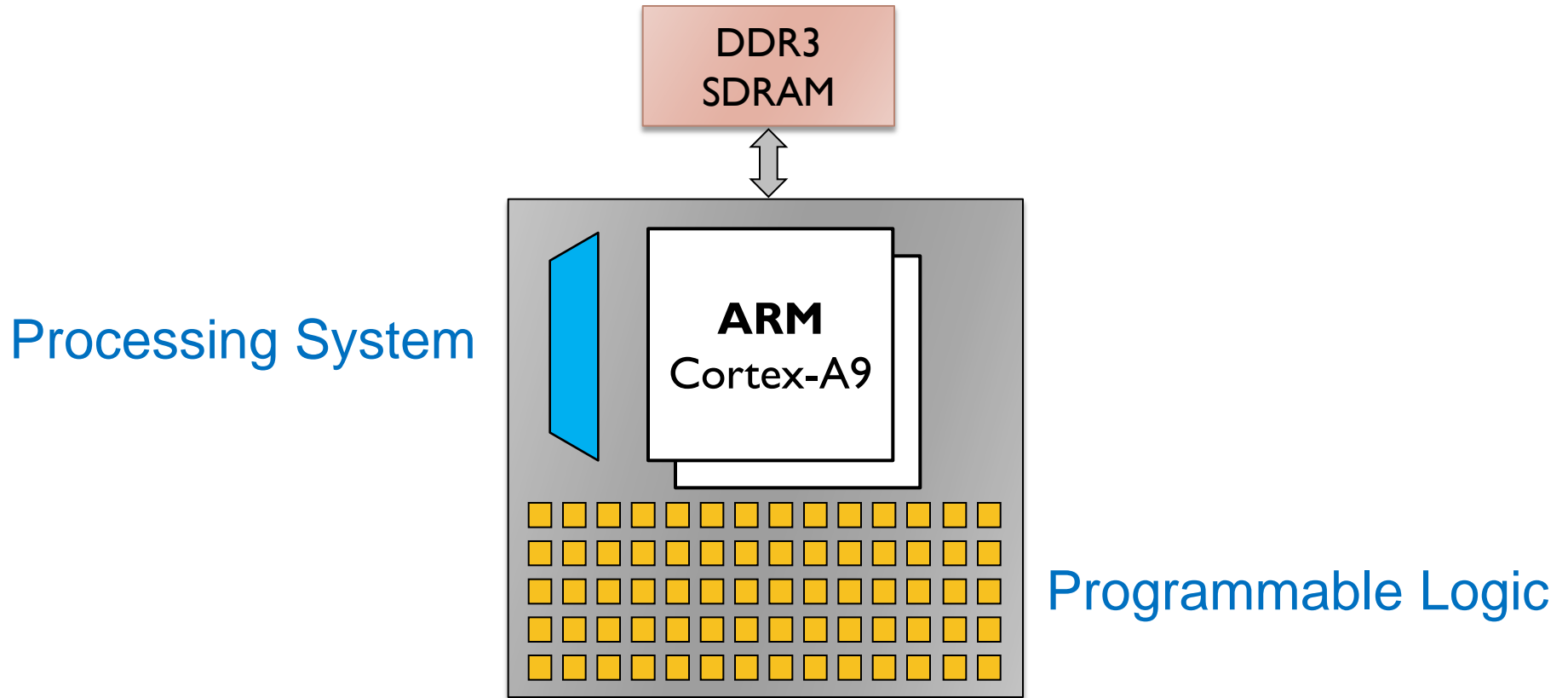


Field Programmable Gate Array

- Matrika log. celic in povezovalno polje
- 10.000-10.000.000 vrat, 100k RAM
- CMOS tehnologija, 1.2V



Programirljivi sistem na čipu Zynq-7000



All Programmable System-on-Chip